

Cursul nr. 9

C9.1 Circuite active pe palier

Latch-SR

Circuitele SR-latch prezentate până în acest moment sunt circuite asincrone (ieșirea circuitului nu comută sincron cu un semnal de clock). Datorită condițiilor tranzitorii, circuitele secvențiale asincrone pot deveni instabile. Adăugarea unei validări reprezintă primul stadiu al modificărilor aduse circuitului latch-SR pentru a depăși neajunsul amintit. Circuitele latch-SR cu validare sunt circuite SR ca cele prezentate în cursul 8, dar care au o intrare de validare și circuite suplimentare în structura lor. În fig. 9.1 se exemplifică un circuit latch-SR cu validare.

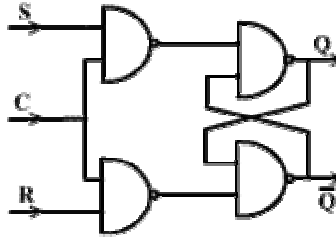


Fig. 9.1 Circuit latch-SR cu validare - structură internă

Starea bistabilului se va modifica în concordanță cu valorile aplicate la intrările S și R, dar numai atunci când intrarea C este 1. Dacă la intrarea C se aplică un semnal de clock, ieșirea circuitului își va modifica starea doar pe nivelul HIGH al semnalului de clock. Se spune că circuitul este activ pe palierul semnalului de clock - circuit latch-SR activ pe palier.

Verificați afirmația de mai sus pe animația din fig. 9.1. Vă este permis să modificați intrările și nivelul semnalului de clock.

Tabelul de adevăr alăturat, (tabelul 9.1), rezultă din tabelul de adevăr al unui circuit latch-SR la care intrările și ieșirile sunt notate cu indicele n , reprezentând starea acestora după al n -lea puls de clock.

Tabelul 9.1

S_n	R_n	Clock	Q_n	\overline{Q}_n
0	0	1	Q_{n-1}	\overline{Q}_{n-1}
0	1	1	0	1
1	0	1	1	0
1	1	1	?	?
x	x	0	Q_{n-1}	\overline{Q}_{n-1}

Diagrama de semnal pentru circuitul SR-latch activ pe nivel, prezentată în fig. 9.2, ilustrează modul de funcționare.

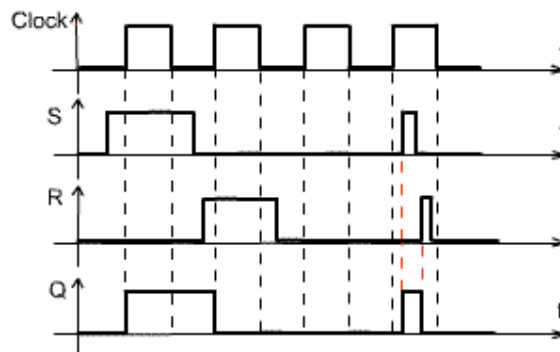


Fig. 9.2 Diagramă de semnal pentru un circuit latch-SR activ pe palier

Este important de observat că în intervalul dintre pulsurile semnalului de clock starea ieșirilor nu se modifică. De asemenea, este important de observat că intrările S și R trebuie să fie stabile înainte ca semnalul de clock să devină 1 până după ce semnalul de clock va coborî în 0. În caz contrar, ieșirea se poate modifica de mai multe ori pe durata unui nivel 1 al semnalului de clock.

Simbolurile logice utilizate pentru circuitele latch-SR active pe palier sunt prezentate în fig. 9.3

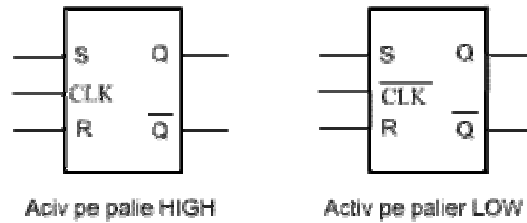


Fig. 9.3 Simboluri logice pentru circuite latch-SR active pe palier

Latch-D

Un inconvenient în funcționarea circuitelor latch-SR este faptul că există o combinație nepermisă pentru valorile variabilelor aplicate la intrare ($S=1, R=1$). Apariția acestei combinații trebuie evitată prin proiectarea aplicației. Combinațiile $S=1, R=0$ și $S=0, R=1$ pot fi obținute dacă circuitul ar avea o singură intrare. Circuitul latch-SR modificat pentru a avea o singură intrare este prezentat în fig. 9.4; unica intrare a acestui circuit este numită D sau intrare de date. Circuitul modificat este numit latch-D.

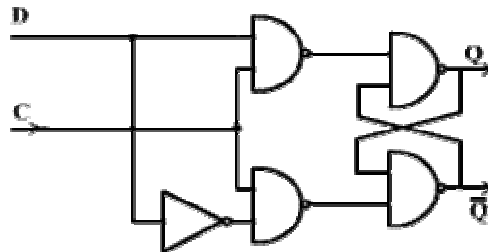


Fig. 9.4 Circuit latch-D

Tabelul de adevăr al unui circuit latch-D este redat în tabelul 9.2

Tabelul 9.2

D_n	Clock	Q_n	\overline{Q}_n
0	1	0	1
1	1	1	0
x	0	Q_{n-1}	\overline{Q}_{n-1}

Circuitul latch-D este obținut prin modificarea circuitului latch-SR astfel încât intrările S și R să fie permanent una complementul celeilalte.

C9.2 Circuite flip-flop D

Circuitele **flip-flop** sunt circuite secvențiale sincrone bistabile capabile să stocheze un bit de informație. În cazul acestor circuite, *sincron* are următoarea semnificație: starea la ieșire se modifică doar în momente bine definite de o intrare de declanșare (*trigger*) numită intrare de clock și notată cu CLK. Aceasta înseamnă că schimbările la ieșire sunt sincrone cu un semnal de clock.

Principala diferență între circuitele latch și circuitele flip-flop este metoda folosită pentru a determina modificări de stare la ieșire.

- Circuitele latch sunt active pe palier; ieșirile circuitului sunt sensibile la nivel de tensiune (palier) și nu la o tranziție de semnal.
- Circuitele flip-flop sunt active pe front; ieșirile circuitului sunt sensibile la tranziția semnalului, fie din 1 în 0 (front negativ) fie din 0 în 1 (front pozitiv).

În simbolul logic, circuitele active pe front sunt reprezentate cu un triunghi mic, în interiorul blocului, la intrarea de clock. Prezența sau absența unui cerculeț în afara blocului, la intrarea de clock indică tipul frontului activ (front negativ, respectiv front pozitiv). Simbolurile logice utilizate pentru circuite active pe front sunt prezentate în fig. 9.5.

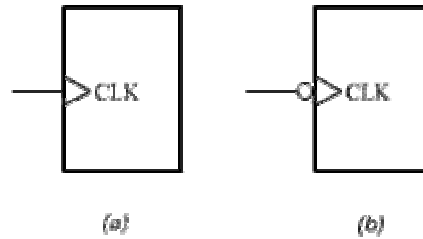


Fig. 9.5 Elemente de simbol logic pentru circuite active pe front: (a) front pozitiv; (b) front negativ

Structura circuitului flip-flop D se bazează pe circuitul latch-D. În fig. 9.6 este prezentată structura unui circuit flip-flop D și simbolul logic al acestuia.

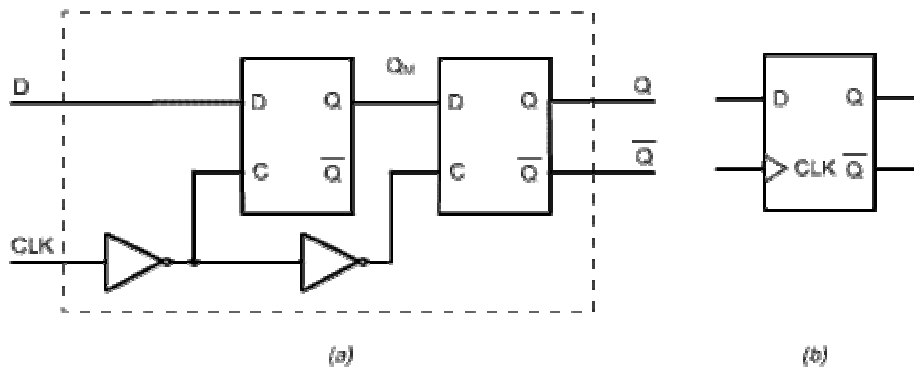


Fig. 9.6 Flip-flop D: (a) structura internă; (b) simbol

Modul în care operează un flip-flop D este definit de tabelul 9.3.

Tabelul 9.3

D_n	CLK	Q_n	\overline{Q}_n	Operație
0	↑	0	1	Reset – memorează 0
1	↑	1	0	Set - memorează 1
x	0	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea
x	1	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea

Modul în care operează un flip-flop D este ilustrat, de asemenea, prin diagrama de semnal din fig. 9.7.

Circuitul flip-flop D are o singură intrare, numită D. Funcționarea circuitului este simplă: valoarea variabilei aplicate la intrarea D este transferată la ieșire atunci când pe intrarea de clock se aplică o tranziție activă (fie un front pozitiv, fie un front negativ).

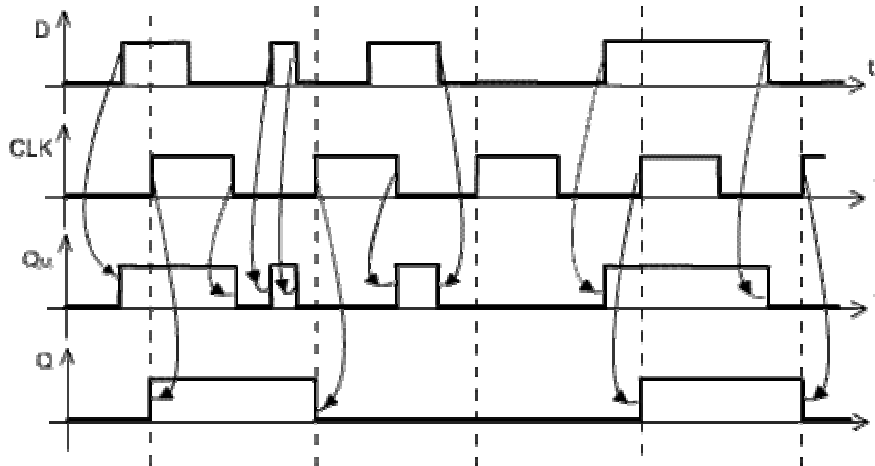


Fig. 9.7 Diagrama de semnal pentru un circuit flip-flop D

Printre circuitele flip-flop de utilizate există versiuni: flip-flop D cu validare sau flip-flop D cu scanare. Structura internă și simbolurile logice folosite pentru acestea sunt prezentate în fig. 9.8, respectiv fig. 9.9.

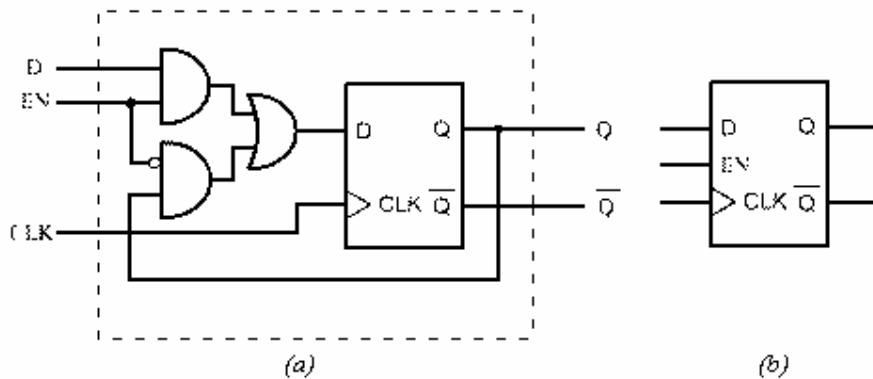


Fig. 9.8 Flip-flop D cu validare: (a) structură internă; (b) simbol logic

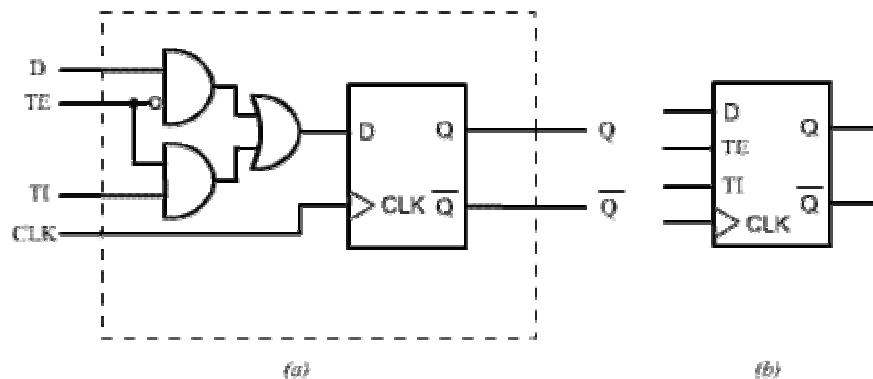


Fig. 9.9 Flip-flop D cu scanare: (a) structură internă; (b) simbol logic

C9.3 Circuite flip-flop JK și T

Cel mai folosit tip de circuite bistabile active pe front sunt circuitele flip-flop JK. Funcționarea acestora este identică cu a circuitelor SR pentru stările de setare, resetare și menținere. Intrarea J operează ca intrarea S, iar intrarea K operează ca intrarea R. Diferența între ele este faptul că circuitele JK nu au stare nepermisă la intrare. Structura și simbolul unui circuit flip-flop JK sunt redată în fig. 9.10.

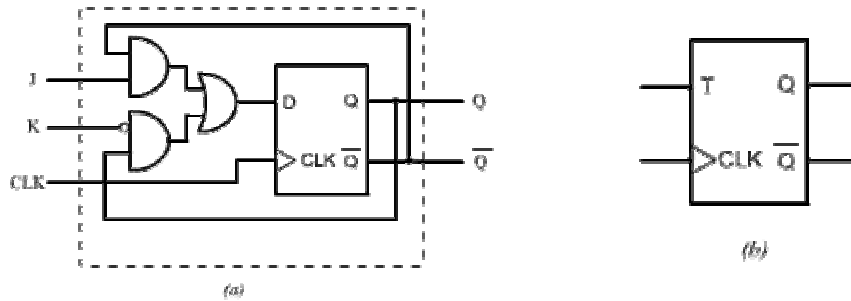


Fig. 9.10 Flip-flop JK: (a) structura internă; (b) simbol logic

Tabelul de adevăr care definește funcționarea circuitului flip-flop JK este tabelul 9.4.

Tabelul 9.4

$J_n K_n$	CLK	Q_n	\overline{Q}_n	Operație
00	↑	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea
01	↑	0	1	Reset
10	↑	1	0	Set
11	↑	\overline{Q}_{n-1}	Q_{n-1}	Basculează între stări
xx	0	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea
xx	1	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea

Flip-flop T

Circuitul flip-flop T este derivat din circuitul flip-flop JK în modul prezentat în fig. 9.11. Simbolul logic utilizat pentru circuitul flip-flop T este de asemenea prezentat în figura 9.25.

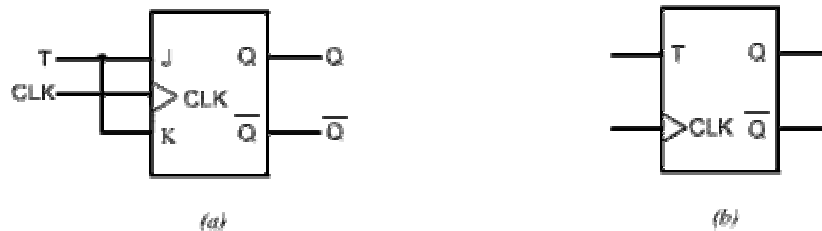


Fig. 9.11 Flip-flop T: (a) structură internă; (b) simbol logic

Funcționarea circuitului este următoarea: cât timp intrarea T este 1, la fiecare front activ, ieșirea circuitului va bascula în starea opusă și când intrarea T este 0, la ieșire nu are loc nici o modificare pe frontul activ.

Tabelul de adevăr al unui circuit flip-flop T este redat alăturat (tabelul 9.5).

Tabelul 9.5

T_n	CLK	Q_n	\overline{Q}_n	Operație
0	↑	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea
1	↑	\overline{Q}_{n-1}	Q_{n-1}	Basculează între stări
x	0	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea
x	1	Q_{n-1}	\overline{Q}_{n-1}	Păstrează starea

Circuitele flip-flop T sunt utilizate pentru a construi circuite numărătoare.

Circuite flip-flop cu intrări asincrone

Circuitele flip-flop prezentate până în acest punct sunt circuite ale căror intrări acționează sincron cu un front activ al semnalului aplicat la intrarea clock. Cele mai multe circuite flip-flop integrate au și intrări asincrone, păstrate; acestea influențează starea circuitului independent de semnalul de clock. Intrările sunt numite de către fabricanți înscriere (*preset*) și ștergere (*clear*).

Intrările asincrone sunt de obicei active în 0; un zero aplicat la intrarea de înscriere va determina comutarea imediată a ieșirii în 1 ($Q=1$), și un 0 aplicat la intrarea de ștergere va determina comutarea imediată a ieșirii în 0 ($Q=0$). Când intrările sunt active pe 0, acestea sunt notate \overline{PRE} și \overline{CLR} . Simbolul logic al unui flip-flop JK activ pe front pozitiv cu intrări asincrone active în 0 este prezentat în fig. 9.12.

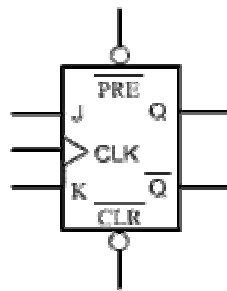


Fig. 9.12 Simbol logic al unui flip-flop JK activ pe front pozitiv cu intrări asincrone active în 0

C9.4 Circuite master-slave

O altă clasă de circuite flip-flop sunt circuitele **master-slave**. Acestea sunt construite din circuite flip-flop distincte; specific acestor circuite este faptul că datele aplicate la intrare sunt considerate atunci când semnalul de clock crește în 1, iar rezultatul este reflectat la ieșire abia când semnalul de clock devine 0. Datorită acestei particularități, semnalele la intrare trebuie să fie stabile înaintea apariției frontului pozitiv și starea intrării nu trebuie să se schimbe înainte de apariția frontului negativ al pulsului. Dacă nu se respectă această restricție pot apărea răspunsuri necontrolate.

Există trei tipuri de circuite flip-flop master-slave: SR, JK și D. Simbolurile logice ale acestora sunt prezentate în fig. 9.13.

Tabele de adevăr ce definesc funcționarea circuitelor master-slave sunt identice cu cele ale circuitelor flip-flop, excepția o constituie doar modul în care este declașată acțiunea intrărilor asupra ieșirilor.

Numele master-slave al acestor circuite este dat de structura internă care este divizată în două secțiuni: o secțiune numită master și o secțiune numită slave. Cele două secțiuni sunt în principiu identice, diferă componenta activă a semnalului de clock. Secțiune slave este sincronizată cu

semnalul de clock al celulei master, dar inversat. Intrările secțiunii slave sunt stabilite de ieșirile secțiunii master.

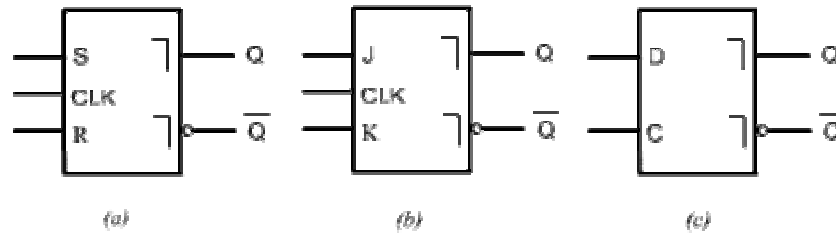


Fig. 9.13 Simboluri logice: (a) master-slave SR; (b) master-slave JK; (c) master-slave D

Structura internă a unui circuit master-slave SR este prezentată în fig. 9.14.

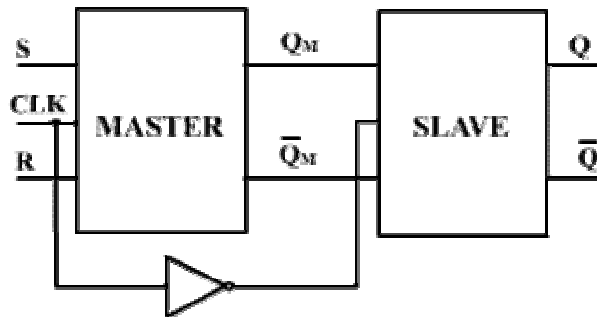


Fig. 9.14 Master-slave SR - structură internă

Există versiuni de circuite master-slave cu clock dinamic; semnalul clock dinamic comandă preluarea datelor de la intrarea celulei master pe frontul pozitiv, după care datele la intrare pot fi modificate, fără a influența funcționarea restului circuitului. În această versiune nu mai este necesar ca datele să fie menținute constante pe toată durata cât semnalul de clock este 1. Secțiune master a acestor circuite este un bistabil activ pe front și secțiune slave este un bistabil activ pe nivel. Se produce astfel la ieșire un efect întârziat, întârzierea este de durata pulsului de clock. Simbolurile folosite pentru circuitele master-slave cu clock dinamic sunt prezentate în fig. 9.15.

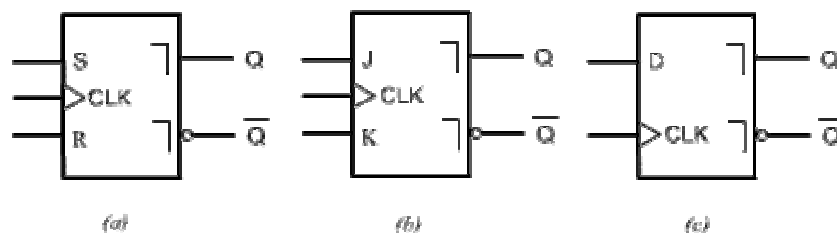


Fig. 9.15 Simboluri logice pentru circuite master-slave cu clock dinamic:
(a) SR; (b) JK; (c) D

Se poate observa utilizarea simbolului de clock dinamic și simbolului de ieșire întârziată. Tabele de adevăr ce definesc funcționarea circuitelor master-slave cu clock dinamic sunt identice cu cele ale circuitelor active pe front corespondente.

C9.5 Circuite secvențiale monostabile și astabile

Circuite monostabile

Un circuit **monostabil** este un circuit care generează la ieșire un puls de o durată predeterminată ori de câte ori aflat în starea stabilă, circuitul este declanșat de un eveniment, cum ar fi o tranziție. Circuitul este numit monostabil deoarece are o singură stare stabilă. O tranziție de semnal aplicată la intrarea de declanșare determină circuitul să comute în cealaltă stare, care este cvasi-stabilă, stare din care va reveni în starea stabilă după o perioadă de timp determinată de parametrii circuitului. Circuitul monostabil este utilizat pentru a genera pulsuri de durată controlată, funcție utilă într-o gamă largă de aplicații.

Structura și simbolul unui circuit monostabil sunt prezentate în fig. 9.16.

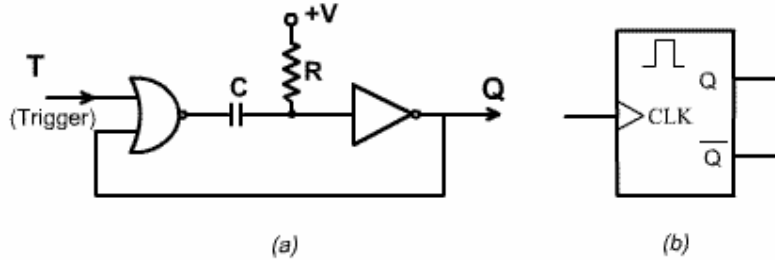


Fig. 9.16 Circuit monostabil: (a) structura; (b) simbol logic

Presupunând că starea stabilă este 0 ($Q=0$), dacă se aplică un puls la intrarea de declanșare (T), ieșirea porții NOR va comuta în 0. Tranziția 1-0 este cuplată prin condensatorul C și aplicată la intrarea porții inversoare care va comuta ieșirea sa în 1. Nivelul 1 de la ieșirea inversorului va menține nivelul 0 de la ieșirea porții NOR. Până în acest punct se poate constata că ieșirea Q a monostabilului a comutat în 1.

În același timp, condensatorul începe să se încarce prin rezistența R. Cât de repede se încarcă, depinde de constanta de timp a circuitului RC. Când condensatorul s-a încărcat la nivelul considerat 1 la intrarea porții inversoare, ieșirea acesteia comută în 0, înapoi în starea stabilă. Lățimea pulsului este dată de relația:

$$t_w = 0.7 R * C$$

Circuite astabile

Un circuit **astabil** nu are nici o stare stabilă. Ieșirea acestuia oscilează între două stări cvasi-stabile cu o perioadă determinată de topologia și parametrii circuitului.

Una din aplicațiile importante ale circuitelor astabile sunt circuitele pentru generarea semnalului de clock.

Cel mai simplu circuit astabil este compus din două inversoare conectate ca în fig. 9.17.

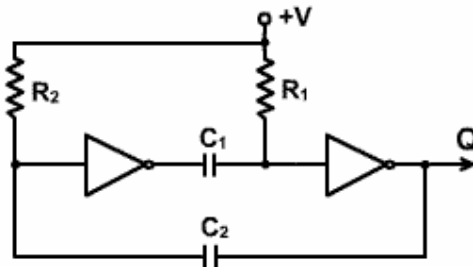


Fig. 9.17 Circuit astabil

Circuitul funcționează asemănător cu monostabilul atunci când este comutat în starea cvasi-stabilă. Cele două cuplări cu condensator nu vor permite nici uneia din porțile inversoare să rămână în starea stabilă.