

Cursul nr. 8

C8.1 Structura CLS: definiții, schemă bloc

Circuitele logice combinaționale sunt circuite a căror ieșire depinde doar de starea curentă a variabilelor aplicate la intrare. De îndată ce se schimbă combinația variabilelor aplicate la intrare, se pierde informația privind starea anterioară, ceea ce înseamnă că circuitele combinaționale nu au memorie.

Circuitele ale căror ieșiri depind atât de valoarea curentă a variabilelor aplicate la intrare cât și de valoarea anterioară sunt cunoscute ca **circuite logice secvențiale**. Un circuit logic secvențial poate fi construit prin adăugarea unei căi de reacție unui circuit logic combinațional.

În fig. C8.1 este prezentată o schemă bloc a unui circuit logic secvențial.

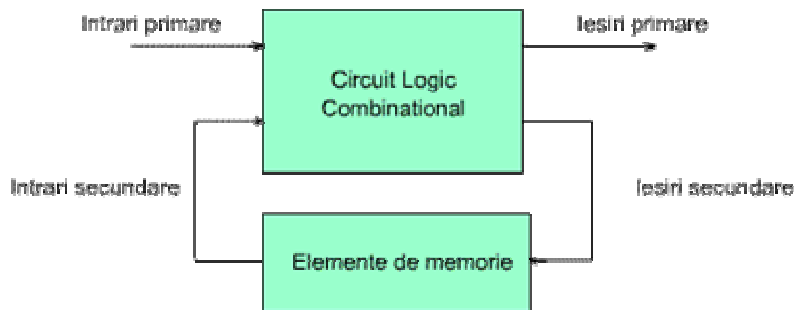


Fig. C8.1 Schema bloc a unui circuit logic secvențial

Un circuit logic secvențial este compus dintr-un circuit logic combinațional căruia i se adaugă o cale de reacție care conține un element de memorare. Elementele de memorare sunt dispozitive capabile să stocheze informație binară.

Circuitul combinațional din componența circuitului secvențial are două categorii de semnale de intrare:

- intrare primară - provine din exteriorul circuitului secvențial;
- intrare secundară - provine de la elementul de memorie.

Combi-nația particulară a variabilelor aplicate la intrările secundare la un moment dat este numită **stare curentă** a circuitului. Variabilele aplicate la intrările secundare sunt referite și ca **variabile de stare**.

Se poate observa în schema bloc că ieșirile primare ale unui circuit secvențial depind atât de variabilele aplicate din exterior la intrările primare cât și de starea curentă a circuitului.

Ieșirile secundare constituie intrări pentru elementul de memorie și sunt numite **stare viitoare**. Starea viitoare depinde de asemenea de intrările primare și de starea curentă.

Prin urmare, funcționarea unui circuit secvențial este definită de o succesiune în timp a intrărilor, ieșirilor și a stărilor interne.

EXEMPLUL C8.1

Se dă circuitul compus din două porți SI-NU cu două intrări, interconectate ca în fig. C8.2. Acest circuit este cunoscut ca latch SR și este cel mai simplu circuit secvențial.

Când ambele intrări S și R sunt 0, sunt posibile două stări pentru circuit: una din stări cu ieșire Q egală cu 0 și cealaltă cu ieșirea Q egală cu 1. Ambele stări sunt stabile. Starea în care va fi circuitul atunci când $S=R=0$ depinde de valorile care au fost aplicate la intrările S și R înainte ca acestea să fie ambele 0. Dacă S este 1 și R este 0, ieșirea Q va fi 1; dacă S devine 0, ieșirea va rămâne în starea 0. Dacă S este 0 și R este 1, ieșirea Q va fi 0; dacă R devine 0, ieșirea Q va rămâne în starea 0.

Verificați cele descrise în animația din fig. C8.2.

Circuitul latch SR este utilizat ca element pentru memorarea unui bit de informație. Prin menținerea intrărilor S și R la 0, circuitul memorează la ieșirea Q un 1 sau un 0, în funcție de starea ieșirii Q înainte ca intrările S și R să fie aduse în 0.

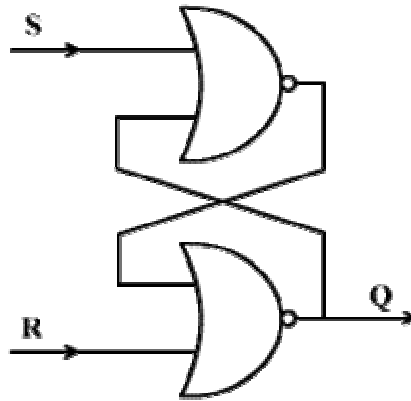


Fig. C8.2 Circuit secvențial simplu (latch SR)

C8.2. Asincron și sincron

Temporizare semnalelor este foarte importantă în circuitele secvențiale. În acest sens, circuitele logice secvențiale sunt clasificate în două categorii:

- circuite secvențiale asincrone;
- circuite secvențiale sincrone.

În circuitele secvențiale **asincrone** starea curentă (intrările secundare provenite pe calea de reacție) poate fi modificată în orice moment ca efect al schimbării variabilelor aplicate la intrarea primară. Elementul de memorie de pe calea de reacție este în mod obișnuit un dispozitiv de întârziere; întârzierea este realizată prin propagarea semnalului printr-un șir de porți logice. Întârzierea prin porțile logice nu poate fi controlată și de aceea circuitele secvențiale asincrone pot deveni instabile. Proiectarea circuitelor secvențiale asincrone este complicată, de aceea majoritatea circuitelor secvențiale utilizate sunt de tip sincron.

Circuitele secvențiale **sincrone** sunt circuite la care schimbarea stării și a ieșirii are loc la momente de timp bine definite. Aceste momente sunt asociate cu frontul crescător sau cu frontul scăzător al unui semnal de temporizare cunoscut ca semnal de *clock*. În mod obișnuit semnalul de **clock** este un semnal dreptunghiular ale cărui elemente sunt redată în fig. C8.3.

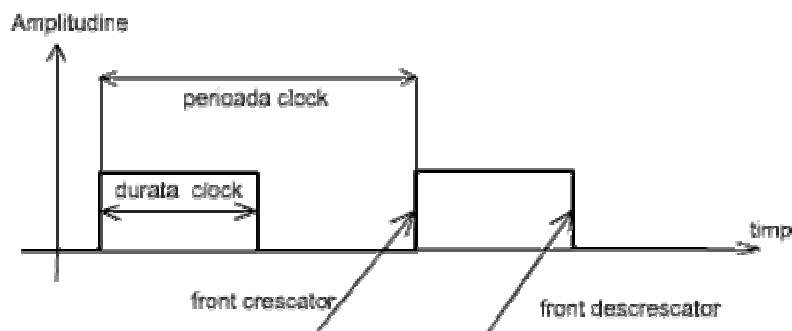


Fig. C8.3 Semnal de clock

Când semnalul de clock face o tranziție de la 0 la 1, avem un **front crescător**; când semnalul de clock face o tranziție de la 1 la 0, avem un **front căzător**.

Din diagrama de timp a semnalului se poate observa că **perioada** semnalului de clock este intervalul de timp dintre două tranziții succesive în același sens (între două fronturi crescătoare sau între două fronturi căzătoare).

Tranzițiile în circuitele secvențiale sincrone au loc doar în momentele când semnalul de clock are fie un front crescător, fie un front căzător. La ieșirea unui circuit sincron nu are loc nici o schimbare între două fronturi succesive, indiferent de valoarea variabilelor aplicate la intrare.

Frecvența semnalului de clock este inversul perioadei semnalului de clock.

Lățimea semnalului de clock este definită ca fiind intervalul de timp în care semnalul are valoarea 1. Raportul dintre lățimea semnalului și perioada acestuia este numit **factor de umplere**.

Un semnal de clock este **activ pe front crescător** dacă starea circuitului sincron se schimbă pe frontul crescător al semnalului de clock. Dacă starea circuitului sincron se schimbă pe frontul căzător, semnalul de clock este **activ pe front căzător**.

Cel mai simplu circuit secvențial sincron este un dispozitiv capabil să memoreze un bit de informație; circuitul este cunoscut ca bistabil sincron sau *flip-flop*. Simbolul unui circuit la care schimbarea stării și a ieșirilor are loc pe frontul semnalului de clock este prezentat în fig. C8.4.

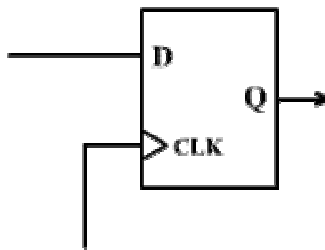


Fig. C8.4 Flip-flop sincron

Valoarea ieșirii Q a circuitului se modifică numai atunci când semnalul aplicat la intrarea CLOCK are un front crescător. În cazul particular al acestui circuit, când semnalul de clock are un front crescător, intrarea D va fi transferată la ieșirea Q. În restul timpului nu este considerată nici o schimbare a valorii aplicate la intrarea D; ieșirea Q nu se modifică. Acest flip-flop simplu poate fi construit utilizând șase, până la zece porți elementare.

Verificați cele descrise pe animația din fig. C8.4: schimbați valoarea intrării și observați cum aceasta este transferată la ieșire doar pe frontul crescător al semnalului de clock. Este posibil să activați părți din semnalul de clock prin click pe nivelul 0, nivelul 1 sau pe fronturi.

Un circuit secvențial sincron mai general este prezentat în schema bloc din fig. C8.5.

Elementul de memorie este construit în acest exemplu cu cele mai simple dispozitive sincrone de memorare a unui bit de informație - bistabile sincrone D. Schimbările survenite la intrările circuitului vor determina modificarea stării viitoare. Semnalele stării viitoare constituie intrări pentru elementul de memorie. Semnalele stării curente - care sunt ieșiri ale elementului de memorie și în același timp intrări secundare pentru circuitul combinațional - se vor modifica doar atunci când semnalul de clock are un front crescător (sau căzător). În mod uzual semnalul de clock este un semnal cu pulsuri periodice, în acest fel starea este actualizată la intervale regulate de timp, pe fiecare front crescător (sau căzător) al semnalului de clock.

C8.3. Tabele de stare și diagrame de stare

Considerând modelul general al unui circuit secvențial, efectul stării anterioare la intrare asupra ieșirilor este exprimat prin starea curentă a circuitului. Astfel, în orice moment, ieșirea circuitului depinde de starea curentă și de intrare; în același timp, acestea determină și starea viitoare a circuitului. Relația ce există între intrare, ieșire, starea curentă și starea viitoare poate fi exprimată fie prin tabele de stare, fie prin diagrame de stare.

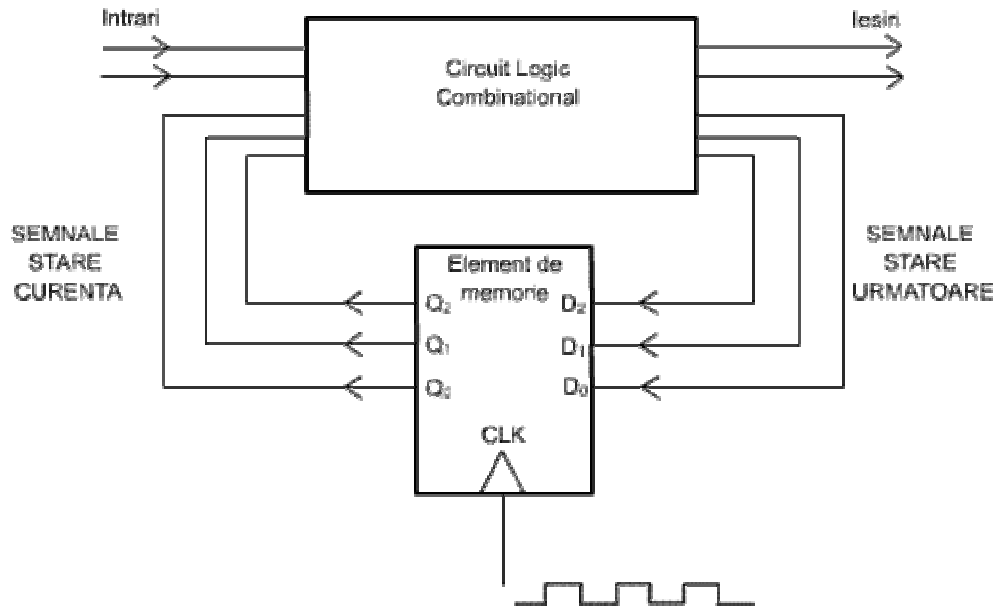


Fig. C8.5 Schema bloc a unui CLS sincron

Tabelul de stare care definește un circuit secvențial este compus din trei coloane numite **stare curentă**, **stare viitoare** și **ieșire**. Starea curentă indică starea circuitului (ieșirile bistabilelor ce compun circuitul) înainte apariției frontului activ de clock. Starea viitoare indică starea circuitului (ieșirile aceluiași bistabile) după apariția frontului activ de clock. Coloana numită ieșire indică valorile variabilelor de ieșire ale circuitului în starea curentă.

Diagrama de stare este o reprezentare grafică care conține aceeași informație ca și tabelul de stare sau ecuațiile de funcționare ale circuitului. În diagrama de stare o stare este reprezentată printr-un cerc, iar tranzițiile între stări sunt reprezentate prin săgeți care unesc cercurile.

În fig. C8.6 este reprezentat un circuit secvențial (cu o variabilă de intrare, o variabilă de ieșire și două variabile de stare), diagrama de stare și tabelul de stare pentru un caz particular de funcționare. Cifrele binare din interiorul fiecărui cerc particularizează starea pe care o reprezintă fiecare cerc. Săgețile sunt notate cu două cifre binare separate prin semnul *slash (/)*; prima cifră reprezintă valoarea de intrare care determină tranziția de stare, iar cifra a doua reprezintă valoarea ieșirii.

În diagrama din fig. C8.6 săgeata ce pornește de la cercul ce reprezintă starea 00 spre cercul care reprezintă starea 01 este notată 1/0, ceea ce înseamnă că dacă circuitul secvențial se află în starea 00 și intrarea este 1, atunci starea viitoare va fi 01 și ieșirea va avea valoarea 0. Dacă starea curentă este 00 și intrarea este 0, circuitul va rămâne în această stare și ieșirea va fi 0.

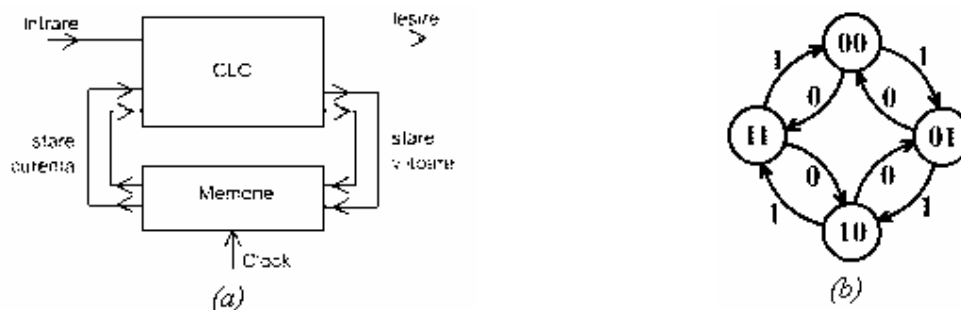


Fig. C8.6 (a) Circuit secvențial - schema bloc; (b) Diagrama de stare;

stare curentă	stare viitoare		iesire	
	intrare=0	intrare=1	intrare=0	intrare=1
00	00	01	0	0
01	11	01	0	0
10	10	11	0	1
11	10	11	0	0

(c)

Fig. C8.6 (c) Tabelul de stare

Diagrama de stare furnizează aceeași informație ca și tabelul de stare și poate fi construită pe baza tabelului de stare și invers, tabelul de stare poate fi completat pe baza diagramei de stare.

EXEMPLUL C8.2

Se dă circuitul secvențial din fig. C8.7 și diagrama de stare asociată.

Comportarea circuitului este descrisă de următoarele ecuații:

$$D_0 = \overline{Q_0} \qquad Z_1 = Q_1$$

$$D_1 = u \oplus (Q_0 \oplus Q_1) \qquad Z_0 = Q_0$$

Starea curentă este dată de ieșirile celulelor de memorie (Q_0Q_1). Starea viitoare este dată de intrările celulelor de memorie (D_0D_1). Intrarea este notată u/\overline{d} și ieșirile sunt Z_0 și Z_1 (în acest caz particular, ieșirile coincid cu starea curentă).

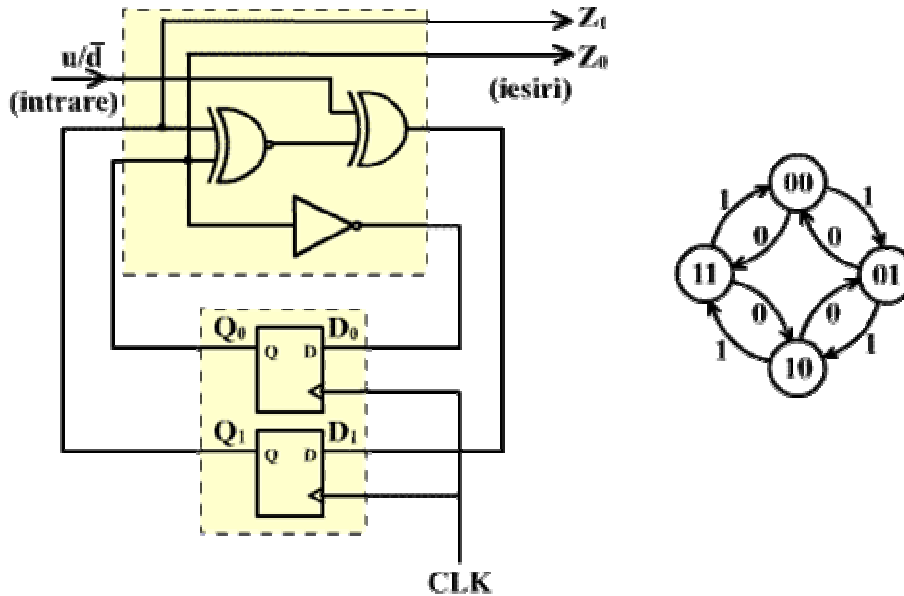


Fig. C8.7 Circuit secvențial

În fig. C8.8 este dat tabelul de stare asociat circuitului din fig. C8.7.

Observați că circuitul este un numărător sincron reversibil (sus/jos) pe doi biți.

Stare curentă Q_1Q_2	Stare viitoare D_1D_2		Ieșire Z_1Z_2	
	$u/\bar{d}=0$	$u/\bar{d}=1$	$u/\bar{d}=0$	$u/\bar{d}=1$
00	11	01	00	00
01	00	10	01	01
10	01	11	10	10
11	10	00	11	11

Fig. C8.8 Tabelul de stare al circuitului din fig. C8.7

C8.4 Circuite latch cu porți logice

Circuitele latch numite și circuite de zăvorâre sunt circuite logice secvențiale. Un **latch** este un circuit basculant bistabil capabil să stocheze un bit de informație (un 0 sau un 1). Din cauza capacității de stocare circuitul latch este numit și dispozitiv bistabil de memorare.

Circuitul latch Set-Reset, numit pe scurt latch SR, are două intrări (S și R), o ieșire nenegată (Q) și o ieșire negată (\bar{Q}) ca în fig. C8.9.

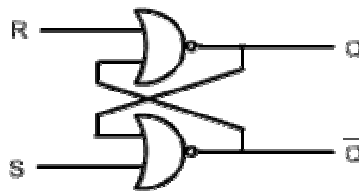


Fig. C8.9 Latch SR

Când ieșirea Q este 1 se spune că circuitul latch este setat; când ieșirea Q este 0, se spune că circuitul latch este șters sau resetat.

Simbolul unui latch SR este prezentat în fig. C8.10.

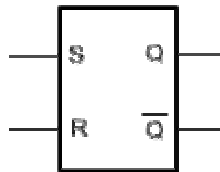


Fig. C8.10 Simbolul logic al unui latch SR

Tabelul de adevăr arată cum se modifică ieșirile în raport cu schimbările survenite la intrări. Tabelul de adevăr al unui latch SR este redat în tabelul 8.1.

Când ambele intrări S și R sunt 0, nu are loc nici o modificare în starea circuitului; se spune că circuitul păstrează starea. Când $S=0$ și $R=1$, ieșirea este ștersă, circuitul latch intră în starea reset, iar operația este numită resetare. Când $S=1$ și $R=0$, ieșirea este setată, iar circuitul latch intră în starea setat. Când ambele intrări S și R sunt 1, circuitul devine instabil - combinația $R=1$ și $S=1$ nu este permisă la acest circuit.

Tabelul 8.1

S	R	Q	\bar{Q}	Operație
0	0	Q anterior	\bar{Q} anterior	Menținere
0	1	0	1	Reset
1	0	1	0	Set
1	1	?	?	Instabil

Introducând o variabilă de timp în tabelul de adevăr, este posibil să fie folosite combinațiile posibile la intrare și starea curentă a circuitului la momentul t (Q_t) pentru a determina starea viitoare a circuitului la momentul $t+1$ (Q_{t+1}). Acest tip de tabel este numit tabel caracteristic și este ilustrat în tabelul 8.2.

Tabelul 8.2

Intrare curentă		Stare curentă	Stare viitoare	Operație
S	R	Q_t	Q_{t+1}	
0	0	0	0	Menținere
0	0	1	1	Menținere
0	1	0	0	Reset
0	1	1	0	Rest
1	0	0	1	Set
1	0	1	1	Set
1	1	0	Oscilații	Nepermis
1	1	0	Oscilații	Nepermis

Un alt tip de tabel utilizat, echivalent cu tabelul caracteristic, este tabelul de excitație; acesta redă valorile variabilelor de intrare pentru toate tranzițiile posibile la ieșire (tabelul 8.3).

Tabelul 8.3

Stare prezentă	Intrare		Stare viitoare
Q_t	S	R	Q_{t+1}
0	0	x	0
0	1	0	1
1	0	1	0
1	x	0	1

(x=indiferent, 0 sau 1)

În ceea ce privește starea nepermisă pentru variabilele de intrare ($S=1, R=1$), este responsabilitatea proiectantului ca această combinație să nu apară niciodată la intrare.

Pentru a construi circuite latch SR pot fi utilizate și alte tipuri de porți logice. Porțile SAU -NU din exemplul din fig. C8.9 pot fi înlocuite cu porți ȘI-NU sau cu porți SAU cu intrările negate. Aceste variante echivalente de circuite latch SR au intrările active în 0 și vor fi notate ca latch \overline{SR} . În fig. C8.11 sunt arătate circuite latch \overline{SR} . În fig. C8.12 este prezentat simbolul logic al unui latch \overline{SR} .

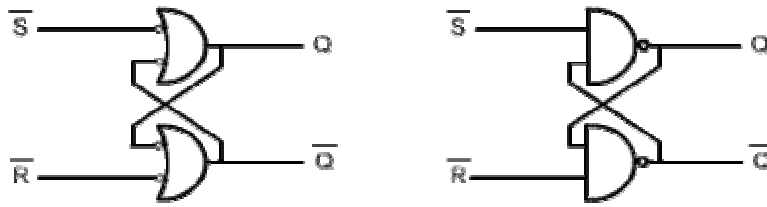


Fig. C8.11 Versiuni de implementare pentru circuite SR-latch (cu intrări active în 0)

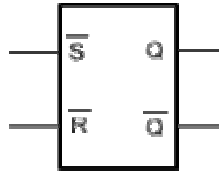


Fig. C8.12 Simbolul logic al circuitului SR-latch cu intrări active în 0

Tabelul de adevăr ce caracterizează funcționarea circuitului SR-latch cu intrări active în 0 este redat alăturat (tabelul 8.4).

Tabelul 8.4

\bar{S}	\bar{R}	Q	\bar{Q}	Operație
0	0	?	?	Mentținere
0	1	1	0	Reset
1	0	0	1	Set
1	1	Q precedent	\bar{Q} precedent	Instabil

EXEMPLUL C8.3

Circuitul pentru deparazitarea contactelor mecanice este un exemplu de utilizare a circuitului SR-latch. Orice comutator mecanic are vibrații până la stabilirea contactului mecanic. Astfel, în încercarea de a genera o tranziție simplă din nivel HIGH în nivel LOW, utilizând un comutator mecanic va rezulta o serie de tranziții între cele două stări până la stabilizarea mecanică a contactului. Dacă se conectează un numărator la comutatorul nostru, acesta va număra toate schimbările de stare, deși intenția a fost de a contoriza doar o singură schimbare de stare.

Schema comutatorului mecanic deparazitat cu circuit latch-SR este prezentată în fig. C8.13, iar tabelul de adevăr ce caracterizează funcționarea circuitului este dat în tabelul 8.5.

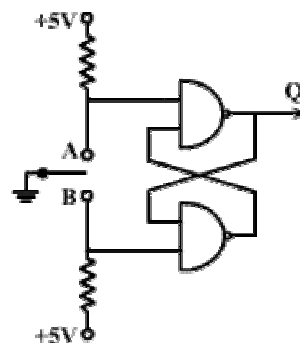


Fig. C8.13 Comutator mecanic deparazitat

Tabelul 8.5

A	B	Q
0	0	nepermis
0	1	1
1	0	0
1	1	Q precedent

În fig. C8.14 este prezentată diagrama de semnal care arată cum este deparazitat comutatorul mecanic.

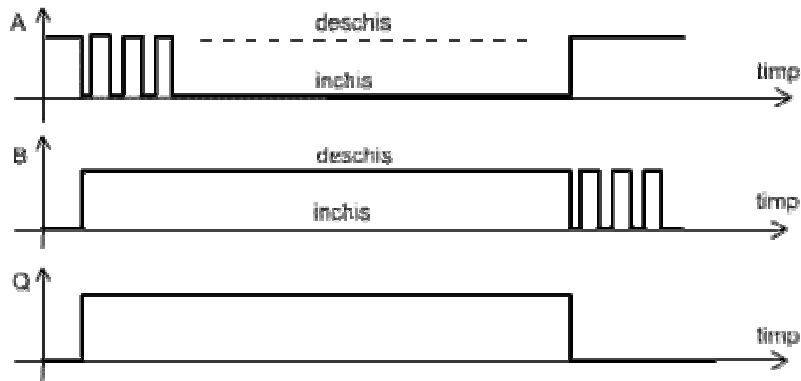


Fig. C8.14 Diagrama de semnal a circuitului de deparazitare