

Cursul nr. 7

C7.1 Circuite de scădere binară

Circuitele de scădere pot fi proiectate în aceeași manieră ca și cele de adunare. Se pot însă realiza și circuite care să facă și adunarea și scăderea, deoarece scăderea a 2 operanzi binari este echivalentă cu adunarea la descăzut a complementului față de 2 al scăzătorului.

$$\text{Astfel } (R)_2 = (P)_2 - (Q)_2 = (P)_2 + (-Q)_2 = (P)_2 + [Q]_2 = (P)_2 + (\bar{Q})_2 + 1,$$

unde $(\bar{Q})_2$ este complementul față de 1, iar $[Q]_2$ complementul față de 2 a lui $(Q)_2$. În fig. C7.1 este reprezentat un astfel de circuit care realizează funcția $(\Sigma)_2 = (A)_2 + (B)_2 + C_0$.

$$\text{Pentru } (A)_2 = (P)_2, (B)_2 = (Q)_2, C_0 = 0$$

$$(R)_2 = (\Sigma)_2 = (P)_2 + (Q)_2 + 0 = (P)_2 + (Q)_2,$$

adică se realizează adunarea operanzilor, iar pentru $(A)_2 = (P)_2; (B)_2 = (\bar{Q})_2; C_0 = 1$

avem: $(R)_2 = (P)_2 + (\bar{Q})_2 + 1 = (P)_2 + [Q]_2 = (P)_2 - (Q)_2$, adică se realizează scăderea operanzilor.

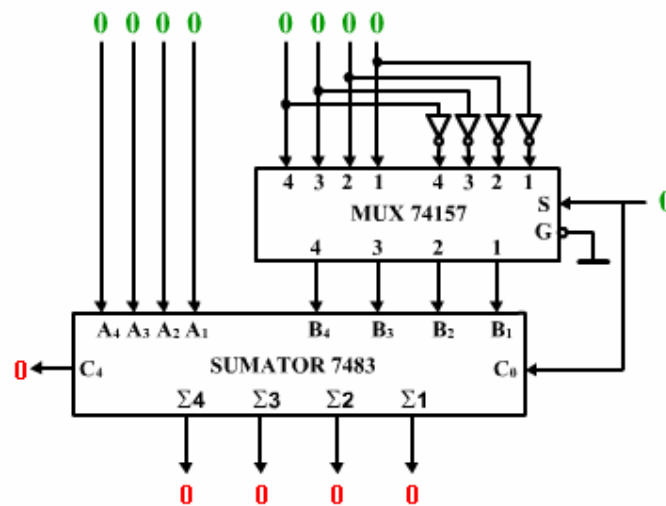


Fig. C7.1 Circuit de adunare / scădere pe 4 biți

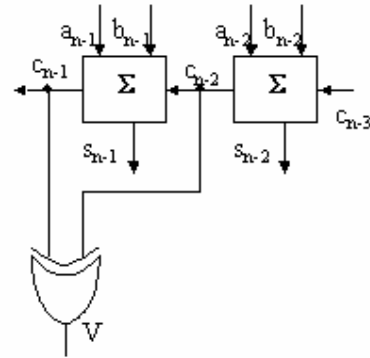
C7.2 Circuite de detecție a depășirii

În urma unei operații aritmetice, există posibilitatea ca rezultatul să depășească capacitatea de reprezentare, caz în care rezultatul nu este corect. Este nevoie de un circuit specializat care să detecteze această depășire. Un astfel de circuit poate fi realizat pe baza analizei comportării ultimei celule a sumatorului, care are tabelul de adevăr în fig. C7.2a.

Depășirea capacității apare în două situații, funcția realizată fiind $V = c_{n-2} \oplus c_{n-1}$, ce poate fi implementată ca în circuitul din fig. C7.2b.

Intrări sumator			Ieșiri sumator		Depășire
a_{n-1}	b_{n-1}	c_{n-2}	c_{n-1}	s_{n-1}	V
0	0	0	0	0	0
0	0	1	0	1	1
0	1	0	0	1	0
0	1	1	1	0	0
1	0	0	0	1	0
1	0	1	1	0	0
1	1	0	1	0	1
1	1	1	1	1	0

(a)



(b)

Fig. C7.2 Detectorul de depășire capacitate: (a) Tabelul de adevăr; (b) Schema logică.

C7.3 Comparatoarele

Sunt CLC-uri care determină relația dintre 2 operanzi, de regulă reprezentați în binar sau în cod BCD. Relațiile pe care se bazează construcția comparatoarelor sunt $A > B$, $A < B$ și $A = B$, pentru

$$A = (A_{n-1}, A_{n-2}, \dots, A_0)_2 \text{ și } B = (B_{n-1}, B_{n-2}, \dots, B_0)_2$$

Comparatorul are deci 2 intrări (A și B) și 3 ieșiri, respectiv $f_1=1$ pentru $A < B$, $f_2=1$ pentru $A = B$, $f_3=1$ pentru $A > B$. De remarcat că la un moment dat numai una dintre ieșiri este activă.

Pentru un comparator pe 2 biți, cu operanzii $A=(A_1, A_0)$ și $B=(B_1, B_0)$, schema bloc din fig. C7.3a și tabelul de adevăr în fig. C7.3b, rezultă, după minimizarea cu diagramele Veitch (fig. C7.4a, b, c pentru f_1 , f_2 , respectiv f_3) funcțiile:

$$f_1 = \bar{A}_1 B_1 + \bar{A}_1 \bar{A}_0 B_0 + \bar{A}_0 B_1 B_0$$

$$f_2 = \bar{A}_1 \bar{A}_0 \bar{B}_1 \bar{B}_0 + \bar{A}_1 A_0 \bar{B}_1 B_0 + A_1 \bar{A}_0 B_1 \bar{B}_0 + A_1 A_0 B_1 B_0$$

$$f_3 = A_1 \bar{B}_1 + A_0 \bar{B}_1 \bar{B}_0 + A_1 A_0 \bar{B}_0$$

Circuitul **7485** este un comparator pe 4 biți. Pe lângă cele 8 intrări pentru biții celor 2 operanzi și cele 3 ieșiri cu semnificația descrisă mai sus (f_1 , f_2 și f_3), el are și 3 intrări (c_1 , c_2 și c_3), cu aceeași semnificație cu a ieșirilor, ce pot fi legate la ieșirile omoloage ale altui circuit 7485 și care permit în acest fel legarea în cascadă a acestora în scopul comparării unor cuvinte mai mari de 4 biți.

În fig. C7.5a este reprezentată schema bloc a circuitului, iar în fig. C7.5b modul de legare în cascadă a 2 circuite pentru a compara două cuvinte de 8 biți.

C7.4 Memoria cu acces numai în citire (ROM – Read Only Memory)

Este un circuit care din punct de vedere structural este un CLC care poate implementa funcții în forma canonică disjunctivă (sumă de produse). După cum sugerează și denumirea, circuitul este destinat memorării datelor (și programelor) într-un sistem de calcul. Accesul însă la aceste date în cursul funcționării sistemului este limitat doar la citirea acestora nu și la înscrierea lor. Înscrierea datelor în ROM se face prin procedee speciale fie în faza de fabricație a acestora fie ulterior de către utilizatori. Conținutul memoriei nu se pierde la pierderea alimentării de aceea memoria se mai numește și nevolatilă. În fig. C7.6a este reprezentată schema de principiu a unui circuit ROM, iar în fig. C7.6c schema bloc corespunzătoare.

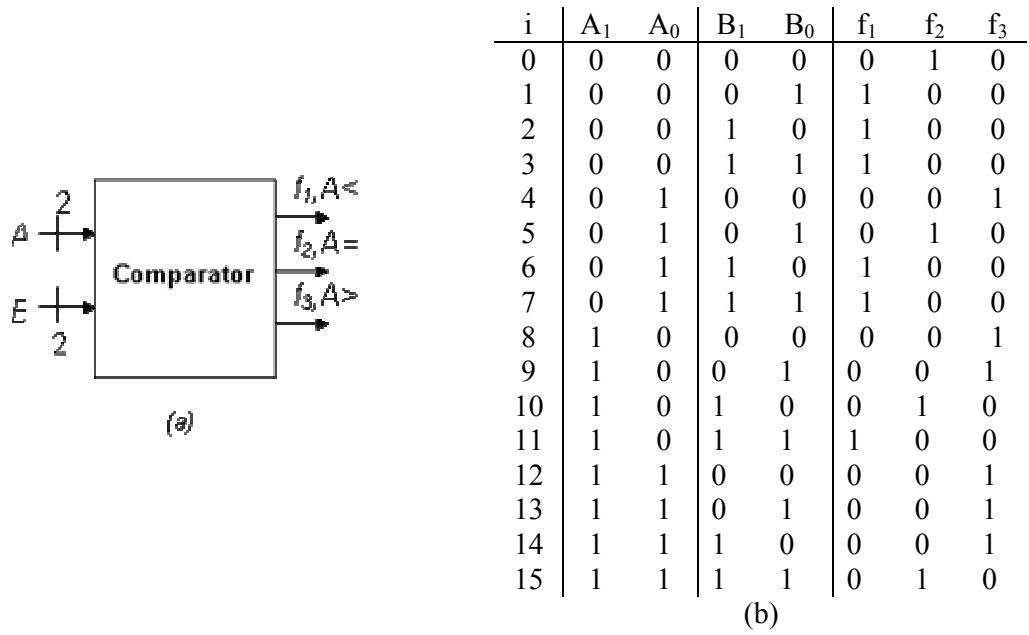


Fig. C7.3 Comparatorul pe 2 biți: (a) Schema bloc; (b) Tabelul de adevăr

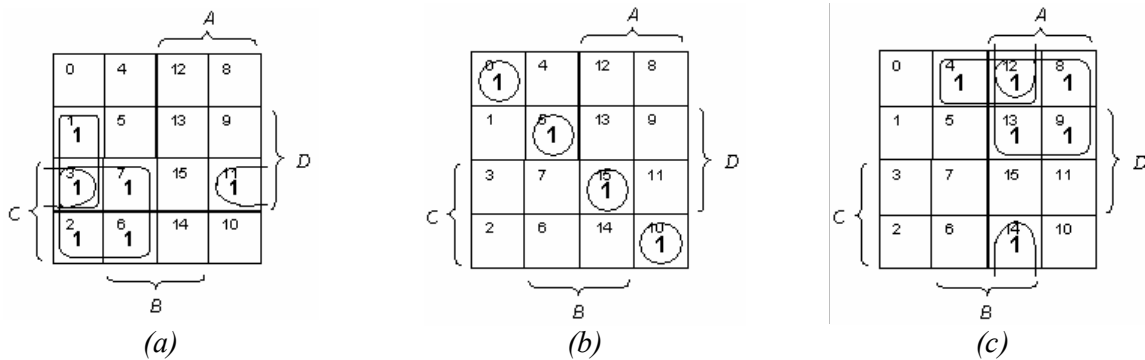


Fig. C7.4 Diagramele Veitch pentru minimizarea funcțiilor (a) f_1 ; (b) f_2 ; (c) f_3

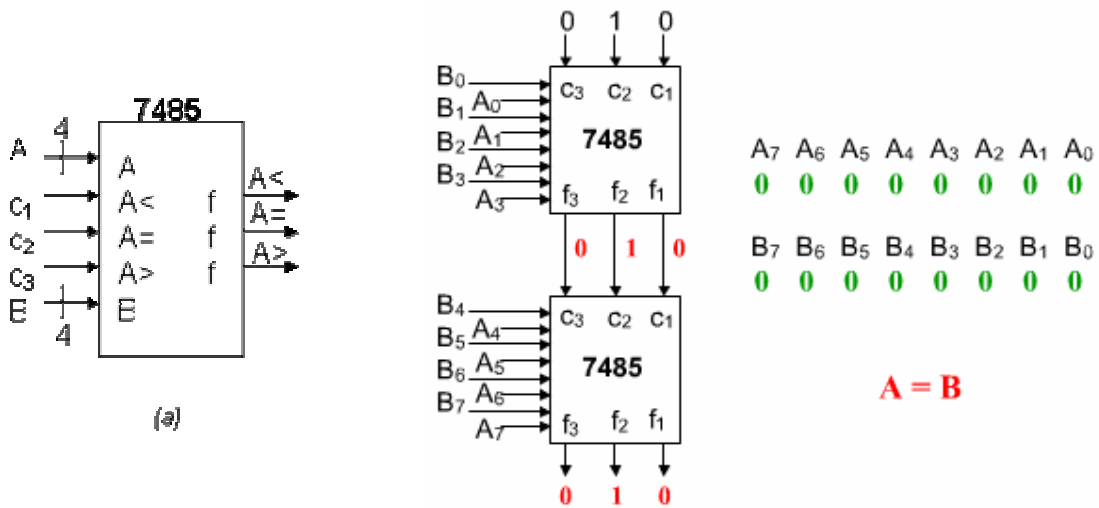


Fig. C7.5 (a) Comparatorul pe 4 biți 7485; (b) Legarea în cascadă a două circuite 7485 pentru compararea a două cuvinte de 8 biți.

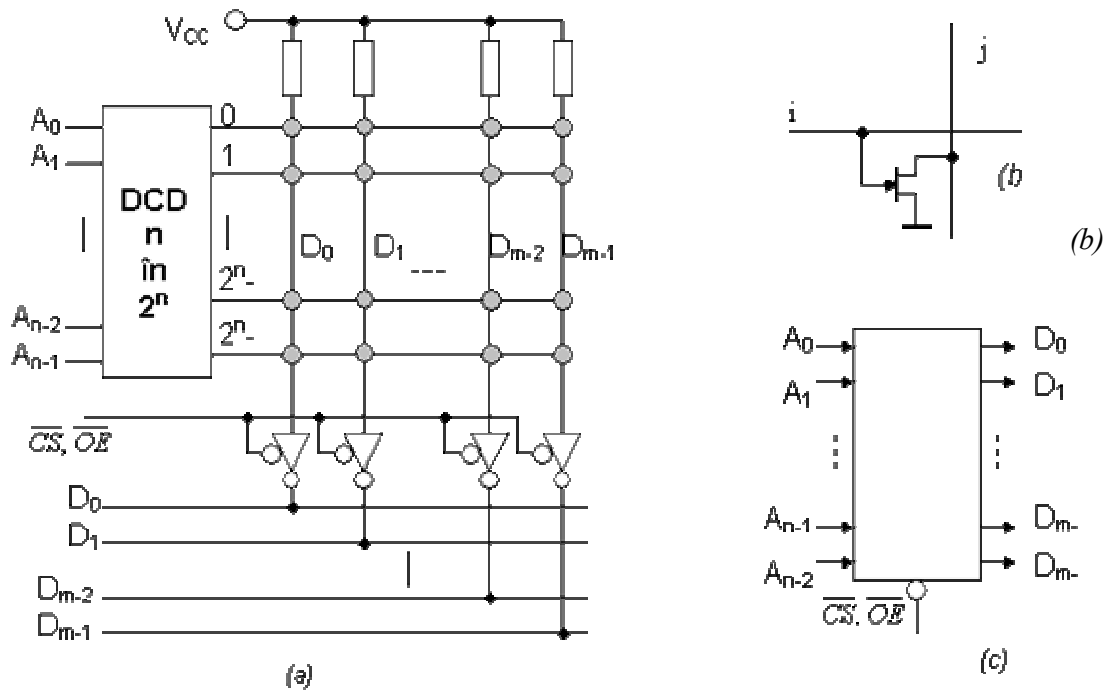


Fig. C7.6 Circuit ROM: (a) Schema de principiu; (b) Tranzistor MOS ca celulă de memorare; (c) Schema bloc a corespunzătoare circuitului

Memoria figurată conține $2^{n-1} \cdot D_{m-1}$ celule, fiecare celulă conținând o informație binară elementară, adică un bit. Bitul este egal cu 1 dacă în celulă (nod aflat la intersecția unei linii cu o coloană) nu există un tranzistor MOS și 0 dacă există tranzistor, ca în fig. C7.6b. Nivelul ridicat de tensiune, corespunzător lui 1 logic, este stabilit de rezistența din coloană legată la V_{cc} , iar nivelul 0 este stabilit de tranzistorul MOS deschis care coboară potențialul drenei (legată la coloană) la cel al sursei, legată la masă (deci 0V). Intrările $A_0, A_1, \dots, A_{n-2}, A_{n-1}$ sunt intrări de adresare care se aduc la intrarea unui decodificator n -în- 2^n . Ieșirea decodificatorului are 2^n ieșiri care se conectează la liniile matricii. Fiecare linie a matricii memorează m biți în cele m noduri. Trimiterea unei adrese la intrarea decodificatorului va activa o ieșire, deci o linie a matricii, biții memorati în nodurile liniei (adică nivelele de tensiune scăzute sau ridicate) fiind trimiși la intrările porților TSL de la ieșire. Un semnal de comandă $\overline{CS}, \overline{OE}$ face ca porțile TSL să se deschidă, în acest fel conținutul locației de memorie adresată (linia matricii legată la ieșirea corespunzătoare a decodificatorului) să ajungă la ieșirile circuitului $D_0, D_1, \dots, D_{m-2}, D_{m-1}$.

În fig. C7.7 se prezintă exemplul unei memorii ROM cu un cuvânt de adresare de doi biți și cuvânt de date de patru biți.

Observații:

- 1) Intrările $A_0, A_1, \dots, A_{n-2}, A_{n-1}$ într-un sistem de calcul se leagă la magistrala de adrese;
- 2) TSL - Three State Logic – trei stări logice - 0, 1 și înaltă impedanță (HZ);
- 3) $\overline{CS}, \overline{OE}$ - semnale active pe nivel scăzut. \overline{CS} - Chip Select, selectează cipul atunci când există mai multe circuite ROM în sistem, \overline{OE} - Output Enable, ieșire date (citire) permisă. Într-un sistem de calcul acest semnal aparține magistralei de control. Pentru a micșora numărul de pini ai circuitului integrat cele două semnale sunt luate împreună, semnalul corespunzător obținându-se printr-o logică exterioară circuitului.
- 4) $D_0, D_1, \dots, D_{m-2}, D_{m-1}$ într-un sistem de calcul se leagă la magistrala de date.

La un ROM, numărul de linii de adresă dă numărul de locații ce conțin tot atâtea cuvinte, iar numărul de ieșiri dă dimensiunea cuvântului de date.

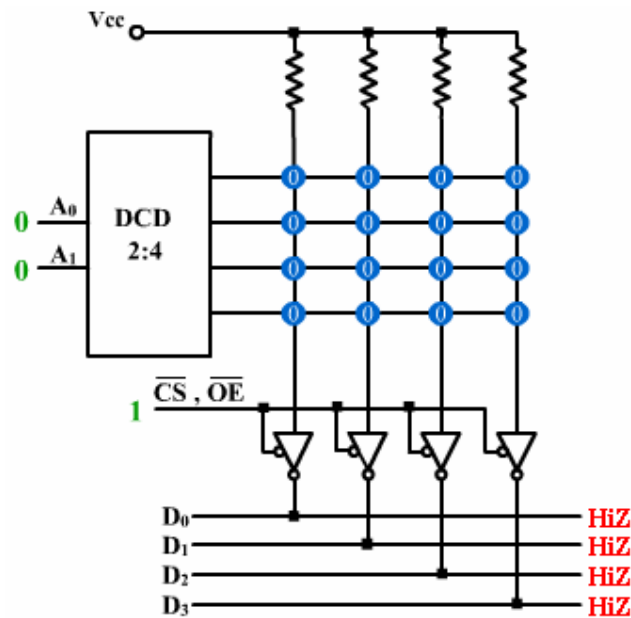


Fig. C7.7 Memorie ROM cu capacitatea de 16 biți

EXEMPLUL C7.1

O memorie ROM cu 10 intrări de adresare și o ieșire va memora $2^{10}=1024=1k$ locații cu mărimea de 1 bit, deci 1kbit.

Din punct de vedere al implementării unei funcții sub forma canonică disjunctivă, circuitul realizează funcția ȘI prin intermediul decodicatorului care are la ieșirea sa toți mintermenii funcției de variabile intrările de adresare, iar nivelul SAU se obține prin programarea nodurilor de pe coloane.

La fabricarea circuitelor ROM se utilizează o gamă largă de tehnologii: TTL, TTL-Schottky, ECL, NMOS, PMOS, CMOS, MNOS, SNOS, CMOS pe safir, I^2L , fiecare circuit purtând caracteristicile tehnologiei.

Tipuri de circuite ROM:

1. **ROM cu mascare** la care înscrierea ireversibilă a datelor se face în procesul de fabricație pe baza specificațiilor clienților, rezultând un preț de cost redus.
2. **PROM**, ROM programabil de către utilizator. La acest tip de circuit în toate nodurile matricii există tranzistoare dar, în procesul de programare, ele pot fi deconectate prin arderea unui fuzibil sau străpungerea unei joncțiuni, atunci când se dorește înscrierea bitului 1.
3. **EPROM**, circuite ROM care pot fi șterse prin expunere la radiație ultravioletă și apoi reprogramate.
4. **EEPROM**, circuite ROM care pot fi șterse pe cale electrică și apoi reprogramate. Circuitele EPROM, în ambele variante, conțin în noduri tranzistoare cu poartă flotantă. Captarea electronilor de către poarta flotantă atunci când sunt injectați de drenă sau de sursă la aplicarea unei tensiuni mari pe canal, crează o tensiune de comandă ce ține tranzistorul deschis (programat cu 0 logic) timp îndelungat, uneori 10 ani.

C7.5 Matricea logică programabilă, PLA

Matricea logică programabilă, **PLA** (Programmable Logic Array), spre deosebire de ROM prezintă pe lângă nivelul SAU programabil și nivelul ȘI programabil. Programarea celor două nivele utilizează aceleași tehnici ca la ROM și poate fi realizată din fabricație sau de către utilizator în

cazul **FPLA** (*Field PLA*). În fig. C7.8 este reprezentată structura tipică a unei PLA cu 14 intrări (variabile) D_0, D_1, \dots, D_{13} și 8 ieșiri (funcții) F_0, F_1, \dots, F_7 .

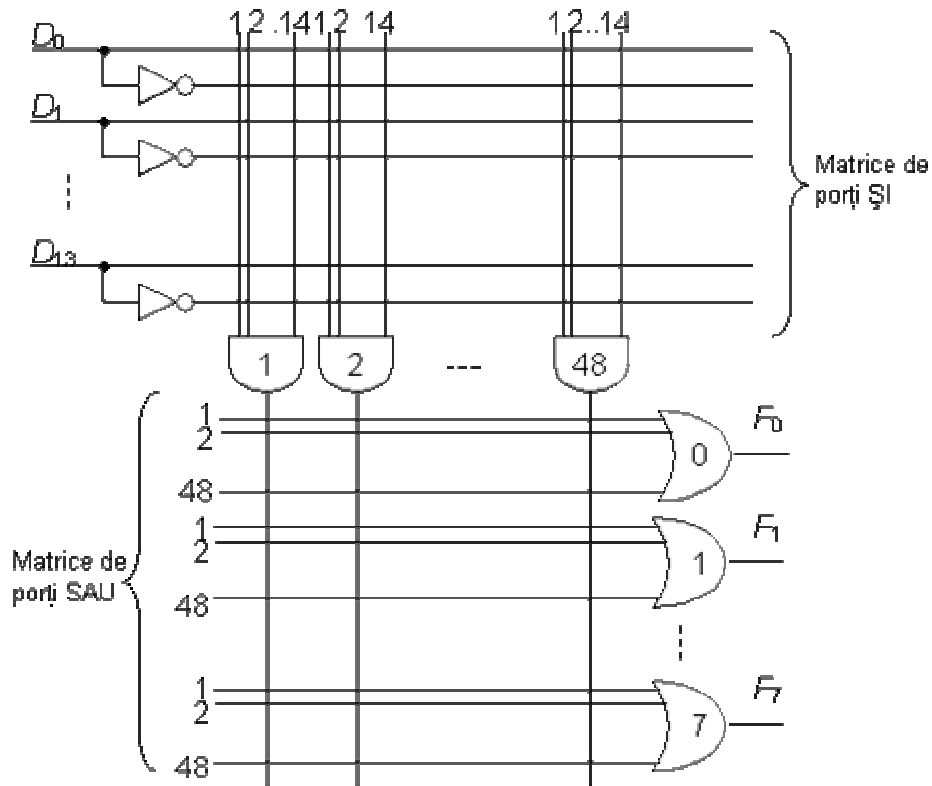


Fig. C7.8 Matrice logică programabilă cu 14 intrări și 8 ieșiri.

Fiecare din cele 48 de porți ale matricii de porți ȘI produce un termen de maxim 14 variabile simple sau negate prin programarea nodurilor (realizarea conexiunilor). Matricea de porți SAU conține 8 porți SAU a câte 48 intrări. La ieșirea circuitului se obțin 8 funcții ce conțin, fiecare, cel mult 48 de termeni obținuți la ieșirile matricii de porți ȘI și anume aceia care sunt programați (conectați) în nodurile corespunzătoare.

Observație: Un ROM care ar genera 8 funcții de 14 variabile ar necesita $2^{14} \times 8 = 131072$ biți.

Există și o variantă de matrice logică programabilă numită **PAL** (**P**rogrammable **A**rray **L**ogic) care are doar nivelul de ȘI programabil, nivelul de SAU fiind programat la fabricație.