

Cursul nr. 3

C3.1 Familia TTL de CI logice

Circuitele care îndeplinesc o funcție logică se mai numesc și **porți**.

Circuitele integrate (CI) logice au ca bază de fabricație siliciul și tehnologia planară a acestuia și se împart în principal în două grupe:

- **Circuite bipolare**, caracterizate prin frecvență mare de lucru și printr-o densitate a componentelor pe unitatea de suprafață a pastilei (cipului) de siliciu mai mică;
- **Circuite unipolare (MOS)** care au o densitate mai mare (cu 1÷2 ordine de mărime) și sunt mai lente decât circuitele bipolare.

Principalii parametri ai unei porți logice sunt:

- t_{pd} – timpul de (întârziere) propagare a informației logice de la intrare către ieșire, [ns];
- P_d – puterea medie consumată de poartă, [mW];
- P_Q – factor de calitate, egal cu produsul primilor doi parametri, [pJ]. P_Q reprezintă un factor de merit al familiilor de CI.
- f_{max} – frecvența maximă de lucru, [MHz];
- **fan-out** – capacitatea maximă de încărcare la ieșire, [număr de intrări].
- **marginea de zgomot (de c.c.)** reprezintă diferența între valorile tensiunilor garantate pentru stările logice ale unui circuit care comandă (la ieșire) și valorile tensiunilor permise ale unui circuit de același tip comandat (la intrare).

Porțile logice care se caracterizează prin aceiași parametri se grupează în **familii de CI**.

CI bipolare cuprind familiile: TTL, HTTL, LPTTL, LPSTTL, TSL, ECL și I^2L .

CI unipolare cuprind familiile: PMOS, NMOS și CMOS.

Poarta fundamentală din **familia TTL** standard cu ajutorul căreia se poate genera orice funcție logică este poarta **ȘI-NU**. Varianta cu două intrări se prezintă în fig. C3.1.

Circuitele din familia TTL se alimentează cu tensiunea nominală de 5V, domeniul permis abaterii de tensiune fiind 4.75 – 5.25V.

Funcția logică este realizată cu ajutorul tranzistorului multiemitor T_1 . Tranzistorul T_2 îndeplinește rolul de comandă în contratimp (totem pole) a etajului de ieșire realizat cu tranzistoarele T_3 (repetor) și T_4 (inversor) și dioda D cu rol de deplasare de nivel.

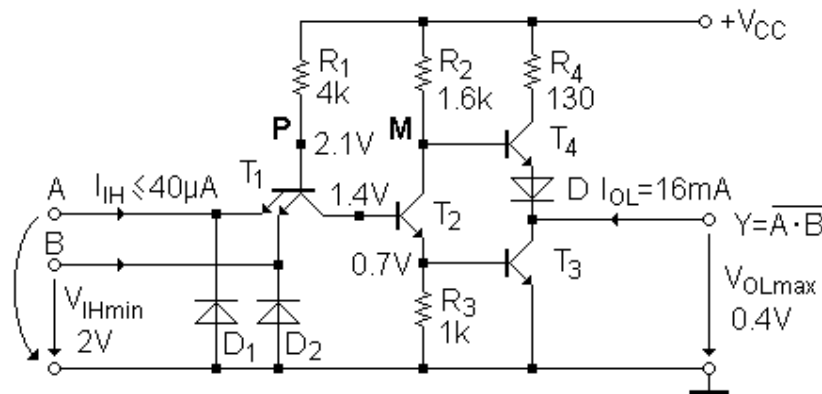


Fig. C3.1. Poarta ȘI-NU din familia TTL standard ($A=B=1$).

Diodele D_1 și D_2 au rolul de a limita salturile negative de tensiune de la intrări.

Pentru a arăta că circuitul din fig. C3.1 îndeplinește funcția logică ȘI-NU, presupunem mai întâi că pe ambele intrări se aplică potențialul minim asociat lui 1 logic la intrare și anume 2V. În aceste condiții joncțiunile EB ale lui T_1 sunt polarizate invers și T_1 lucrează în regiunea activă inversă. Potențialele din punctele caracteristice ale circuitului s-au evidențiat presupunând că tensiunea pe o joncțiune pn polarizată direct este $V_D = V_{BE} = 0.7V$ iar în cazul tranzistorului saturat $V_{CEsat} = 0.2V$.

Baza lui T_1 se polarizează prin R_1 și se află la 2.1V. Acest potențial este suficient să deschidă trei joncțiuni: CB a lui T_1 , BE a lui T_2 și BE a lui T_3 . T_3 conducând la saturație, la ieșire se obține $V_{CEsatT3}=0.2V$.

Saturarea simultană a lui T_3 și T_4 trebuie evitată deoarece nivelele logice se alterează și circuitul se poate distruge. Dioda D împiedică intrarea în conducție simultană a lui T_3 și T_4 , deoarece potențialul din punctul M (0.9V) este insuficient să deschidă T_4 și D și să asigure și $V_{CEsatT3}$, adică, în total, 1.6V.

Se observă că circuitul asigură **0** logic la ieșire numai dacă pe ambele intrări se aplică **1** logic, conform tabelului de adevăr al funcție logice **ȘI-NU**.

Dacă cel puțin pe una din intrări se aplică **0** logic se obține situația din fig. C3.2.

Valoarea maximă de tensiune la intrare pentru care se asociază **0** logic este 0.8V.

Dacă pe o intrare se aplică **0** logic, joncțiunea BE corespunzătoare se deschide și potențialul din punctul P devine egal cu 0.7V. Această valoare este insuficientă să deschidă tranzistoarele T_2 și T_3 care vor fi blocate. Potențialul punctului M este ridicat, suficient ca T_4 și dioda D să intre în conducție. În acest fel la ieșire se obține un nivel de tensiune ridicat.

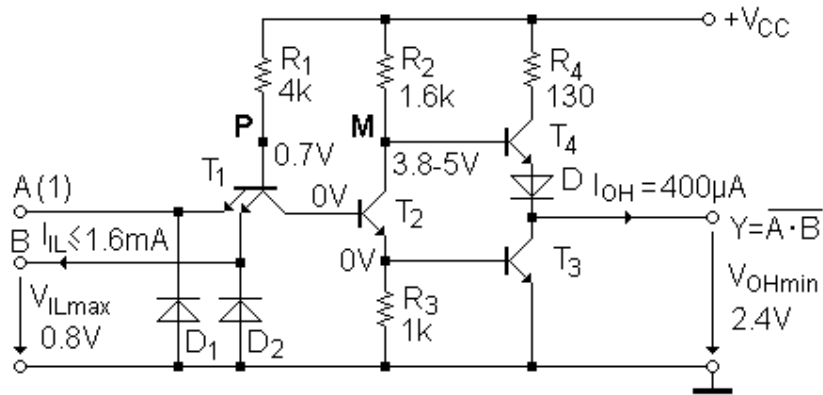


Fig. C3.2 Poarta logică TTL în situația $A=1, B=0$

Se observă, în acest caz, că dacă cel puțin pe una din intrări se aplică **0** logic, la ieșire se obține **1** logic, conform tabelului de adevăr al funcție logice **ȘI-NU**.

Parametrii porților TTL sunt:

- $t_{pd}=10ns$;
- $P_d=10mW$ /poartă;
- $P_Q=10pJ$;
- $f_{max}=35MHz$;
- fan-out=10;
- marginea de zgomot = 0.4V.

Intrările neutilizate ale unei porți **ȘI-NU** se mențin la un nivel de tensiune corespunzător lui **1** logic (**1** = element neutru la produsul logic) pentru obținerea unor timpi de propagare mai buni și a unei imunități la zgomot optime.

EXEMPLUL 7.5

Se dea expresia logică:

$$\bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C}$$

Să se aducă la forma în care, pentru implementare, să fie necesare numai porți **ȘI-NU**.

Răspuns

Se aplică Teorema 5 – DeMorgan și Teorema 3 – dubla negație. Se obține:

$\bar{A} \cdot B \cdot C + A \cdot \bar{B} \cdot C + A \cdot B \cdot \bar{C} = \overline{\overline{\bar{A} \cdot B \cdot C} + \overline{A \cdot \bar{B} \cdot C} + \overline{A \cdot B \cdot \bar{C}}} = \overline{\bar{A} \cdot B \cdot C \cdot A \cdot \bar{B} \cdot C \cdot A \cdot B \cdot \bar{C}}$ Pentru implementare se utilizează 4 porți **ȘI-NU** cu câte 3 intrări fiecare și 3 porți **NU**.

Exercițiul C3.1

a) Să se verifice tabelul de adevăr pentru poarta TTL **ȘI-NU** (fig. C3.3) dacă prin măsurare se obțin valorile de tensiune din tabelul alăturat figurii;

- b) Să se determine factorul de încărcare la ieșire (fan-out) pentru cele două nivele logice **0** (fig. C3.4a) și **1** (fig. C3.4b) dacă valorile curentului de ieșire sunt cele scrise lângă miliampermetru. Condițiile de măsurare sunt $V_{OL}=0.4V$ pentru **0** logic, respectiv $V_{OH}=2.4V$ pentru **1** logic. Valorile curentului de intrare sunt: $I_{IL}=1.6mA$, pentru **0** logic, respectiv $I_{IH}=40\mu A$ pentru **1** logic.

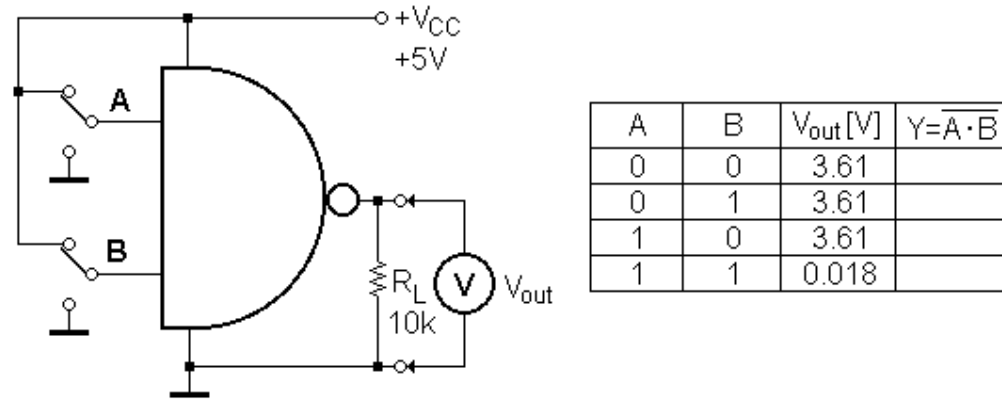


Fig. C3.3 Verificarea tabelului de adevăr pentru funcția ȘI-NU

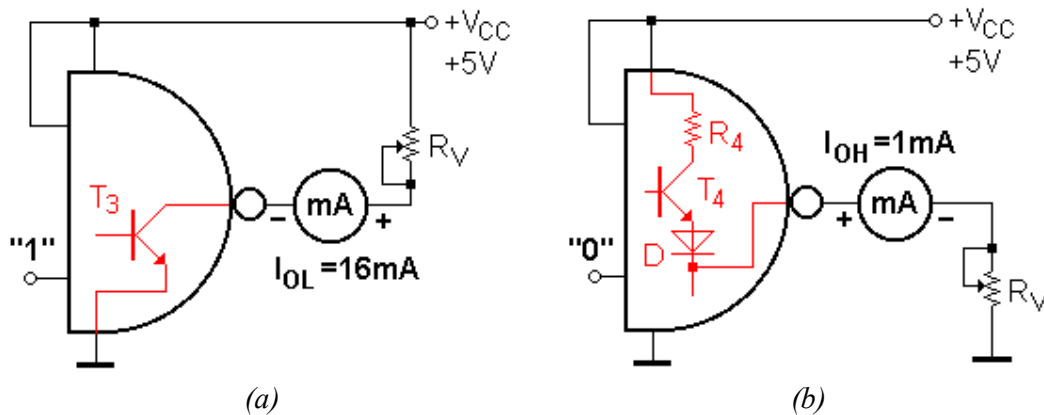


Fig. C3.4 Determinarea factorului de încărcare: (a) pentru **0** logic; (b) pentru **1** logic

Fan-out-ul se determină cu relațiile:

$$Fan-out_0 = \frac{I_{OL}}{I_{IL}} = \dots\dots\dots; \quad Fan-out_1 = \frac{I_{OH}}{I_{IH}} = \dots\dots\dots$$

$$Fan-out = \min[Fan-out_0, Fan-out_1] = \dots\dots\dots$$

C3.2. Familia CMOS de CI logice

În CI logice CMOS (Complementary symmetry Metal-Oxide-Semiconductor = structuri metal-oxid-semiconductor cu simetrie complementară), ambele tranzistoare, MOS cu canal n și MOS cu canal p , sunt fabricate în aceeași plachetă de siliciu, cu interconexiuni de metal între perechile de intrări (grilele tranzistoarelor) și ieșiri (drenele tranzistoarelor), după cum se poate observa pe fig. C3.5.

Deoarece tranzistoarele MOS complementare au difuzii cu dopări de polarități opuse, acestea funcționează cu tensiuni de comandă opuse. Astfel, o tensiune de comandă pozitivă va deschide tranzistorul nMOS, T_n și îl va bloca pe cel pMOS, T_p ; o tensiune de comandă negativă va deschide T_p și va bloca T_n .

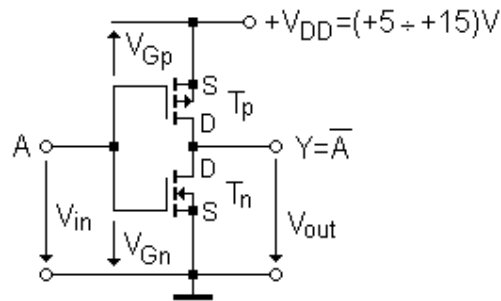


Fig. C3.5 Inversorul CMOS

Grila comună a dispozitivului CMOS este un capacitor, armăturile sale fiind formate din metalul grilei și substrat iar dielectricul din stratul de dioxid de siliciu. La cuplarea între ele a circuitelor CMOS, electrodul de comandă (grila comună) constituie o sarcină capacitivă.

Întrucât grilele celor două tranzistoare MOS sunt legate împreună, unul din cele două tranzistoare este întotdeauna blocat, ținând seama de polaritatea semnalului aplicat pe grila comună. Astfel, în regim static nu va exista o cale directă de curent între $+V_{DD}$ și masă, singurul curent fiind cel rezidual prin tranzistorul blocat. Rezultă că puterea statică, consumată de circuitele CMOS este practic nulă.

Circuitul din fig. C3.5 se comportă ca un inversor logic.

O tensiune pozitivă de nivel ridicat ($+V_{DD}$), corespunzătoare lui **1** logic, aplicată pe grila comună, deschide tranzistorul T_n ($V_{Gn}=+V_{DD}$) și blochează tranzistorul T_p ($V_{Gp}=0V$). Astfel, $V_{out}=0V$, ceea ce corespunde lui **0** logic, respectându-se tabelul de adevăr al funcției logice **NU**.

Similar, o tensiune de nivel scăzut, corespunzătoare lui **0** logic, $V_{in}=0$, aplicată pe grila comună, deschide tranzistorul T_p a cărui tensiune de comandă devine negativă ($V_{Gp}=0-V_{DD}=-V_{DD}$) și blochează tranzistorul T_n . Considerând căderea de tensiune între drena și sursa tranzistorului aflat în conducție egală cu zero, la ieșire găsim $V_{out}=+V_{DD}$, adică un nivel înalt, corespunzător lui **1** logic. Se observă că se respectă din nou tabelul de adevăr al funcției logice **NU**.

Un avantaj important al circuitelor CMOS, din punct de vedere al timpului de propagare, este acela că întotdeauna există o cale de rezistență mică (aproximativ $1k\Omega$) a tranzistorului MOS care conduce, pentru încărcarea și descărcarea sarcinilor capacitive.

Dezavantajul acestor impedanțe de ieșire de valoare mică constă în aceea că la cuplarea în paralel a mai multor ieșiri, pot apărea curenți mari absorbiți de la sursa de alimentare.

Pentru a înlătura acest dezavantaj se folosesc **porțile de transmisie CMOS**, având schema din fig. C3.6a. Circuitul este format dintr-o pereche de tranzistoare MOS complementare, legate în paralel, variabila logică C fiind intrarea de control.

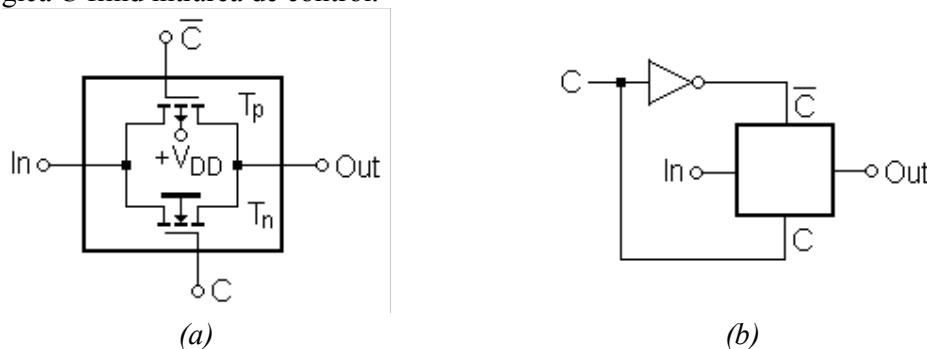


Fig. C3.6 Poarta de transmisie CMOS. (a) schema electrică; (b) schema logică

Când $C=1$ logic ($\bar{C}=0$) poarta de transmisie se deschide și poate conduce curent în ambele sensuri. Când $C=0$ logic ($\bar{C}=1$), poarta de transmisie este blocată și între intrare și ieșire apare o rezistență de valoare foarte mare ($10^9\Omega$).

Poarta de transmisie în combinație cu un inversor formează un comutator bilateral, așa cum se vede în fig. C3.6b, tranzistoarele complementare T_p și T_n fiind comandate simultan în conducție sau blocare de un singur semnal (C).

Poarta de transmisie împreună cu inversorul se folosește:

- la realizarea multiplexoarelor analogice;
- la cuplarea pe BUS-ul (grup de semnale sau linii grupate printr-o funcție de îndeplinit) de date a mai multor circuite CMOS.

Cu ajutorul tranzistoarelor MOS complementare se pot realiza și porți **ȘI-NU** (fig. C3.7a) și porți **SAU-NU** (fig. C3.7b).

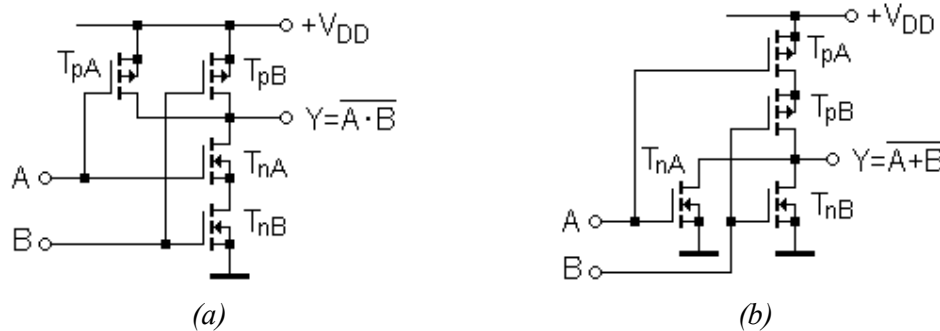


Fig. C3.7 (a) Poarta ȘI-NU. (b) poarta SAU-NU

În explicarea funcționării acestor circuite se ține seama de faptul că un nivel **0** logic aplicat pe intrările A și B deschide tranzistoarele T_p și le blochează pe cele T_n , iar un nivel **1** logic deschide tranzistoarele T_n și le blochează pe cele T_p .

Parametrii porților CMOS sunt:

- $t_{pd}=30\text{ns}$;
- $P_d\approx 0.1\text{mW/poartă}$;
- $P_Q=3\text{pJ}$;
- $f_{\max}=8\text{MHz}$;
- marginea de zgomot de c.a. = 0.45 din diferența de tensiune corespunzătoare celor două nivele logice;
- marginea de zgomot de c.c. = 1V pentru întreaga gamă a tensiunilor de alimentare și a temperaturilor de lucru și pentru orice combinație a intrărilor.

C3.3. Subfamilii TTL de CI logice

Există mai multe tipuri de porți TTL care se deosebesc prin compromisul dintre puterea disipată pe poartă și timpul de propagare.

Subfamiliile TTL rapidă (HTTL - High speed TTL) și Shottky (LPSTTL - Low Power Shottky TTL) au optimizat timpul de propagare prin poartă.

Subfamilia LPTTL (Low Power TTL) are optimizată puterea disipată pe poartă.

În cazul cuplării mai multor porți în paralel pentru transmiterea, de exemplu, a informației pe o magistrală de date, se utilizează porțile din subfamilia logică cu trei stări (TSL - Three State Logic).

Poarta TTL rapidă cu două intrări se prezintă în fig. C3.8.

Față de poarta TTL standard s-au adus următoarele îmbunătățiri:

1. Înlocuirea tranzistorului T_4 cu un repetor pe emitor în montaj Darlington. Joncțiunea BE a tranzistorului T_6 îndeplinește rolul diodei D din structura standard. Viteza de lucru crește deoarece:

- structura Darlington are o rezistență de ieșire mai mică decât rezistența de ieșire a circuitului standard și
- tranzistorul T_4 nu se saturează niciodată.

2. Înlocuirea rezistenței R_3 cu o rezistență neliniară. Porțile în care T_4 se înlocuiește cu structura Darlington T_6 - T_4 , utilizează o rezistență $R_3=600\Omega$. Viteza de lucru crește deoarece:

- când T_3 începe să conducă, rezistența neliniară are o valoare mai mare de 600Ω și extrage mai puțin curent din emitorul lui T_2 . Astfel, crește curentul de bază al lui T_3 , ceea ce are ca avantaj o mai rapidă intrare în conducție a lui T_3 .
- La saturarea lui T_3 , curentul său de bază este mai mare decât cel de la saturația incipientă ceea ce ar însemna acumularea unei sarcini suplimentare în bază. Dar la $V_{BE3} \geq 0.8V$, rezistența neliniară devine mai mică de 600Ω și surplusul de curent de bază este limitat sau chiar suprimat.

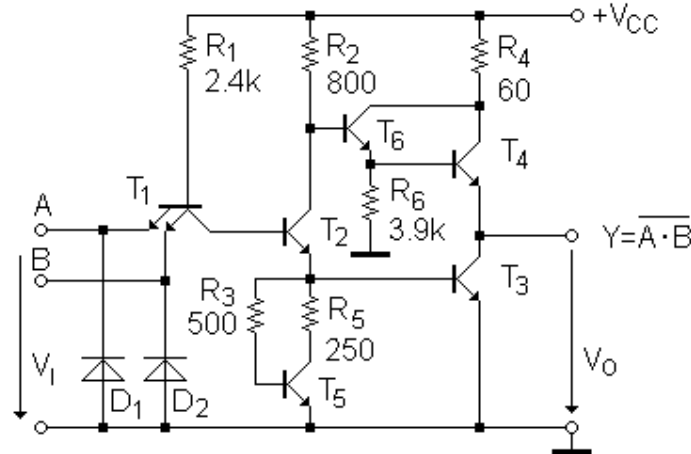


Fig. C3.8 Poarta ȘI-NU rapidă cu două intrări

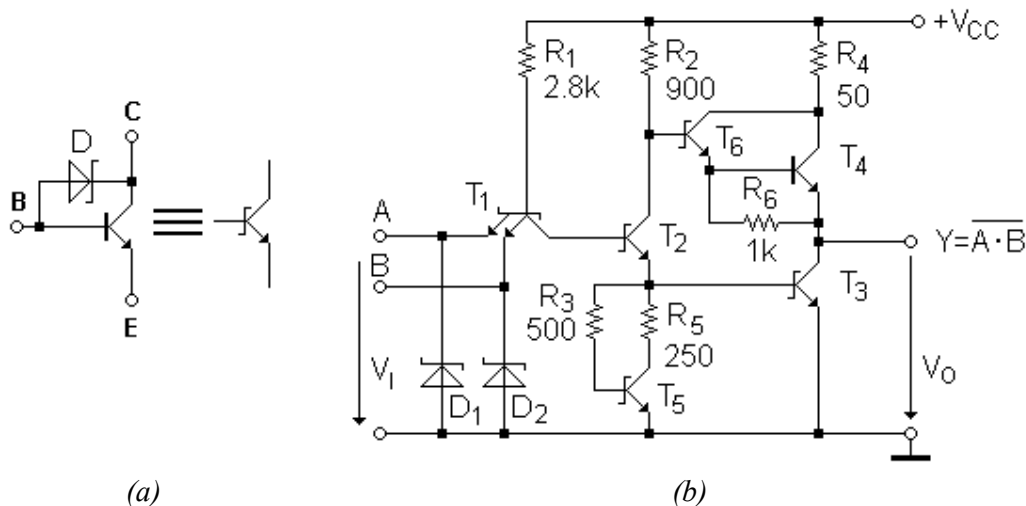
Poarta TTL Shottky lucrează cu tranzistoare nesaturate. Se micșorează astfel timpul de propagare prin poartă.

Tranzistorul Shottky, utilizat în aceste porți, se obține prin conectarea în paralel a unei diode Shottky (contact metal-semiconductor) pe joncțiunea CB a unui tranzistor bipolar, așa cum se arată pe fig. C3.9a.

Dioda Shottky, având căderea de tensiune la polarizare directă ($0.3 \div 0.4V$), intră mai repede în conducție decât joncțiunea CB a tranzistorului bipolar ($0.6 \div 0.7V$). Astfel, căderea de tensiune pe joncțiunea CB a tranzistorului nu are niciodată valoarea necesară polarizării directe a acestei joncțiuni și tranzistorul nu se saturează.

Viteza de lucru crește și din cauză că dioda Shottky, folosind pentru conducție purtători majoritari, nu are sarcină stocată și are timpi de stocare sunt extrem de mici.

În fig. C3.9b se prezintă poarta fundamentală ȘI-NU a acestei subfamilii.



(a)

(b)

Fig. C3.9 (a) Modul de obținere a tranzistorului Shottky;
(b) Poarta ȘI-NU din subfamilia TTL Shottky

Inversorul logic cu trei stări se prezintă pe fig. C3.10a, iar tabelul de adevăr pe fig. C3.10b.

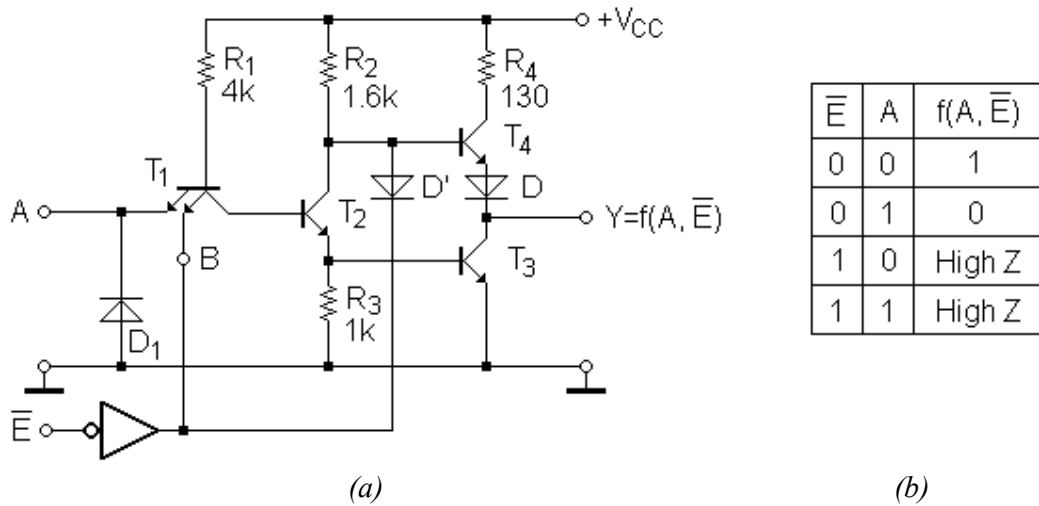


Fig. C3.10 (a) Inversorul logic cu trei stări; (b) tabelul de adevăr

În funcționarea ca inversor ($\bar{E} = 0$), în permanență unul din tranzistoare (T_3 sau T_4) conduce. Pentru a izola ieșirea circuitului ar trebui să fie blocate ambele tranzistoare. Acest lucru se întâmplă când $\bar{E} = 1$. În acest caz, $B=0$ indiferent de valoarea logică de la intrarea A , T_1 este saturat iar T_2 și T_3 sunt blocate. Dioda D' conduce și stabilește în colectorul lui T_2 un potențial de $0.7V$, care este insuficient să deschidă tranzistorul T_4 care se blochează. Astfel, între ieșirea inversorului și masă, circuitul prezintă o impedanță mare (High Z).

C3.4. Familiile ECL și I²L de CI logice

ECL (Emitter Coupled Logic – logică cuplată prin emitor) este familia de CI logice în care tranzistoarele bipolare lucrează nesaturate. Acest mod de lucru permite obținerea unui timp de propagare de ordinul $1...2ns$, care este cel mai mic în comparație cu timpul de propagare al altor familii logice.

Circuitul de bază se prezintă în fig. C3.11. Circuitul are două ieșiri, corespunzătoare funcțiilor logice SAU și SAU-NU.

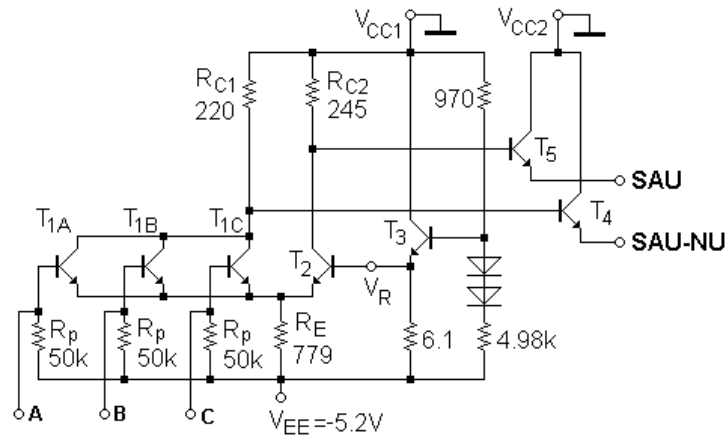


Fig. C3.11 Circuitul de bază din familia ECL de CI logice

La 1 logic corespunde nivelul de tensiune de aproximativ $-0.8V$ iar la 0 logic nivelul de aproximativ $-1.8V$. Circuitul are ca structură de bază un amplificator diferențial format din tranzistoarele T_1 (T_{1a} , T_{1b} și T_{1c}) și T_2 , sursa de polarizare V_R , compensată la variațiile tensiunii de alimentare și temperaturii (T_3) și două repetoare pe emitor (T_4 și T_3).

Valoarea tensiunii de polarizare, $V_R = -1.3V$, reprezintă media aritmetică a tensiunilor corespunzătoare celor două nivele logice.

Pentru a se îmbunătăți imunitatea la zgomot, s-a ales ca masă borna + a alimentării.

În explicarea funcționării circuitului se consideră că la conducție căderea de tensiune pe o joncțiune este $V_{BE} = 0.8V$.

Astfel, un potențial de $-0.8V$, aplicat pe oricare intrare face ca tranzistorul corespunzător să conducă. Potențialul în nodul comun de emitor devine $-1.6V$. Deoarece baza lui T_2 este polarizată cu $-1.3V$, rezultă că $V_{BE,T2}=0.3V$, valoare de tensiune insuficientă pentru deschiderea lui T_2 (T_2 ar fi început să conducă la $V_{BE,T2}=0.6V$).

Curentul prin R_{C2} și căderea de tensiune pe R_{C2} sunt neglijabile și astfel la ieșirea SAU, în emitorul lui T_5 , potențialul este cu $0.8V$ mai negativ decât în bază, adică $-0.8V$, ceea ce corespunde la **1** logic și este în acord cu tabelul de adevăr al funcției logice SAU.

Curentul prin R_{C1} determină o cădere de tensiune de aproximativ $1V$. Dacă se consideră și căderea de tensiune de $0.8V$ pe joncțiunea BE a tranzistorului T_4 , rezultă că la ieșirea SAU-NU se măsoară $-1.8V$, ceea ce corespunde la **0** logic și este în acord cu tabelul de adevăr al funcției logice SAU-NU.

Dacă toate intrările se află în **0** logic, tranzistoarele T_{1a} , T_{1b} și T_{1c} se blochează iar T_2 trece în conducție. Tensiunea în nodul comun al emitoarelor este cu $0.8V$ sub valoarea lui V_R , având valoarea de $-2.1V$. Deoarece **0** logic la intrare corespunde la $-1.8V$, tensiunile BE ale tranzistoarelor T_{1a} , T_{1b} și T_{1c} sunt egale cu $0.3V$ și tranzistoarele sunt blocate.

Căderea de tensiune pe R_{C2} este de aproximativ $1V$. La ieșirea SAU se măsoară $-1.8V$, ceea ce corespunde la **0** logic și este în acord cu tabelul de adevăr al funcției logice SAU.

Curentul prin R_{C1} și căderea de tensiune pe R_{C1} sunt neglijabile și astfel la ieșirea SAU-NU, în emitorul lui T_4 , se măsoară $-0.8V$, ceea ce corespunde la **1** logic și este în acord cu tabelul de adevăr al funcției logice SAU-NU.

Familia I²L de CI logice (**I**ntegrated **I**njection **L**ogic – logica integrată de injecție) este realizată în tehnologie bipolară. Circuitele I²L au o viteză de lucru comparabilă cu cea din tehnologia bipolară, au o densitate de componente pe unitatea de arie mai mare decât tehnologia MOS, consumă o putere comparabilă cu cele din familia CMOS și au o capacitate la ieșire foarte mică.

Funcționarea circuitelor I²L se bazează pe controlul injectării de curent în baza unui tranzistor comutator multicolector. Structura de bază este **inversorul** prezentat în fig. C3.12.

Sursa de curent I organizată în jurul tranzistorului T_2 injectează curentul I în baza tranzistorului T_1 . Dacă intrarea **A** se află la un potențial egal cu zero, curentul injectat se scurge la masă și T_1 este blocat. La ieșirea lui se obține **1** logic (colectorul nu absoarbe curent).

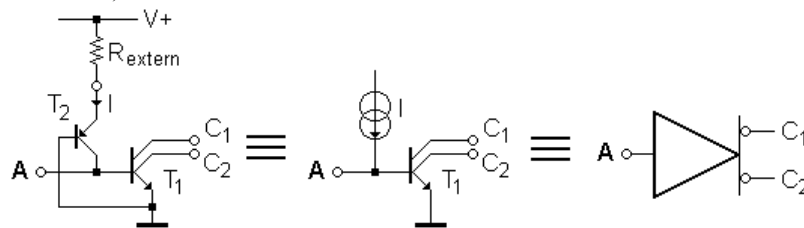


Fig. C3.12 Circuitul de bază (inversor) din familia I²L

Dacă pe intrarea **A** se aplică $0.7V$, T_1 se deschide și la ieșire se obține **0** logic (colectorul absoarbe curent).

Viteza de lucru a circuitului depinde de caracteristicile tranzistorului T_1 , de mărimea curentului injectat și de încărcarea circuitului.

Prin combinarea unor structuri de tipul inversorului se pot realiza porți **ȘI-NU** (fig. C3.13a) și **SAU-NU** (fig. C3.13b).

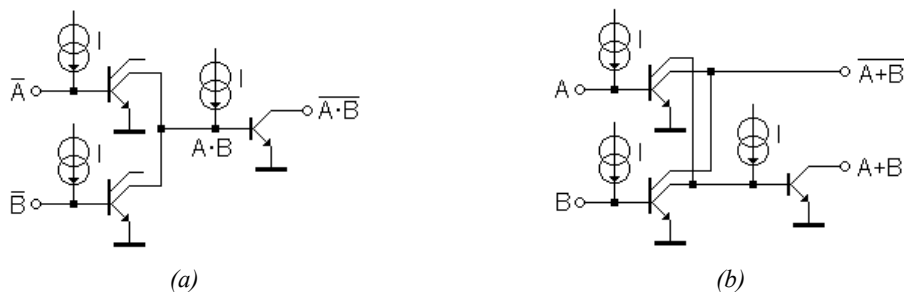


Fig. C3.13 Porți în tehnologia I²L (a) poarta ȘI-NU; (b) poarta SAU-NU

Circuitele implementate în această tehnologie se utilizează pentru realizarea memoriilor și microprocesoarelor și au următoarele avantaje:

- Factor de calitate excelent, $P_Q < 1pJ$;
- Tensiune de alimentare redusă, valoarea minimă fiind $1.5V$;
- Densitate de integrare mare deoarece lipsesc rezistențele;
- Proiectare simplă, fără etape intermediare între proiectare și implementare;
- Curentul de alimentare se poate optimiza acționând asupra curentului I ;
- Utilizând interfete specifice se pot interconecta cu celelalte circuite bipolare.