

## 2. ASPECTE ELECTRICE

În reliazarea blocurilor funcționale se folosesc de cele mai multe ori circuite electronice din familii diferite, cu caracteristici diferite. Criteriul care dictează folosirea uneia din familii este avantajul oferit de familia respectivă ce se impune în cazul particular al operației efectuate în blocul funcțional. De exemplu, familia TTL oferă, datorită tehnologiei bipolare, viteze de lucru ridicate, iar familia CMOS oferă circuite cu un consum de putere foarte mic. Nu ne vom opri asupra inventarierii avantajelor și dezavantajelor oferite de diferitele familii, deci nici asupra criteriilor după care se optează pentru o categorie de circuit. În contextul interfațării, noi ne punem problema cum se conectează între ele circuite cu caracteristici diferite. Din setul de parametri ce caracterizează un circuit, la interconectare interesează în primul rând valorile garantate și acceptate pentru curenți și nivelele potențialelor în condițiile cele mai defavorabile. În continuare sunt prezentate recapitulativ cele mai folosite familii de circuite integrate, într-o sinteză conținând elemente de interes în interfațare.

### 2.1. FAMILIA TTL STANDARD

Structura internă a unui circuit TTL standard este prezentată în Fig. 2.1. și 2.2. Fig. 2.1. ilustrează parametrii electrici cu intrarea în stare "1" (High) și ieșirea în stare "0" (Low). Fig. 2.2. ilustrează parametrii electrici în cealaltă stare, intrare "0" și ieșire "1".

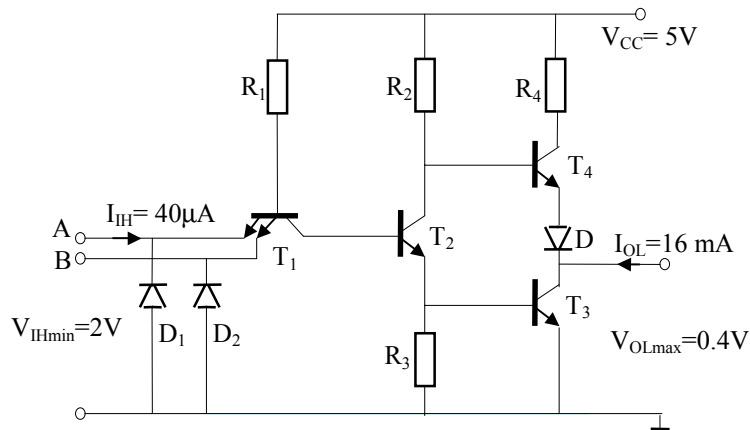


Fig. 2.1. Poarta TTL standard IN-High, OUT-Low

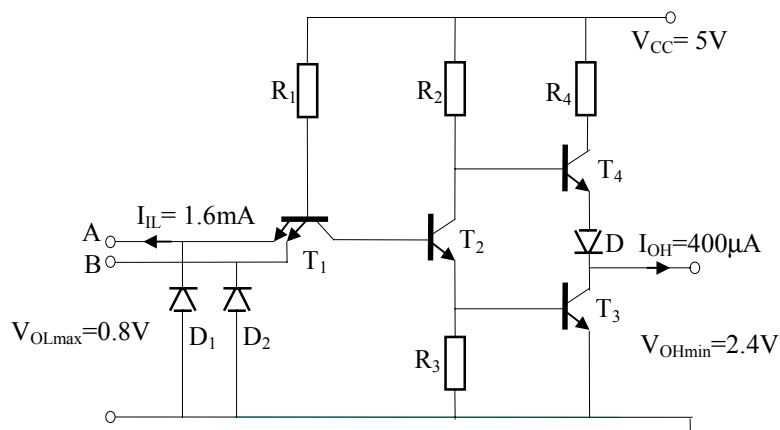


Fig. 2.2. Poarta TTL standard IN-Low, OUT-High

Diferența între valorile tensiunilor garantate pentru stările logice ale unui circuit logic care comandă și valorile tensiunilor acceptate ale unui circuit de același tip comandat reprezintă marginea de zgomot (de c.c.).

Marginea de zgomot pentru nivelul logic "1",  $\Delta 1$ , se calculează ca diferență între valoarea minimă a tensiunii garantate la ieșire și valoarea minimă a tensiunii acceptate la intrare pentru nivelul logic "1":

$$\Delta 1 = V_{OHmin} - V_{IHmin} = 2.4 \text{ V} - 2.0 \text{ V} = 0.4 \text{ V}$$

Marginea de zgomot pentru nivelul logic "0",  $\Delta 0$ , se calculează ca diferență între valoarea maximă a tensiunii garantate la ieșire și valoarea maximă a tensiunii acceptate la intrare pentru nivelul logic "0":

$$\Delta 0 = V_{OLmax} - V_{ILmax} = 0.4 \text{ V} - 0.8 \text{ V} = -0.4 \text{ V}$$

Marginea de zgomot pentru circuitele TTL standard este 0.4 V pentru ambele nivele logice. În Fig. 2.3 este reprezentată sugestiv marginea de zgomot.

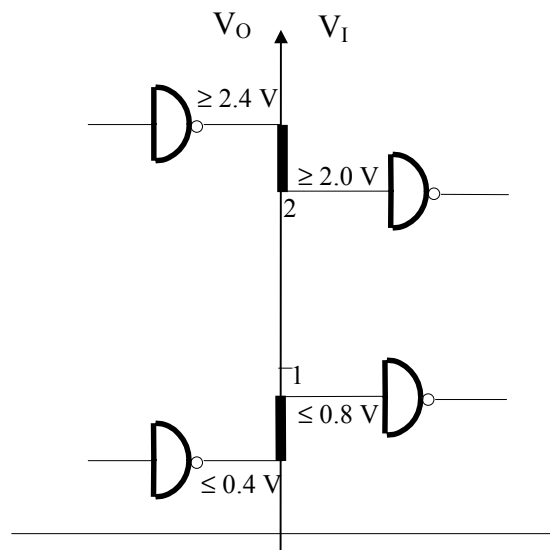


Fig. 2.3. Marginea de zgomot TTL standard

Valorile curenților sunt recapitulate în Tabelul 2.1.

Tabel 2.1. Curenți de intrare, curenți de ieșire la circuitul TTL standard

Curent	Stare Low	Stare High
$I_O$	$I_{OL} = 16 \text{ mA}$	$I_{OH} = 400 \text{ }\mu\text{A}$
$I_I$	$I_{IL} = 1.6 \text{ mA}$	$I_{IH} = 40 \text{ }\mu\text{A}$

Numărul maxim de intrări care pot fi comandate simultan de ieșirea unui circuit, fan-out, rezultă din compararea curenților la ieșire și la intrare ( $I_{OL}$  cu  $I_{IL}$  și  $I_{OH}$  cu  $I_{IH}$ ). Atât pentru nivelul "1", cât și pentru nivelul "0", fan-out este 10.

## 2.2. SUBFAMILII TTL

Subfamiliile TTL sunt variante ale circuitului standard la care, prin mici modificări, se obțin parametri îmbunătățiți pe baza unui compromis. Compromisul vizează puterea consumată per poartă și timpul de propagare prin poartă. Modificarea acestor parametri atrage după sine modificarea curenților la intrare și la ieșire. Există astfel o subfamilie de circuite rapide (seria H) și o subfamilie de circuite cu consum de putere redus (seria L). Tabelul 2.2. recapitulează valorile curenților pentru subfamiliile HTTL și LTTL.

Tabel 2.2. Valorile curenților pentru subfamiliile HTTL și LTTL

Subfamilie	Curent	Stare Low	Stare High
HTTL	$I_O$	$I_{OL} = 20 \text{ mA}$	$I_{OH} = 500 \mu\text{A}$
	$I_I$	$I_{IL} = 2 \text{ mA}$	$I_{IH} = 50 \mu\text{A}$
LTTL	$I_O$	$I_{OL} = 2 \text{ mA}$	$I_{OH} = 100 \mu\text{A}$
	$I_I$	$I_{IL} = 0.18 \text{ mA}$	$I_{IH} = 10 \mu\text{A}$

Comparând valorile curenților putem să deducem regulile de încărcare ale circuitelor în caz că se folosesc combinații de circuite standard, HTTL și LTTL. Un exercițiu este conținut în Tabelul 2.3.; se consideră în acest exercițiu doar cazul unor sarcini, toate de același tip, diferite de circuitul de comandă.

Tabel 2.3. Exercițiu de calcul al încărcării familiei TTL cu sarcini

Circuit comandă	Circuit comandat	Încărcare
TTL standard $I_{OH} = 400 \mu\text{A}$ $I_{OL} = 16 \text{ mA}$	HTTL $I_{IH} = 50 \mu\text{A}$ $I_{IL} = 2 \text{ mA}$	8 8
TTL standard $I_{OH} = 400 \mu\text{A}$ $I_{OL} = 16 \text{ mA}$	LTTL $I_{IH} = 10 \mu\text{A}$ $I_{IL} = 0.18 \text{ mA}$	40 88.8
HTTL $I_{OH} = 500 \mu\text{A}$ $I_{OL} = 20 \text{ mA}$	TTL standard $I_{IH} = 40 \mu\text{A}$ $I_{IL} = 1.6 \text{ mA}$	12.5 12.5
HTTL $I_{OH} = 500 \mu\text{A}$ $I_{OL} = 20 \text{ mA}$	LTTL $I_{IH} = 10 \mu\text{A}$ $I_{IL} = 0.18 \text{ mA}$	50 111.1
LTTL $I_{OH} = 100 \mu\text{A}$ $I_{OL} = 2 \text{ mA}$	TTL standard $I_{IH} = 40 \mu\text{A}$ $I_{IL} = 1.6 \text{ mA}$	2.5 1.25
LTTL $I_{OH} = 100 \mu\text{A}$ $I_{OL} = 2 \text{ mA}$	HTTL $I_{IH} = 50 \mu\text{A}$ $I_{IL} = 2 \text{ mA}$	2 1

## 2.3. CIRCUITE CU COLECTOR ÎN GOL (open collector)

Două sau mai multe porți în structură obișnuită (etaj de ieșire în contratimp) nu pot avea ieșirile conectate în paralel. Pentru a conecta totuși mai multe ieșiri în paralel se utilizează circuite cu colectorul în gol. Structura de tip colector în gol este reprezentată în Fig. 2.4. Pentru ca circuitul să funcționeze se conectează în exterior, între colectorul

tranzistorului  $T_3$  și  $V_{CC}$ , o rezistență de sarcină. Valoarea rezistenței de sarcină se calculează după următoarele considerente:

$R_{L\max}$  se determină din condiția ca  $V_{OH} \geq 2.4 \text{ V}$ , în condițiile cele mai defavorabile.

$R_{L\min}$  se determină din condiția ca  $V_{OL} \leq 0.4 \text{ V}$ , în condițiile cele mai defavorabile.

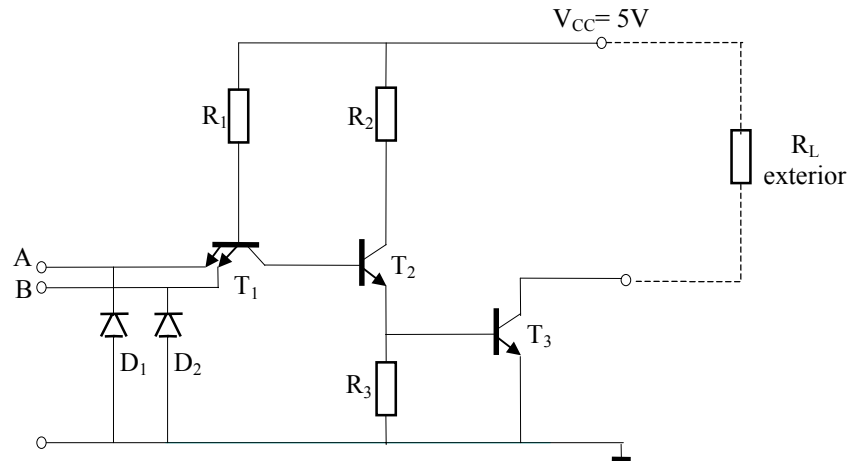


Fig. 2.4. Poarta TTL cu colectorul în gol

Relațiile de calcul pentru determinarea rezistenței de sarcină conectată în exterior sunt:

$$R_{L\max} = \frac{V_{CC\min} - V_{OH\min}}{mI_{OH\max} + NI_{IH\max}}$$

$$R_{L\min} = \frac{V_{CC\max} - V_{OL\max}}{I_{OL\max} - NI_{IL\max}},$$

unde  $m$  reprezintă numărul de porți ale căror ieșiri sunt conectate în paralel, iar  $N$  reprezintă numărul unităților de sarcină (intrări) comandate.

## 2.4. CIRCUITE CU TREI STĂRI LOGICE (*Three State Logic*)

Subfamilia de porți logice cu trei stări (TSL) constituie alternativa pentru cuplarea mai multor ieșiri care transmit informație pe aceeași linie a unei magistrale. La un moment dat o singură ieșire stabilește nivelul liniei, celelalte ieșiri se află în starea de înaltă impedanță (HZ – *High Impedance*). Structura și simbolul unei porți TSL sunt reprezentată în Fig. 2.5. Dioda  $D$  din structura circuitului face posibil ca la un moment dat să fie blocate ambele tranzistoare ale etajului de ieșire. În această stare, văzută dinspre ieșire, poarta TTL are o impedanță foarte mare deoarece circuitul de ieșire este străbătut doar de curenți reziduali (foarte mici) – stare de înaltă impedanță. Intuitiv, în starea HZ, se poate considera că la ieșire este înseriat un comutator deschis.

Dacă circuitul se află în una din stările logice high/low sau în starea HZ, depinde de valoarea aplicată la intrarea  $nE$ . Pentru  $nE=0$ , circuitul se comportă ca un inversor TTL obișnuit. Dacă  $nE=1$ , ambele tranzistoare din etajul de ieșire sunt blocate, deci circuitul se află în starea HZ. Intrarea  $nE$  este intrare de autorizare.

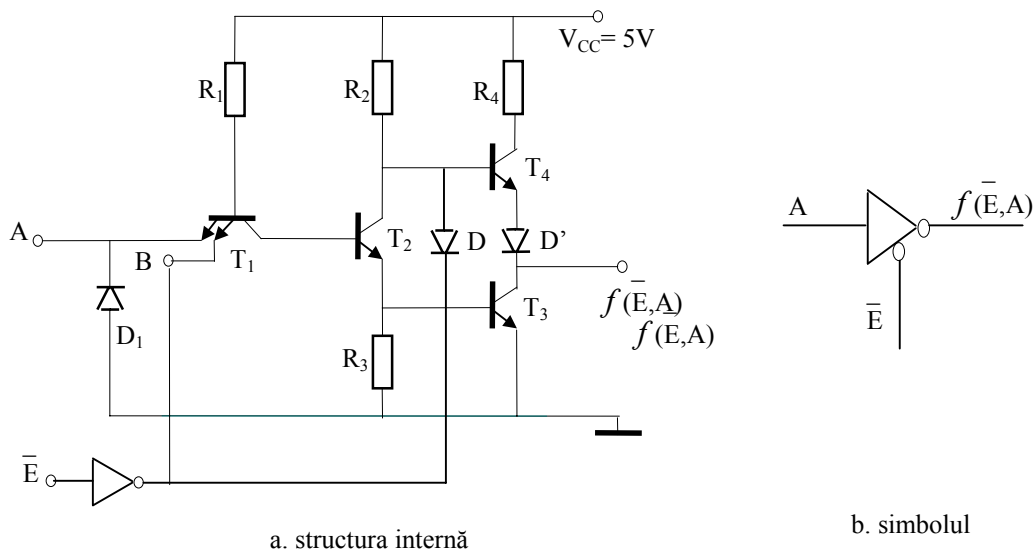


Fig. 2.5. Poarta TSL

Structura TSL prezintă următoarele avantaje:

- permite cuplarea în paralel a ieșirilor fără dezavantajele întâlnite la conectarea porților cu colectorul în gol;
- se comportă ca un circuit TTL obișnuit în cele două stări logice (high și low);
- nu are nevoie de rezistență adițională;
- în starea HZ nu încarcă circuitele cu care este cuplată.

Cu ajutorul structurilor TSL se pot construi circuite care permit transferul de informație în ambele sensuri; circuite necesare în construirea de magistrale bidirecționale.

## 2.5. CIRCUITE CMOS

Blocul fundamental al circuitelor integrate CMOS este inversorul reprezentat în Fig. 2.6.

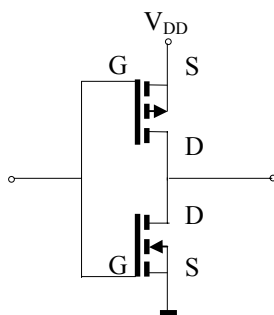


Fig. 2.6. Circuit fundamental CMOS

Tensiunea de alimentare  $V_{DD}$  poate lua valori între 5V și 15V (chiar 18V la circuite în capsule ceramice). Valorile tensiunilor pentru “0” și “1” la intrare și la ieșire sunt simbolizate  $V_{IL}$ ,  $V_{IH}$  respectiv  $V_{OL}$ ,  $V_{OH}$ . În cazul circuitelor CMOS aceste valori sunt definite astfel:

- $V_{OH}$  - nivel de tensiune la ieșire în starea "1". Acesta este minim  $V_{DD}-0.05V$ , tipic este  $V_{DD}-0.01V$
- $V_{OL}$  - nivel de tensiune la ieșire în starea "0". Valoarea maximă garantată este  $0.05V$ , tipic este  $0.01V$ .
- $V_{IH}$  - nivel de tensiune de intrare în stare "1". Valoarea minimă admisă este 70% din  $V_{DD}$ .
- $V_{IL}$  - nivel de tensiune de intrare în stare "0". Valoarea maximă admisă este 30% din  $V_{DD}$ .

Fig. 2.7. reprezintă aceste nivele și evidențiază marginea de zgomot pentru  $V_{DD}=5V$ .

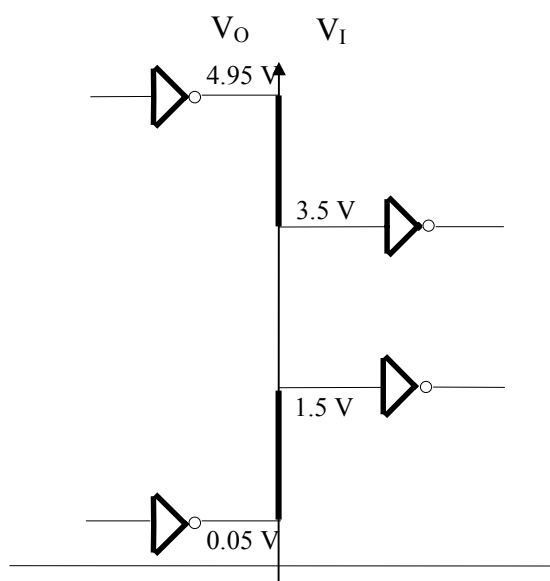


Fig. 2.7. Marginea de zgomot CMOS ( $V_{DD}=5V$ )

Imunitatea la zgomot atât pentru nivel H, cât și pentru nivel L, este de aproximativ 30% din  $V_{DD}$ , considerînd cazul tipic.

Tabelul 2. 4. (pagina următoare) recapitulează valorile specifice ale tensiunilor de intrare/ieșire și ale curenților la intrare/ieșire pentru familia CMOS 4000.

## 2.6. INTERFAȚA CMOS -TTL

Așa cum am menționat și în introducerea acestui capitol, în proiectarea sistemelor o problemă aparte o reprezintă interfațarea circuitelor din familii logice diferite. Ca mod de abordare am considerat doar cele mai populare familii (TTL și CMOS) pentru care, după ce am făcut o recapitulare a elementelor ce ne interesează, vom exemplifica modul de interfațare.

Tabel 2.4. Valorile specifice pentru tensiunilor de intrare/ieșire și curenții intrare/ieșire (familia CMOS 4000)

Mărime	V <sub>DD</sub>	Valoare	
		capsulă plastic	capsulă ceramică
V <sub>OHmin</sub>	5V	4.95V	
	10V	9.95V	
	15V	14.95V	
V <sub>OLmax</sub>	5V	0.05V	
	10V	0.05V	
	15V	0.05V	
V <sub>IHmin</sub>	5V	3.5V	
	10V	7V	
	15V	11V	
V <sub>ILmax</sub>	5V	1.5V	
	10V	3V	
	15V	4V	
I <sub>OHmin</sub>	5V	-0.44mA	-0.51mA
	10V	-1.1mA	-1.3mA
	15V	-3mA	-3.4mA
I <sub>OLmin</sub>	5V	0.44mA	0.51mA
	10V	1.1mA	1.3mA
	15V	3mA	3.4mA

Circuitul ce comandă poate fi TTL și circuitul comandat poate fi CMOS, sau invers, circuitul de comandă poate fi CMOS și circuitul comandat TTL. Vom considera ambele situații. De asemenea, deoarece circuitele CMOS permit alimentare și la tensiuni mai mari de 5V, vom considera și un exemplu în care tensiunile de alimentare ale celor două circuite diferă.

Când circuitele TTL trebuie să comande circuite CMOS alimentate dintr-o singură sursă de tensiune de 5V, nivelul minim de ieșire în stare High garantat de TTL (2.4V) este mai mic decât nivelul minim de intrare acceptat de CMOS pentru stare High (3.5V). Se poate observa această situație în Fig. 2.8. care alătură cele două restricții de nivele de tensiune.

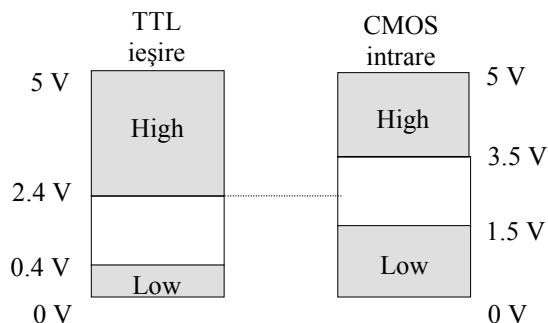


Fig. 2.7. Nivele logice TTL-ieșire CMOS-intrare

Se poate crește nivelul de ieșire în stare High al circuitului TTL utilizând o rezistență conectată între ieșire și V<sub>CC</sub> ca în Fig. 2.9.

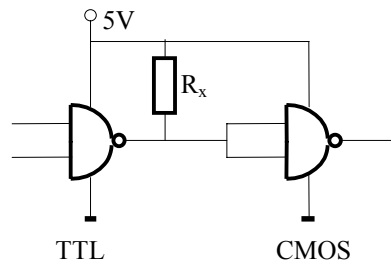


Fig. 2.9. Interfață TTL-CMOS

Valoarea minimă a rezistenței este determinată de curentul maxim absorbit pe la ieșirea TTL (16mA pentru TTL standard), iar valoarea maximă este determinată de curentul tranzistorului de ieșire în stare blocat. Valorile cele mai indicate pentru această rezistență se situează în gama 1.5 k $\Omega$  ... 4.7 k $\Omega$  pentru toate familiile TTL. În Tabelul 2. 5. se găsesc valori recomandate pentru rezistența suplimentară pentru familiile HTTL și LTTL.

Tabel 2.5. Valori recomandate pentru rezistența suplimentară

$R_x$	TTL standard	HTTL	LTTL
$R_{x\min}$ ( $\Omega$ )	390	270	1500
$R_{x\max}$ (k $\Omega$ )	4.7	4.7	27

În cazul interfeței CMOS-TTL, cerința de bază este ca ieșirea CMOS să poată absorbi un curent suficient în stare Low, la o tensiune maximă de ieșire de 0.4V. Majoritatea circuitelor din seria MMC 4xxx au aceeași capacitate de curent la ieșire, putând să comande o sarcină LSTTL (Low power Schottky) în condițiile cele mai defavorabile (0.36mA la  $V_O = 0.4V$  și  $V_{DD} = 5V$ ). Pentru circuite de puteri mai mari trebuie utilizate numai circuite buffer sau circuite open-drain. Circuitele buffer MMC se alimentează din sursa TTL de 5V și au avantajul că pot fi comandate la intrare cu tensiuni variind între 5V și 15 V. Interfațarea se mai poate face și cu transatoare de nivel. Schema de legătură este simplă, este redată în Fig. 2.10.

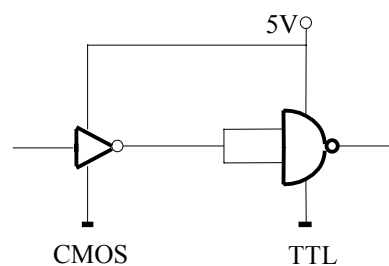


Fig. 2.10. Interfață CMOS-TTL

În sistemele care utilizează alimentarea circuitelor CMOS din surse cu tensiuni mai mari de 5V, viteza și imunitatea la zgomot se pot îmbunătăți prin utilizarea circuitelor TTL open-collector. Soluția este ilustrată în Fig. 2.11.



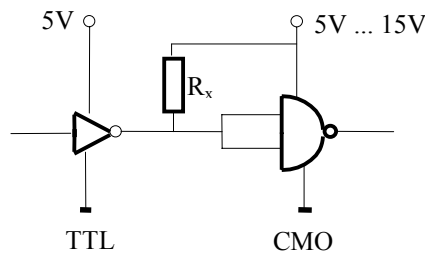


Fig. 2.11. Interfață TTL-CMOS pentru  $V_{DD}$  mai mare de 5V

Valoarea rezistenței  $R_x$  depinde de valoarea tensiunii sursei de alimentare  $V_{DD}$  (la  $V_{DD} = 10V$ , se recomandă utilizarea unei rezistențe de 39 k $\Omega$ ).

## 2.7. CIRCUITE BICMOS

BICMOS = Bipolar + CMOS

Această categorie de circuite oferă viteză de lucru apropiată de soluțiile bipolare avansate, la un consum de putere mai mic cu 90%. Structura etajului de ieșire al acestor circuite este foarte asemănătoare cu cea a unui etaj bipolar TTL. Circuitul BICMOS ia ce este mai bun de la fiecare tehnologie; de la tehnologia MOS consumul redus și etajul de intrare cu rezistență mare și de la tehnologia TTL ia etajul de ieșire cu capacitatea sa mare de încărcare. Însușirile etajului de ieșire fac ca circuitul BICMOS să fie potrivit pentru a construi ieșiri spre magistrală. Structura circuitului BICMOS (etajul de intrare și etajul de ieșire) este ilustrată în Fig. 2.12.

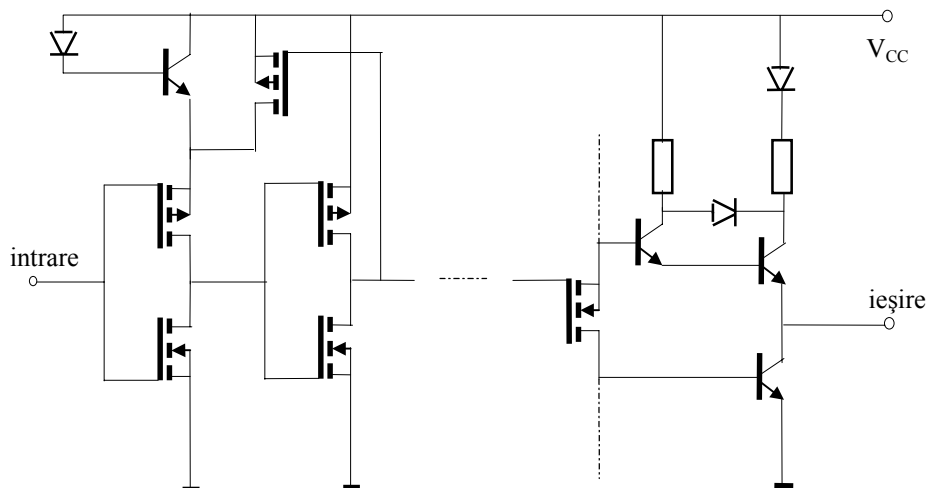


Fig. 2.12. Circuit fundamental BICMOS

Etajul de intrare asigură, prin proiectare, compatibilitate cu nivelele TTL. Sunt acceptate valorile  $V_{IHmin} = 2V$  și  $V_{ILmax} = 0.8V$ . În ceea ce privește curenții garantați la ieșire, pot fi amintite ca valori reprezentative  $I_{OL} = 64mA$  și  $I_{OH} = 32mA$ .

## 2.8. FAMILII LOGICE ALIMENTATE LA 3.3V

Famiile de circuite alimentate la 3.3V au fost proiectate astfel încât performanțele acestor circuite să fie cel puțin egale cu ale circuitelor alimentate la 5V. Inițial au fost proiectate pentru a fi folosite în echipamente portabile, de la jocuri electronice la stații de lucru performante.

Fig. 2.13. prezintă comparativ nivelele de tensiune acceptate și garantate pentru circuite TTL, CMOS și circuite de 3V, cum sunt ele numite pe scurt. S-a încercat la circuitele de 3V să se asigure compatibilitatea cu ambele familii existente. Structura lor asigură, după cum se poate observa, compatibilitate perfectă cu circuitele TTL. Cu circuitele CMOS, de asemenea se obține compatibilitate, dacă tensiunea de alimentare ( $V_{CC}$ ) este menținută în limitele 2.7V-3.6V. Ca și la familia CMOS, se poate observa că circuitele de 3V asigură  $V_{OL} \approx 0V$  și  $V_{OH} \approx V_{CC}$ . Alimentând circuitul CMOS la 3.3V ("scaled CMOS") se obține compatibilitatea nivelelor celor două familii. Se poate spune că circuitele de 3V sunt compatibile ca nivele logice, atât cu circuitele TTL cât și cu circuitele CMOS.

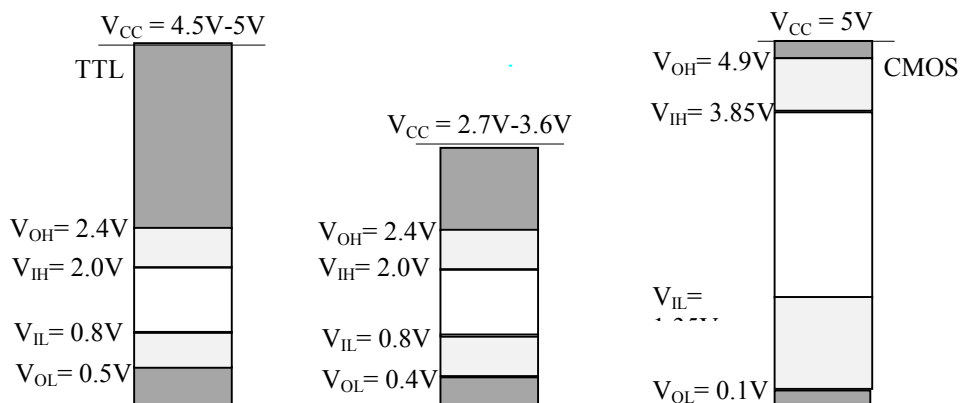


Fig. 2.13. Nivele logice ale familiei 3V, în comparație cu familia TTL și CMOS

Curenții la ieșirea circuitelor de 3V au valori cuprinse între 8mA și 64 mA, pentru diferite serii de circuite. Tabelul 2.6. prezintă pentru câteva serii de circuite de 3V, pe lângă curenții de ieșire, o parte din parametrii caracteristici, pentru a ne forma o imagine despre această familie de circuite.

Tabel 2.6. Parametrii familiei LV 3.3V

Parametru/ Familie	SN74LV	SN74LVC	SN74LVT	SN74ALVC	SN74ALB
Timp de propagare	8.0 nS	4.0nS	2.4nS	2.1nS	1.5nS
$I_{OH}/I_{OL}$	-8mA/8mA	- 24mA/24mA	- 32mA/64mA	- 24mA/24mA	- 25mA/25mA
Curent consumat $I_{CCH}, I_{CCL}$	20 $\mu$ A	10 $\mu$ A, 10 $\mu$ A	190 $\mu$ A, 5mA	40 $\mu$ A, 40 $\mu$ A	3.75mA
$V_{CC}$	2.7V - 5.5V	2.7V - 3.6V	2.7V - 3.6V	2.3V - 3.6V	3V - 3.6V
Mod de operare	3.3V sau 5V	mod mixt	mod mixt	3.3V sau 2.5V	3.3V

În proiectarea în care se folosesc atât circuite de 5V cât și circuite de 3.3V se pot identifica patru combinații:

$$\begin{aligned}5V \text{ TTL} &\rightarrow 3.3V \text{ TTL} \\3.3V \text{ TTL} &\rightarrow 5V \text{ TTL} \\5V \text{ CMOS} &\rightarrow 3.3V \text{ TTL} \\3.3V \text{ TTL} &\rightarrow 5V \text{ CMOS}\end{aligned}$$

În timp ce primele două combinații sunt foarte ușor de rezolvat, ultimele două, (cele care cer 5V CMOS), impun folosirea unor circuite de deplasare de nivel dedicate. Asemenea circuite se fabrică. Nivele CMOS sunt definite în funcție de tensiunea de alimentare astfel:

$$\begin{aligned}V_{IL} &= 0.3 \times V_{CC} \\V_{IH} &= 0.7 \times V_{CC}\end{aligned}$$

Circuitul care comandă trebuie să asigure cel puțin:

$$\begin{aligned}V_{OL} &\leq 0.3 \times V_{CC\min} = 1.35V \quad (V_{CC\min}=4.5V) \\V_{OH} &\geq 0.7 \times V_{CC\max} = 3.85V \quad (V_{CC\max}=5.5V)\end{aligned}$$

Aceasta înseamnă că o ieșire standard 3.3V nu livrează un potențial potrivit pentru a comanda intrările unui CMOS de 5V. Chiar și dacă s-ar conecta în exterior o rezistență la alimentare, s-ar obține tot un potențial mai mic decât 3.85V. De aceea soluția este un circuit de deplasare de nivel specializat. Aceste circuite sunt alimentate atât la 5V cât și la 3.3V (au doi pini de alimentare) și fac translația în ambele sensuri.