

10. MICROCONTOLLERE (MC)

10.1. PREZENTARE GENERALĂ

10.1.1. Definiții

Vom defini un microcontroller pornind de la o reprezentare simplificată a sa în interacțiune cu mediul (Fig. 10.1.). Se va folosi în continuare prescurtarea MC pentru a numi un microcontroller.

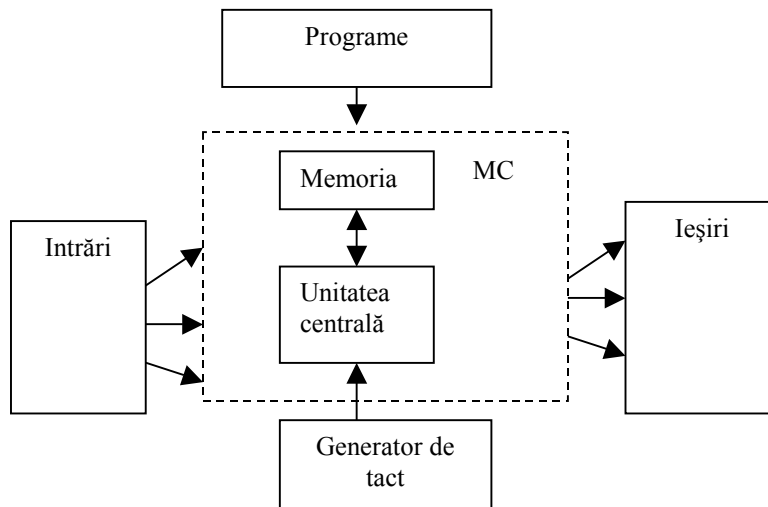


Fig. 10.1. Schema simplificată a unui microcontoller

Intrările pot fi digitale sau analogice. Ca intrări se folosesc de regulă semnale provenind de la comutatoarele individuale sau de la traductoare (de temperatură, de presiune, foto, traductoare specializate).

Ieșirile se pot face cu diode LED, pot fi relee, motoare sau sonerii. Dacă se face o conversie D/A, ieșirea o poate constitui un difuzor.

Se poate vedea o primă diferență față de calculatoarele personale, unde intrările se fac de regulă de la tastatură și ieșirile pe monitorul TV. Dacă un calculator personal este folosit pentru a prelucra informații și a afișa rezultatele pe monitor sau hârtie, un MC comandă un proces.

Un element important, fără de care un MC nu poate funcționa, este programul (sau programele), care se stochează în memoria proprie MC.

Un MC poate fi definit ca un sistem de calcul complet pe un singur chip. Acesta include o unitate centrală, memorie, oscilator pentru tact și dispozitive I/O. Un MC poate fi privit ca un microprocesor care pe același chip mai conține memorie și o serie de interfețe. Natura și complexitatea aplicației în care este folosit MC determină performanțele unității centrale, capacitatea de memorie și tipul interfețelor ce compun structura internă a MC.

O structură mai detaliată se poate vedea în Fig. 10.2. unde sunt reprezentate blocurile principale.

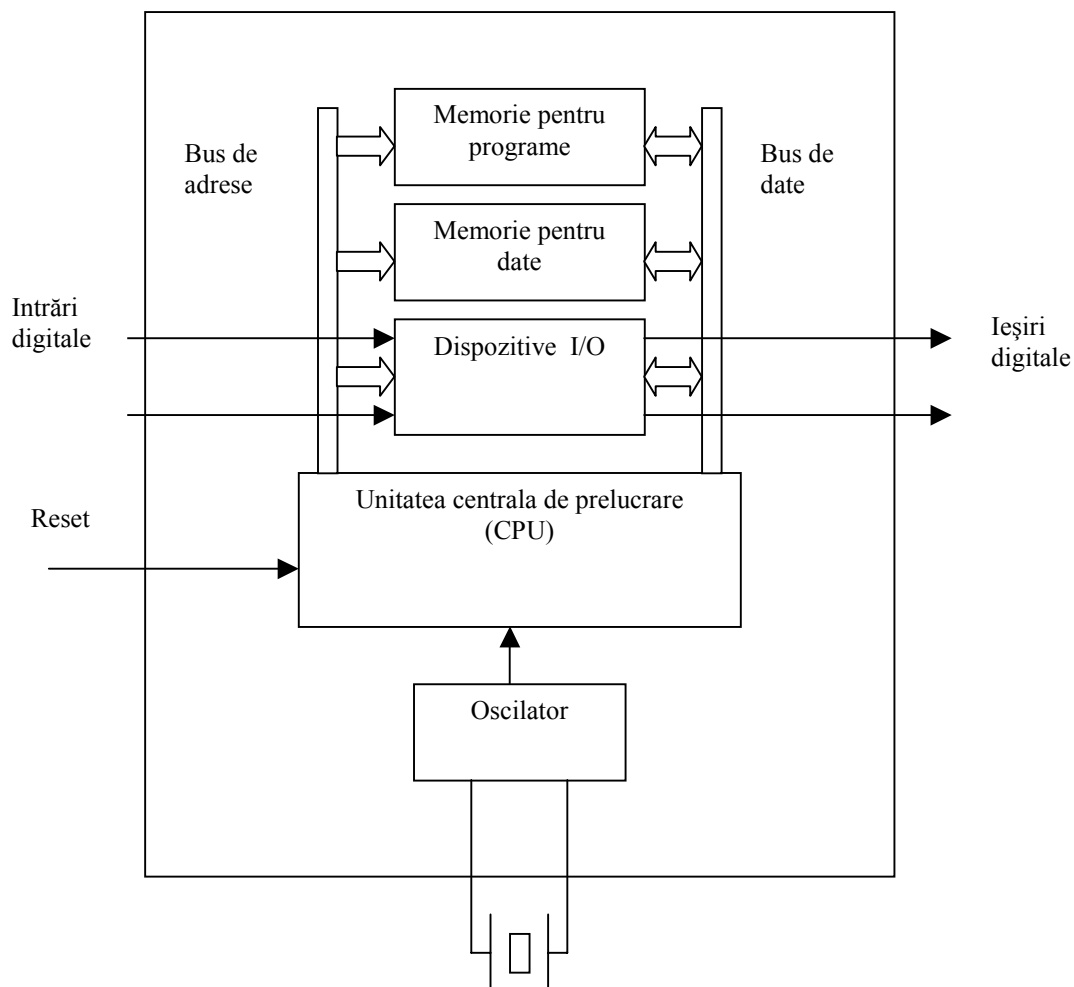


Fig. 10.2. Schema bloc a unui microcontroller

Privind evoluția istorică a operației de comandă a unui proces putem contura imaginea unui MC. Un controller este un sistem folosit pentru a comanda și a prelua stări de la un proces sau un aspect al mediului înconjurător. La început un controller era un echipament de mari dimensiuni. După apariția microprocesoarelor dimensiunile controllerelor s-au redus. Procesul de miniaturizare a continuat, toate componentele necesare unui controller au fost integrate pe același chip. S-a născut astfel calculatorul pe un singur chip sau microcontrollerul. Un microcontroller este un circuit realizat pe un singur chip care conține tipic:

- unitatea centrală CPU;
- generatorul de tact (la care trebuie adăugat din exterior un cristal de cuarț sau în aplicații mai puțin pretențioase, un circuit RC);
- memoria RAM;
- memoria ROM/PROM/EPROM/EEPROM;
- dispozitive I/O seriale și paralele;
- controller de întreruperi, controller DMA, numărătoare/temporizatoare (*timers*), convertoare A/D și D/A, etc.;
- periferice.

Prețul unui MC este redus din cauza cantităților mari în care se fabrică. Prețul mic al MC aduce cu sine și micșorarea prețului sistemelor de control (se micșorează inclusiv costul proiectării).

Diferențele dintre microprocesor și unitatea centrală a MC se atenuază în timp. Astfel, marii constructori de procesoare au realizat niște circuite care s-ar putea numi super-microcontrollere, așa cum sunt Motorola 68EC300, INTEL 386EX sau IBM PowerPC 403GB, care sunt microcalculatoare pe un singur *chip*.

Cu un MC se poate realiza un controller integrat (*Embedded Controller, EC*). Un controller integrat face parte dintr-un sistem construit cu un anumit scop, altul decât calcule generale. Pe lângă MC, un controller integrat are nevoie de hardware suplimentar pentru a-și îndeplini funcția.

Importanța MC este dovedită incontestabil de piața care este în continuă creștere. Astfel, evoluția vânzărilor de MC în lume se regăsește în tabelele 10.1. și 10.2.

Tabel 10.1. Evoluția vânzărilor MC în lume (în milioane dolari)

MC	'90	'91	'92	'93	'94	'95	'96	'97	'98	'99 (esti- mat)	'00 (esti- mat)
4-bit	1393	1597	1596	1698	1761	1826	1849	1881	1856	1816	1757
8-bit	2077	2615	2862	3703	4689	5634	6553	7529	8423	9219	9715
16-bit	192	303	340	484	810	1170	1628	2191	2969	3678	4405

Tabel 10.2. Evoluția vânzărilor MC în lume (în milioane bucăți)

MC	'90	'91	'92	'93	'94	'95	'96	'97	'98	'99 (esti- mat)	'00 (esti- mat)
4-bit	778	906	979	1036	1063	1110	1100	1096	1064	1025	970
8-bit	588	753	843	1073	1449	1803	2123	2374	2556	2681	2700
16-bit	22	38	45	59	106	157	227	313	419	501	585

Principalii producători de microprocesoare au realizat în 1994 și 1995 următoarele cifre de afaceri (Tabel 10.3.)

*Tabel 10.3. Cifre de afaceri realizate în anii 1994, 1995
microprocesoare (în milioane dolari)*

Intel	10800	8036
AMD	881	992
Motorola	781	827
IBM	468	297
TI	219	202
Cyrix	210	240
Hitachi	188	66
NEC	100	82
LSI Logic	58	51
IDT	45	25

În prezent datele arată modificări de structură; de exemplu cifra de afaceri a AMD se apropie de cea a lui INTEL. Cifra de afaceri, ca ordin de mărime, era deja în anii 1994, 1995 apropiată de cea realizată din vânzări de microprocesoare (Tabel 10.4.).

*Tabel 10.4. Cifre de afaceri realizate în anii 1994, 1995
microcontrollere (în milioane dolari)*

Motorola	1781	1511
NEC	1421	1208
Mitsubishi	945	708
Hitachi	899	782
Intel	835	605
TI	807	534
Philips	524	345
Matsushita	500	413
Lucent (AT&T)	492	275
Toshiba	400	328

10.1.2. Arhitectura MC

Blocurile interne ale MC sunt legate între ele printr-o magistrală (bus) de date și una de adrese. Mărimea acestor magistrale constituie una dintre caracteristicile cele mai importante ale unui MC. Prin magistrala de adrese unitatea centrală (UC) selectează o locație de memorie sau un dispozitiv I/O, iar pe magistrala de date se face schimbul de informație între UC și memorie sau dispozitivele I/O. Între UC și memorie sunt transferate atât date cât și instrucțiuni. Acestea se pot transfera pe o singură magistrală de date sau pe magistrale de date diferite.

Arhitectura von Neumann prevede existența unui bus unic folosit pentru circulația datelor și a instrucțiunilor. Când un controller cu o astfel de arhitectură adresează memoria, busul de date este folosit pentru a exprima înții codul instrucțiunii, apoi pentru date, accesul fiind realizat în 2 pași, deci destul de lent.

Arhitectura Harvard prevede un bus separat pentru date și instrucțiuni. Când codul instrucțiunii se află pe busul de instrucțiuni, pe busul de date se află datele instrucțiunii anterioare. Structura MC este mai complexă, dar performanțele de viteză sunt mai bune.

Unitatea centrală conține un set de registre interne, similare unor locații de memorie, folosite pentru memorarea unor date des apelate sau pentru programarea unor anumite funcții. Diferitele familii de MC folosesc seturi diferite de registre. Există însă câteva registre comune.

- **A (Accumulator)** registrul acumulator care este folosit deseori pentru a stoca un operand și rezultatul unei operații aritmetice.
- **PC (Program Counter)** este registrul care stochează adresa următoarei instrucțiuni de executat. După un RESET (inițializarea MC), registrul PC se încarcă dintr-o locație de memorie numită vector de reset. Această locație conține adresa primei instrucțiuni de executat. PC este incrementat automat după execuția unei instrucțiuni.

- **SP (Stack Pointer)** conținutul acestui registru indică adresa curentă a stivei.

Un aspect important care determină arhitectura unui MC este modul de programare.

Conceptul de CISC (Complex Instruction Set Computer) pe baza căruia sunt construite majoritatea MC, prevede existența unui număr mare de instrucțiuni (tipic >80), ceea ce face mai ușoară munca programatorului. Multe din instrucțiuni sunt specializate, adică se pot folosi doar în anumite moduri de adresare sau cu anumite registre.

Evoluția MC este spre arhitectura RISC (Reduced Instruction Set Computer), în cadrul căreia un MC are un număr mic de instrucțiuni. Avantajele sunt un chip mai mic, cu un număr de pini mai mic, cu un consum mai redus și cu o viteză mai mare. Instrucțiunile sunt simetrice, adică pot fi folosite la fel în orice mod de adresare sau cu orice registru, nu au excepții sau restricții.

În prezent un MC este cu mai mult decât arhitectură RISC, el este cu o arhitectură SISC (Specific ISC). Instrucțiunile sunt specifice pentru a lucra optim cu dispozitivele I/O, permit manipularea la nivel de bit și sunt mai puține instrucțiuni de uz general, așa cum întâlnim la microprocesoarele 8086, 68000 etc.

10.1.3. Memoria

MC folosesc diferite tipuri de informații, care sunt stocate în diferite tipuri de memorii. Instrucțiunile care controlează funcționarea MC trebuie stocate într-o memorie nevolatilă, unde informațiile se păstrează și după oprirea și repornirea sursei de alimentare. Rezultatele intermediare și variabilele pot fi înscrise într-o memorie volatilă, la acestea este important să se poată face scrierea /citirea rapid și simplu în timpul funcționării.

Memoria **RAM** (Random Access Memory) este o memorie volatilă care poate fi citită sau scrisă de unitatea centrală. Locațiile din RAM pot fi accesibile în orice ordine. Pe chip, memoria RAM ocupă mult loc și implicit costurile de implementare sunt mari. De aceea un MC include de obicei puțin RAM. Memorie RAM static alimentată de la baterie se folosește pentru stocarea nevolatilă a cantităților mari de date, la o viteză de acces mare și cu un număr nelimitat de ștergeri și reînscriseri.

Memoria **ROM** (Read Only Memory) este cea mai ieftină și simplă memorie și se folosește la stocarea programelor în faza de fabricație. Unitatea centrală poate citi informațiile, dar nu le poate modifica.

Memoria **PROM** (Programmable Read Only Memory) este similară cu memoria ROM, dar ea poate fi programată de către utilizator. După posibilitățile de ștergere, această memorie poate fi de mai multe feluri:

- Memoria **EPROM** (Erasable PROM) care se poate șterge prin expunere la ultraviolete. MC cu EPROM au un mic geam de cuarț care permite ca *chipul* să fie expus la radiația ultravioletă. Ștergerea este neselectivă, adică se poate șterge doar întreaga informație și nu numai fragmente. Memoria poate fi ștearsă și reînscrisă de un număr finit de ori. Programarea EPROM-ului necesită o procedură specială, iar MC cu EPROM au nevoie de regulă pentru înscriserea

EPR0M-ului de o tensiune auxiliară, de 12 V de exemplu. Unele MC au incluse circuite de programare a memoriei EPROM, cu ajutorul cărora unitatea centrală poate programa memoria EPROM. În timpul programării memoria EPROM nu este conectată la magistrala de date și adrese. Unele MC sunt prevăzute cu mod special de lucru, în care sunt văzute din exterior ca niște memorii EPROM obișnuite și pot fi astfel programate cu orice programator.

- **OTP** (One Time Programmable PROM) se folosește pentru multe serii de MC. Memoria OTP este de fapt o memorie EPROM, dar *chipul* a fost capsulat într-o capsulă de material plastic fără fereastră, care este mult mai ieftină. Memoria nu se poate șterge sau reprograma. Prețul unui MC cu OTP este mic, viteza este bună, dar aplicațiile sunt lipsite de flexibilitate.
- Memoria **EEPROM** (Electrically Erasable Programmable Read Only Memory) poate fi ștearsă electric de către unitatea centrală, în timpul funcționării. Ștergerea este selectivă, iar pentru reînscrisere trebuie parcurși mai mulți pași. Memoria EEPROM echipează multe MC, fiind ieftină. În memoria EEPROM se memorează un mic număr de parametri care se schimbă din timp în timp. Memoria este lentă și numărul de ștergeri/scrieri este limitat (tipic 10 000).
- Memoria **FLASH** este o memorie asemănătoare EPROM și EEPROM în sensul că poate fi ștearsă și reprogramată în sistemul în care este folosită (fără a fi necesar un sistem dedicat). Are capacitatea unui EPROM, dar nu necesită fereastră pentru ștergere. Ca și EEPROM, memoria FLASH poate fi ștearsă și programată electric. Memoria FLASH nu permite ștergerea individuală de locații, utilizatorul poate să șteargă doar întregul conținut.

Stocarea programelor în memorii nevolatile permite ca MC să fie programat fără a fi scos din circuitul în care funcționează (Field Programming/Reprogramming). De exemplu la autovehiculele comandate de MC, schimbarea tipului benzinei sau schimbarea unei legi privitoare la poluare pot fi actualizate în programul MC fără ca acesta să fie scos din autovehicul.

În funcție de numărul aplicațiilor în care urmează să fie folosit MC se recomandă folosirea MC cu ROM pentru volum mare de producție (ROM se înscrie cu mască la fabricant), OTP pentru volum mic de producție și EPROM pentru prototipuri.

10.1.4. Dispozitive I/O

Dispozitivele I/O implementează funcții speciale degrevând unitatea centrală de toate aspectele specifice de comandă și control în funcția respectivă. Există o varietate mare de dispozitive I/O; dispozitivele I/O conduc operații generale de comunicație (transfer serial sau paralel de date), funcții generale de timp (numărare de evenimente, generare de impulsuri), operații de conversie analog/numerică, funcții de protecție, funcții speciale de comandă, și enumerarea poate continua. Din această mare varietate, parte din dispozitive se găsesc în configurația tuturor MC sau sunt foarte des întâlnite, iar o altă parte de dispozitive o regăsim doar în MC construite pentru a optimiza aplicații cu un grad mare de particularitate. În acest capitol, în continuare, vor fi prezentate dispozitive des întâlnite în echiparea MC. În capitolele următoare, pe măsură ce vor fi prezentate exemple de MC, vor fi descrise și o serie de dispozitive I/O speciale ce intră în componența acestora.

Dispozitivele I/O sunt văzute de unitatea centrală ca porturi. Unitatea centrală apelează porturile prin semnale de selecție construite din decodificarea magistralelor de adrese și control. Porturile sunt mapate fie în spațiul de memorie, fie într-un spațiu propriu. Unitatea centrală poate opera scrieri sau citiri cu porturile ca și cu memoria.

10.1.4.1. Module de comunicații seriale

SCI (Serial Communications Interface) este un subsistem I/O serial independent, de tipul full duplex UART asincron. SCI poate fi folosit pentru comunicații între MC și un terminal, un calculator PC sau un alt MC. Rata transferului este controlată de un generator propriu, care furnizează frecvențe pentru rate de transfer standard, folosind oscilatorul MC.

SPI (Serial Peripheral Interface) este un modul serial folosit pentru a comunica sincron la distanțe mici cu viteze de până la 4 Mbps. SPI este folosit pentru a comunica cu periferice cum ar fi un simplu registru de deplasare, un sistem de afișare LCD sau un sistem de conversie A/D. Modulul SPI este suficient de flexibil pentru a interfața direct periferice cu standarde diferite, provenite de la diverși producători. SPI poate fi folosit și pentru a extinde numărul de intrări/ieșiri acolo unde acesta este limitat de numărul de pini ai capsulei MC.

SCI+ este similar cu SCI, are în plus suport pentru comunicații seriale sincrone. Dispune de o ieșire de ceas folosită pentru a transfera date în mod sincron cu un periferic de tip SPI.

SIOP (Simple I/O Port) este o implementare mai simplă a SPI.

I²C (Inter-Integrated Circuit) este o magistrală serială bidirecțională sincronă care pune la dispoziție un mod simplu și eficient de a transfera date la 100Kbps.

10.1.4.2. Module Timer

Sistemul timer (circuit de timp) este folosit pentru a măsura timpul și pentru a genera semnale cu perioade și frecvențe dorite. Timerele nu sunt doar circuite cu funcții de temporizare; în modulul timer sunt implementate câteva mecanisme care pun la dispoziția utilizatorului funcții specifice. Mecanismul de comparare la ieșire permite controlul unor semnale de ieșire; mecanismul de captură la intrare permite monitorizarea unor semnale de intrare; numărătoarele interne permit generarea de referințe de timp interne, necesare în bucle de întârziere, multiplexarea diferitelor sarcini software, ș.a. Timerul poate fi folosit practic pentru orice funcție de timp, inclusiv generarea unor forme de undă sau conversii D/A simple.

Mecanismul **IC** (Input Capture – captură la intrare) este folosit pentru a determina momentul apariției unui eveniment sau pentru a măsura perioada sau durata unui semnal de intrare. Acest mecanism este folosit pentru sincronizarea cu evenimente externe.

Mecanismul **OC** (Output Compare – comparare la ieșire) este folosit pentru a determina o schimbare la ieșire la un moment de timp dorit. Mecanismul este folosit pentru a genera spre exterior referințe de timp.

Mecanismul **PWM** (Pulse Width Modulation – modularea impulsurilor în lățime) este folosit la generarea semnalelor pentru comanda motoarelor, a comutatoarelor de putere, a convertoarelor D/A simple.

Mecanismul **RTI** (Real-Time Interrupt) este folosit la generarea automată de întreruperi periodice. Funcția este utilă în realizarea operațiilor I/O de tip polling, în operații de diagnoză sau întreținere.

Mecanismul **RTC** (Real-Time Clock) este similar cu RTI, dar este folosit pentru a implementa un ceas de timp real.

10.1.4.3. Module A/D și D/A

Convertorul **A/D** este un modul implementat pe chip. Acesta eșantionează periodic semnale analogice externe și livrează valorile digitale corespunzătoare. Convertoarele A/D sunt folosite de obicei pentru a măsura mărimi analogice ca turația unui motor, temperatura, presiunea, nivelul lichidului, ș.a.

Convertorul **D/A** este de asemenea un modul implementat pe chip. Acesta preia de la unitatea centrală o serie de valori binare și produce semnalul analogic corespunzător. De obicei această funcție se realizează cu ajutorul modului PWM (mai este necesară o filtrare externă). O aplicație tipică este comanda volumului la un aparat TV.

10.1.4.4. Module de protecție

COP (Computer Operating Properly) este un ceas de gardă, numit watchdog, folosit pentru a detecta erorile de program. Folosirea ceasului de gardă este opțională. În cazul în care se folosește, programul utilizator trebuie să reseteze periodic un registru COP; dacă nu are loc resetarea, unitatea centrală decide că a apărut o problemă în rularea programului și resetează sistemul pentru a preveni o desfășurare necontrolată a programului.

LVR (Low Voltage Reset) este un circuit care monitorizează tensiunea de alimentare a unității centrale și forțează un reset dacă se constată că aceasta este mai mică decât un minim predefinit.

LVI (Low Voltage Interrupt) este un circuit care monitorizează tensiunea de alimentare a unității centrale și generează o întrerupere dacă se constată că aceasta este mai mică decât un minim predefinit. Întreruperea forțează executarea unei rutine de oprire neforțată.

10.1.5 Sisteme de economie de energie

Pentru a realiza economia de energie, esențială în cazul alimentării de la baterii de exemplu, un MC poate fi comandat prin soft să treacă în starea de așteptare (IDLE) sau în HALT. Prin intrarea în aceste stări memoria RAM nu-și schimbă conținutul și ieșirile nu-și schimbă valorile logice.

În mod IDLE încetează activitatea tuturor blocurilor funcționale cu excepția oscilatorului, a ceasului de gardă și a ceasului pentru modul așteptare.

Curentul de alimentare în această stare este tipic 30% din curentul normal de funcționare. Din modul de așteptare se poate ieși prin RESET sau la un stimul exterior (o întrerupere de la un dispozitiv I/O). Ceasul pentru modul de așteptare generează periodic întreruperi pentru ca MC să verifice starea. Dacă nu există cereri de activare (Wake Up), MC se întoarce în starea de așteptare.

Starea de HALT este asemănătoare cu cea de așteptare. Capabilitatea MIWU (Multi Input WakeUp) face ca un MC să poată fi trezit de una din 8 cereri de întrerupere exterioare.

OnNow este o inițiativă actuală pentru modernizarea metodelor de economie de energie în sistemele cu microprocesoare. Se intenționează obținerea unui consum de energie (pentru un calculator PC) de o treime din cel actual și un timp de ieșire din starea inactivă mai mic de 5 secunde. Informații despre această inițiativă se găsesc la adresa www.microsoft.com/hwdev/onnow.htm

10.1.6. Familii de MC

INTEL 4048 a fost primul MC apărut pe piață, având o structură Harvard modificată, cu 64-256 octeți de RAM și este încă folosit în multe aplicații datorită prețului scăzut.

INTEL 8051 (MCS-51) este a doua generație de MC și în prezent este familia care se vinde cel mai bine; este fabricat și de mulți alți producători. Acest MC are o arhitectură Harvard modificată cu spațiu de adresare diferit pentru program (<64K din care 4-8K pe chip) și date (<64K din care 128-256 octeți pe chip, cu adresare indirectă). Dispozitivele I/O au un spațiu propriu de adresare. 8051 dispune de un procesor boolean prin care se pot executa operații complexe la nivel de bit, iar în funcție de rezultate se pot face salturi. Pentru 8051 există foarte mult soft, atât contra cost cât și gratuit.

INTEL 80C196 (MCS-96) este a treia generație de MC propusă de INTEL. 80C196 este un MC pe 16 biți care admite un tact până la 50MHz. Acest MC conține blocuri aritmetice pentru înmulțire și împărțire, lucrează cu 6 moduri de adresare, convertor A/D, canal de comunicații serial, controller de întreruperi cu 8 surse, până la 40 de porturi I/O, generator PWM și ceas de gardă.

INTEL 80186 și 80188 sunt MC propuse de INTEL ca versiuni a popularelor microprocesoare 8086 și 8088 care au echipat primele calculatoare IBM PC XT. Pe chip sunt incluse 2 canale DMA, 2 numărătoare/temporizatoare, controller de întreruperi și bloc de refresh pentru memoria RAM. Există și multe versiuni, MC cu consum redus, cu canale seriale etc. Un mare avantaj la folosirea acestor MC este faptul că se pot folosi uneltele de dezvoltare (compilatoare, asamblatoare etc.) de la PC-uri. Cine este familiarizat cu softul de PC poate trece repede de etapa de învățare. Un alt avantaj este un spațiu mare de adresare, specific PC-urilor. INTEL a fabricat și MC-ul **80386EX**, o variantă a procesorului 386 care, la puterea lui 386 mai are în plus canale seriale, canale DMA, numărătoare/temporizatoare, controller de întreruperi, refresh pentru RAM dinamic, gestionarea alimentării (Power Management).

65C02/W65C816S/W65C134S (Western Design Center). WDC a creat procesorul pe 8 biți 65C02 folosit în calculatoarele Apple, Commodore și Atari urmat de procesorul pe 16 biți W65C816S și un MC pe 8 biți având ca nucleu procesorul de bază 65C02.

Motorola MC14500 a fost primul MC realizat de Motorola. Acest MC în arhitectură RISC avea calea de date de un bit, 16 instrucțiuni și era furnizat într-o capsulă mică (16 pini). El a fost eliminat de pe piață de noile MC RISC.

Motorola 6805 se bazează pe procesorul 6800 și este asemănător cu 6502 produs de WDC. Are o arhitectură von Neumann în care instrucțiunile, datele, dispozitivele I/O împart același spațiu de adresare. Stiva este limitată la 32 de poziții din cauza indicatorului de stivă pe 5 biți. Unele MC din această familie includ convertoare A/D, sintetizoare de frecvență cu PLL, canale seriale etc.

Motorola 68HC11 (preluat și de TOSHIBA) este un MC popular pe 8 biți de date și 16 biți de adresă, cu o arhitectură ca și 6805. 68HC11 are inclusă memorie EEPROM sau OTP, linii digitale I/O, numărătoare/temporizatoare, convertoare A/D, generatoare PWM, acumulator de impulsuri, canale seriale de comunicații sincrone și asincrone etc.

Motorola 683xx (MC68EC300) sunt super MC de înaltă performanță bazate pe un nucleu cu arhitectura procesoarelor 68xx, cu o filozofie și performanță asemănătoare MC INTEL 80386EX.

PIC (MicroChip) sunt primele MC RISC apărute, cu un număr mic de instrucțiuni (tipic 33, față de 8048 care are 90). Simplitatea arhitecturii (Harvard) duce la realizarea unui chip de mici dimensiuni, cu puțini pini, consum redus, viteză mare și preț mic. Aceste avantaje au impus MC PIC pe piață. Există 3 linii de MC PIC: PIC16C5x, PIC16Cxx și PIC17Cxx, din care linia 16Cxx este cotate cel mai bine pe piață.

COP400 (National Semiconductor) este un MC pe 4 biți care are 512o-2K ROM, și 32x4-160x4 RAM, în capsule de 20-28 de pini, cu tensiuni de alimentare 2,3V-6,0V. Sunt echipate cu numărătoare/temporizatoare și magistrală MICROWIRE. Aceste MC se fabrică în peste 60 de modele echivalente și sunt primele MC care au un preț sub 0,5USD/bucată.

COP800 (National Semiconductor) este un MC de 8 biți care conține MICROWIRE, UART, RAM, ROM, numărătoare/temporizatoare de 16 biți, controller de întreruperi, comparator, ceas de gardă, monitor de tact, generator PWM, transmisie în infraroșu, convertor A/D cu 8 canale cu prescalare (admite și intrări diferențiale), protecție la scăderea tensiunii de alimentare, mod de așteptare și HALT, un trigger SCHMITT și circuit de trezire cu mai multe intrări (Multi-Input-WakeUp). Eficiența este dată și de un set puternic de instrucțiuni, majoritatea fiind de un singur octet și executate într-un singur ciclu. Există și variante pentru uz militar.

HPC (National Semiconductor) sunt MC pe 16 biți de mare performanță, cu o arhitectură von Neumann. Unitatea centrală poate executa înmulțiri și împărțiri. Conțin în structură funcțiile executate de familia COP800 având în plus canale seriale HDLC (High Level Data Link Control) și elemente DSP, la o tensiune de alimentare de 3,3V. MC din această familie au multe aplicații în telecomunicații, în sisteme de securitate, imprimante LASER, hard discuri, frâne ABS și aplicații militare.

Proiectul **PIRANHA** (National Semiconductor) este un proiect de realizare a unui MC RISC, primul MC dedicat aplicațiilor integrate. Acest MC are avantajele arhitecturii RISC, deci puține instrucțiuni, simplitate, modularitate.

Z8 (Zilog) a fost unul dintre primele MC. Modelul inițial avea UART, numărătoare/temporizatoare, DMA, 40 de linii digitale I/O, controller de întreruperi. Modelul Z8671 avea în ROM un BASIC simplu. Modelul Z86C95 are o structură Harvard, facilități DSP etc. Un avantaj este că se pot folosi pentru extensii unele circuite de interfață din familia lui Z80.

HD64180 (Hitachi) este un MC puternic, cu structura și posibilitățile lui Z80, având în plus 2 canale DMA, canal de comunicații sincrone și asincrone, numărătoare/temporizatoare și controller de întreruperi. Unele versiuni includ EPROM, RAM și PIO (Programmable Input Output). Rulează instrucțiunile lui Z80, dar în mai puține cicluri și are instrucțiuni în plus. Există variante care funcționează până la 18MHz.

TMS370 (Texas Instruments) este similar cu 8051. Conține RAM, ROM (OTP sau EEPROM), 2 numărătoare/temporizatoare de 16 biți, controller de întreruperi, ceas de gardă, generator PWM, convertor A/D cu 8 canale, SCI (port serial asincron), SPI (port serial sincron), comparator, poate executa înmulțiri și împărțiri. Tactul poate fi până la 20MHz, cu 5MHz tact de magistrală.

1802 (RCA) este un MC mai vechi, cu o structură apropiată de un microprocesor. Este folosit mai ales în aplicații spațiale.

MuP21 (Forth) este un MC care are puterea de calcul a unui procesor INTEL 80486 (100MIPS) la un preț mult mai mic. Are integrat un coprocesor video care gestionează o memorie video, deci se poate atașa direct un monitor TV. Acest MC a fost creat ca să ruleze programul OKAD (program de proiectare VLSI), și execută acest lucru de 10 ori mai repede ca un 486. Mup21 are 40 de pini.

F21 (Forth) a fost conceput pentru aplicații multimedia și procesare paralelă. Viteza ajunge la 250MIPS datorită structurii care conține procesoare de prelucrare analogică și procesor de interfață la rețeaua de calculatoare.

10.1.7. Clasificarea MC

Se pot considera multe criterii de clasificare a MC; de exemplu după aplicațiile în care se folosesc, după interfețele pe care le au incluse în configurație, după furnizor etc. O clasificare sumară a celor mai uzuale MC, după compatibilitatea software, este:

MC CISC

- Compatibile 8051
- MOTOROLA 68xx
- Compatibile x86
- COP8 (National Semiconductor)
- TMS370 (Texas Instruments)
- ST (Thomson)
- Alte arhitecturi (MC low cost) HITACHI - 4biți, Z8 - 8 biți

MC RISC

- Super H
- PIC
- Atmel

10.1.8. Schema bloc a unui MC

În general, orice MC are o structură internă organizată în jurul unei magistrale (Fig. 10.3.).

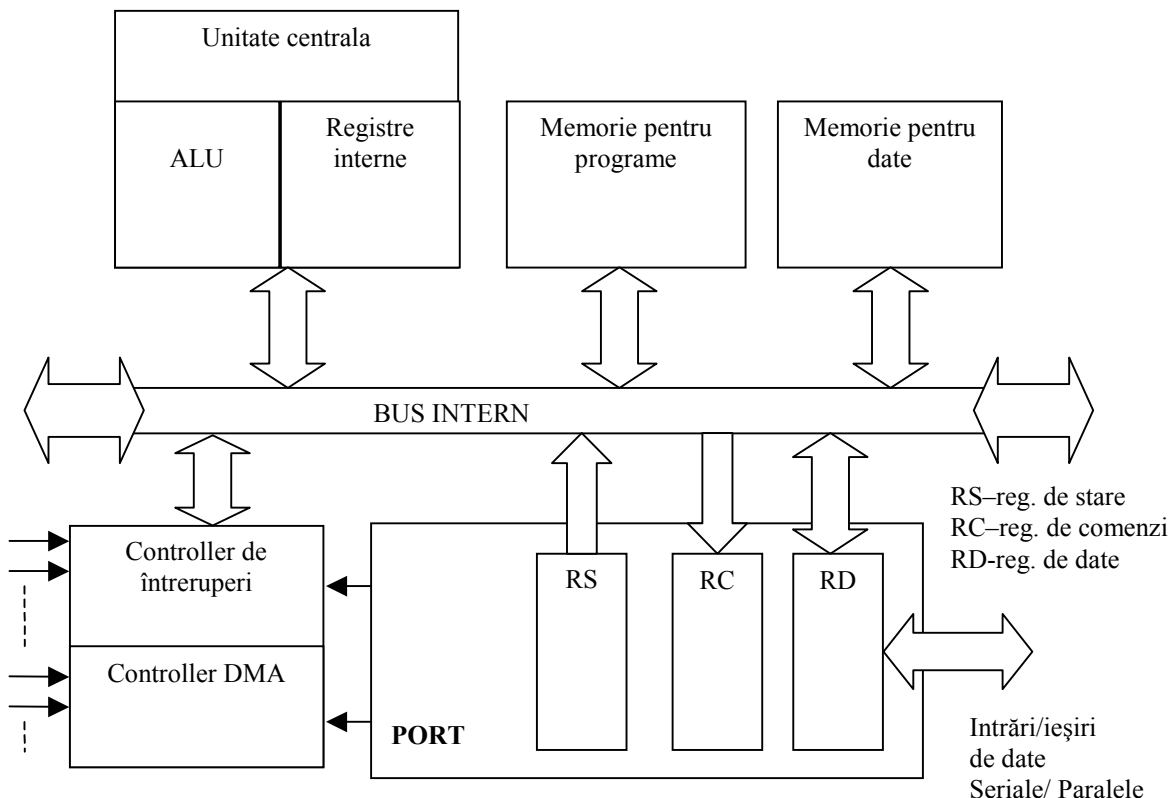


Fig. 10.3. Schema bloc a unui microcontroller

Unitatea centrală execută instrucțiunile pe care le primește prin magistrala de date din memoria program. Structura Harvard este posibilă și răspândită la MC pentru că de regulă instrucțiunile sunt stocate în memoria ROM, iar datele în cea RAM. Magistrala de date și cea de adrese pot fi separate sau multiplexate. Magistralele pot să nu fie disponibile în exterior (Motorola 6805) sau pot fi disponibile în exterior direct (MCS-51) sau multiplexate (MC pe 16 sau 32 de biți).

Fiecare MC are un controller de întreruperi care admite atât intrări din exterior cât și de la modulele interne. Unele MC dispun de un controller DMA propriu.

Modulele I/O pot fi seriale sau paralele. Fiecare modul transferă date cu exteriorul prin intermediul registrului de date (RD). Modulul este comandat (configurat) de unitatea centrală prin intermediul unui registru de comenzi (RC) și se poate citi starea modulului prin registrul de stare (RS). Prin RS se pot genera întreruperi. Registrele modulelor I/O pot fi văzute de UC ca locații de memorie (la familia Motorola) sau ca dispozitive de I/O într-un spațiu de adresare separat (MCS 51). De regulă, structura de bază a familiei conține anumite interfețe considerate foarte importante (timer, canal serial UART) și linii I/O

grupate în porturi paralele de uz general. Pe structura de bază se adaugă diferite tipuri de interfețe care folosesc în comun liniile I/O cu porturile paralele de uz general.

10.1.9. Tehnologii de fabricație

CMOS (Complementary Metal Oxide Semiconductor) este cea mai răspândită tehnologie. Consumul MC construit în această tehnologie este mic și permite astfel alimentarea de la baterii. Circuitele CMOS pot fi statice sau "aproape" statice, ceea ce înseamnă că tactul poate fi încetinit sau chiar oprit pentru regimul de economie de energie. MC în tehnologie CMOS au o bună imunitate la perturbații.

PMP (Post Metal Programming) permite programarea ROM-ului intern în ultimele faze de producție, după metalizarea finală. Uzual ROM-ul se programează în etapele de început, ceea ce înseamnă că realizarea unei serii de MC poate dura 6-8 săptămâni. Cu tehnologia PMP MC se pot realiza aproape în întregime, inclusiv metalizarea și testarea electrică anterior programării ROM. După programarea ROM-ului se aplică doar stratul de pasivare. Astfel, timpul de realizare a unei serii se reduce la 1-2 săptămâni.

10.1.10. Criteriile pentru alegerea unui MC

Sunt multe aspecte de care trebuie ținut seama la alegerea unui MC pentru o anumită aplicație. Alegerea unui MC potrivit poate duce la succesul proiectului, așa cum o alegere nepotrivită poate duce la eșecul proiectului. Fiecare cititor trebuie să adapteze aceste criterii nevoilor sale și scalei proprii de valori.

Obiectivul urmărit în alegerea unui MC este obținerea calității dorite cu un cost cât mai scăzut. Calitățile dorite înseamnă performanță, fiabilitate, calități EMC (de compatibilitate electromagnetică cu mediul), iar costul total include costurile cercetării, proiectării, construcției, testării, reparării produsului.

În primul rând se pune problema stabilirii funcției pe care MC trebuie să o îndeplinească în sistem. Alegerea din catalog a unui MC trebuie făcută în ideea a cât mai puțin hardware suplimentar (din motive economice). Procesul de căutare este dificil din cauza numărului foarte mare de tipuri de MC disponibile pe piață. Munca de căutare este ajutată de bazele de date din Internet, așa cum este baza de date de la www.questlink.com. După stabilirea MC optim se verifică prețurile, dacă este disponibil, suportul acordat de fabricant, existența uneltelor de dezvoltare, stabilitatea firmei constructoare. Un criteriu important este posibilitatea de a fi găsit pe piață (optenabilitatea), mai ales în zone în care circulația mărfurilor este destul de greoaie.

Criteriile pentru alegerea unui MC sunt, în ordinea importanței:

1. Posibilitatea folosirii în aplicația dată

- este suficient un MC sau sunt necesare circuite suplimentare;
- liniile I/O sunt suficiente (un număr prea mic înseamnă că aplicația nu se poate face cu acest MC, iar un număr prea mare înseamnă un cost excesiv);
- există toate interfețele solicitate de aplicație: I/O serial, convertoare A/D, D/A și nu există interfețe în plus;
- există capacitatea de memorare suficientă: RAM, ROM;
- MC are viteza suficientă pentru această aplicație. Se verifică timpul necesar rulării programului care trebuie să fie mai mic decât intervalul de timp în care trebuie să reacționeze MC;

- alimentarea MC poate fi făcută din aplicație (este posibil ca aplicația să fie portabilă, atunci este nevoie de un MC care să funcționeze la 3V;
- prețul acestui MC este bun (acceptabil) pentru aplicația respectivă.

2. Optenabilitatea MC

- trebuie să fie disponibil în cantități suficiente;
- trebuie să fie în producția actuală, dar și în viitor pentru posibilitatea aprovizionării în viitor;
- disponibilitatea unor accesorii (convertoare A/D, D/A, alimentatoare etc).

3. Disponibilitatea suportului de dezvoltare

- asamblare;
- compilatoare;
- debuggere;
- module de evaluare;
- emulatoare în circuit;
- analizoare logice;

4. Suport din partea constructorului

- documentație tehnică ;
- buletine de aplicații;
- service prin telefon (BBS);
- rapoarte despre probleme de funcționare;
- software de utilizare;
- dacă MC este folosit și de alți utilizatori, atunci sunt formate grupuri de lucru care pot oferi ajutor.

5. Seriozitatea constructorului

- dacă este demonstrată competența lui ;
- stabilitate și fiabilitatea MC realizate;
- viteza de livrare;
- număr de ani ca și constructor și rezultate financiare.

Un argument pentru alegerea unui tip de MC este existența unui modul de evaluare. Pentru a promova propriile MC, mulți furnizori au creat Kituri de evaluare care conțin plăci de evaluare și un soft minimal cu care se poate învăța utilizarea MC și se pot pune la punct aplicații. Un kit conține de regulă un program monitor pentru calculator PC, un program de transfer al datelor spre placa de evaluare (prin interfața RS232 sau CENTRONICS), un asamblor și un compilator C. Toate kiturile sunt însoțite de documentație. Câteva din modulele de evaluare sunt:

Motorola EVBU, EVB, EVM, EVS sunt echipate cu MC 68HC11.

Dallas Semiconductor DS5000TK sunt echipate cu MC Dallas din seria DS5000.

Philips și CEIBO DS750 sunt echipate cu 87C75x, echivalent cu 8051.

American Educational Systems AES-51(8051), AES-11(68HC11), AES-88(8088) conțin o tastatură, un afișaj cu LCD și documentație.

Firma Texas Instruments pune la dispoziția celor interesați un set de accesorii pentru familia TMS370, un sistem de dezvoltare extins XDS și unelte de dezvoltare (CDT). Aplicația poate fi scrisă în limbajul C, de exemplu pe un PC (utilizând orice editor) și codul pentru TMS va fi generat de link editor. Codul poate ajunge la MC prin intermediul

interfeței seriale RS232. XDS analizează softul creat, (chiar în domeniul timp) și permite punerea la punct (chiar rularea lui pas cu pas).

Există firme specializate în construirea unor module de evaluare cu diferite MC, așa cum este de exemplu PHYTEC (www.phytec.de).

Fiecare furnizor de MC pune la dispoziția clienților un Kit de start (Starter Kit), care este un instrument foarte valoros pentru a putea începe lucrul cu un anumit tip de MC. Kit-ul de start conține o placă cu soclu și hard-ul aferent pentru programarea inițială a MC, uneori programarea EPROM-ului, interfața și cablul de legătură la PC, documentație și programe (asamblor, link editor, debugger) dar nu conține de regulă un MC. Prețul unui astfel de Kit pornește de la 100USD (www.schuricht.de , www.farnell.com).

Un alt argument pentru alegerea unui MC este comoditatea folosirii lui. Unele MC, așa cum este Motorola 68HC11A8P1 are înscris în ROM un program monitor (numit Buffalo). Pentru punerea în funcțiune este nevoie doar de o legătură serială RS232 cu un PC (este nevoie de o conversie de nivel) și se poate lucra de pe PC cu monitorul MC, rulând programele în RAM-ul MC și stocându-le în EEPROM. Pe I există subprograme scrise în Buffalo. Un alt MC, 8052AH-BASIC conține un BASIC. MC Dallas din seria DS5000 are nevoie doar de un cristal pentru oscilator și este gata de lucru. MC conține memorie RAM static alimentată de la o baterie și programul și datele sunt astfel nevolatile.

10.1.11. Proiectarea sistemelor cu MC în vederea siguranței în exploatare

Tendința producătorilor de MC de a scădea prețurile duce la răspândirea din ce în ce mai mare a MC și la crearea a noi și noi aplicații. Micșorarea dimensiunilor duce la creșterea frecvenței de lucru. Cu cât frecvența crește, cu atât crește posibilitatea interferențelor electromagnetice (EMI) și se pune problema proiectării în vederea compatibilității electromagnetice (EMC).

Apar două categorii de probleme: aplicația poate genera perturbații (conduse sau radiate) sau poate fi susceptibilă la perturbații (conduse sau radiate). Descoperirea unor probleme de EMI în faza finală de producției a aplicației poate fi costisitoare deoarece s-ar putea să fie necesară reproiectarea aplicației; de aceea este necesar ca proiectarea inițială să se facă în vederea EMC.

Perturbațiile sunt generate de armonicile semnalelor digitale din circuit. Ele pot fi radiate de buclele de cablaj care se comportă ca și antene sau sunt conduse spre sursa de alimentare. Orice cale inductivă sau capacitivă pe traseul acestor armonici poate provoca vârfuri de tensiune sau căderi de tensiune. Pentru un sistem cu MC perturbațiile sunt generate de regulă de cablaj, deoarece circuitele integrate au dimensiuni prea mici pentru a putea emite. Semnalul cu frecvența cea mai mare este tactul sistemului generat cu un circuit oscilant cu cuarț. Datorită faptului că forma semnalului este apropiată de forma sinusoidală, conținutul de armonici este mic. Dacă tactul este adus din exterior, se impune atenție mărită pentru a reduce buclele de circuit emisiv.

Pentru un sistem care are memorii externe cuplate la MC, liniile de transfer pot fi emisivă, deoarece frecvențele de tranziție sunt mari.

Susceptibilitatea sistemelor cu MC este creată de natura sincronă a MC. Un tact cu nivel electric insuficient poate produce o eroare. Erorile sistemelor cu MC pot fi grupate în:

1. aplicația are o eroare dar se corectează;
2. aplicația are o eroare dar o întrerupere sau un RESET corectează funcționarea;
3. aplicația are o eroare și oprind și repornind sistemul, eroarea dispare;
4. aplicația are o eroare permanentă datorată unei componente defecte.

Problemele din categoria 1 și 2 pot să nici nu fie observate de beneficiar.

Performanțele EMC pot fi îmbunătățite acordând atenție deosebită următoarelor aspecte de proiectare:

- desenul cablajului imprimat;
- ceasul de gardă
- programarea defensivă

10.1.11.1. Cablajul imprimat

Orice perturbații pe liniile de alimentare pot produce o funcționare defectuoasă a sistemului. De aceea se recomandă utilizarea unui cablaj multistrat la care masa și alimentarea sunt plane interne. La aplicațiile cu preț mic, o cale importantă de a reduce prețul este folosirea cablajului dublu placat sau chiar simplu placat. La aceste tipuri de cablaj traseele de masă și +5V trebuie să fie cât mai late pentru a avea o impedanță cât mai mică. Decuplarea cu condensatoare a MC trebuie să fie realizată cât mai aproape de circuit. În unele aplicații care trebuie să fie foarte ieftine se folosește alimentarea MC de la rețeaua de c.a. fără transformator, cu un redresor monoalternanță (Fig. 10.4.).

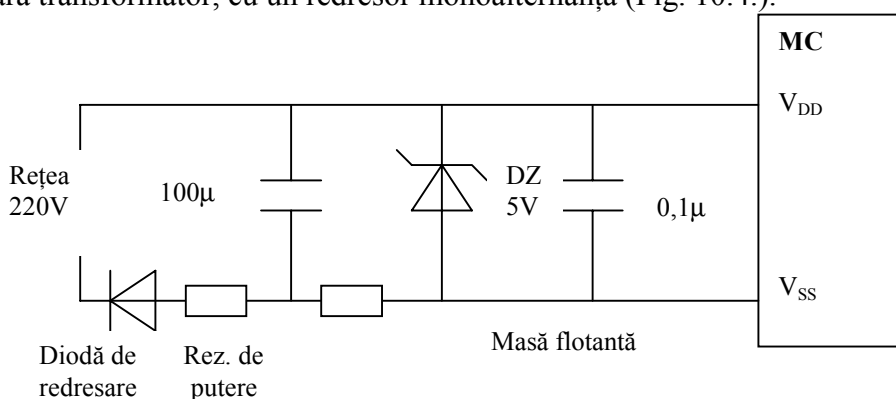


Fig. 10.4. Schema simplă de alimentare de la rețea

În acest caz se creează o linie de mică impedanță spre masă prin rețeaua de alimentare de la V_{DD} . La acest tip de alimentare se recomandă decuplarea liniilor de frecvență înaltă spre linia de +5V.

Un circuit critic este cel de generare a tactului. Orice impuls parazit care apare modifică factorul de umplere de 50% al semnalului de tact și instrucțiunea nu se execută corect, circuitul ieșind din program. O astfel de situație singulară poate fi rezolvată de ceasul de gardă care comandă un RESET, după care MC rulează din nou corect. Se recomandă ca toate componentele aferente generării tactului să fie situate cât mai aproape de circuit, iar

dacă este posibil toate traseele să fie înconjurate de un traseu lat de gardă. Se recomandă o decuplare a cristalului la linia de cea mai mică impedanță (de regulă masa) cu condensatori SMD. Se recomandă să se păstreze o distanță mare între liniilor de frecvență mare și circuitul de tact.

Este de asemenea importantă protecția pinilor de intrare, cum ar fi RESET sau IRQ. Un pin în aer poate comuta dacă în vecinătatea lui sunt linii de înaltă frecvență. Se recomandă decuplarea acestor pini cu condensatori 1-10nF cât mai aproape de circuit.

10.1.11.2. Ceasul de gardă

Folosirea ceasului de gardă este foarte utilă în creșterea siguranței în funcționare. Majoritatea MC au un ceas de gardă integrat, iar dacă nu, un ceas de gardă extern poate fi ușor realizat cu un monostabil redeclanșabil.

Redeclanșarea ceasului de gardă trebuie făcută în programul principal, nu în subrutine. Pentru a putea folosi corect ceasul de gardă trebuie analizată cu atenție durata normală a programului pe ramura cea mai lungă.

10.1.11.3. Programarea defensivă

Prin metodele de programare defensivă se poate îmbunătăți mult siguranța în funcționare fără nici un hardware suplimentar. Câteva din cele mai eficiente metode sunt:

- reîncărcarea periodică a registrelor care comandă pinii I/O și a celor mai importante registre. Pinii I/O sunt legătura MC cu exteriorul, de aceea ei sunt supuși perturbațiilor. Readucerea lor la nivele corecte micșorează probabilitatea ca o perturbație să se propage în circuit.
- citirea repetată a semnalelor de intrare micșorează riscul unei citiri greșite. De exemplu citirea de 3 ori la rând a unui pin care este legat la o tastă. Dacă s-a citit aceeași valoare de fiecare dată se elimină posibilitatea unei perturbații.
- dacă există locații în RAM nefolosite, după fiecare etapă de rulare a programului se scrie un bit în RAM. Înainte de rularea unei rutine critice se verifică valoarea stocată în RAM și rutina se execută doar în cazul în care valoarea din RAM este corectă.
- dacă într-o aplicație există memorie nefolosită, aceasta se umple cu instrucțiuni de salt într-un loc cunoscut pentru ca un salt neprevăzut în memorie datorat unei perturbații să fie anulat de saltul în locul cunoscut.

10.2. MC din familia MOTOROLA (MC cu arhitectură CISC)

Motorola a dezvoltat câteva tipuri de unități centrale, la care s-au atașat o multitudine de interfețe, obținând astfel foarte multe tipuri de circuite, compatibile soft. Motorola a creat astfel posibilitatea producerii a nenumărate variante de MC, care să acopere cât mai multe din aplicațiile utilizatorului, numind aceste structuri CSIC (Customer Specified Integrated Circuit). Spre deosebire de familia 8051 unde pe nucleul creat de INTEL, firme constructoare au dezvoltat propriile MC compatibile, Motorola a creat o familie de MC, obținând astfel o unitate în diversitate.

Schema bloc simplificată a unui MC din familia Motorola este dată în Fig. 10.5.

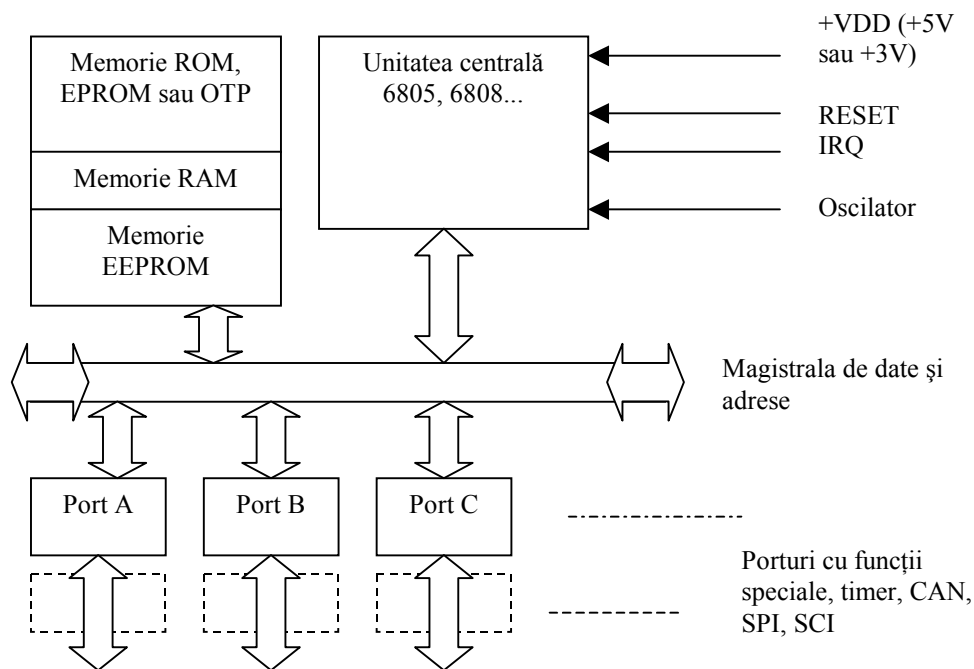


Fig. 10.5. Schema bloc a unui microcontroller Motorola

Porturile I/O pot fi de uz general, dar liniile porturilor pot fi utilizate și de interfețele speciale. În continuare vor fi prezentate blocurile din structura MC Motorola 6805.

10.2.1. MC M68HC05

10.2.1.1 Memoria internă

MC din familia Motorola, ca și toate circuitele MC, sunt echipate cu memorie RAM, ROM și EPROM (OTP). Fiecare din memorii are o capacitate specifică fiecărui tip particular de circuit. Memoria poate fi formată din 176 – 304 octeți de RAM, 240 octeți de ROM și 7600 – 7744 octeți de memorie programabilă (EPROM sau OTP); este cazul circuitului MC68HC705C8.

Memoria RAM este folosită pentru stocarea temporară a datelor. În modul de lucru bootstrap (specific MC Motorola), memoria RAM poate fi încărcată cu informație de tip program prin portul SCI, urmând ca programul să fie executat din RAM. Memoria ROM este folosită pentru a stoca programe. Modulul ROM conține și programul care coordonează încărcarea RAM prin portul SCI. Memoria EPROM (OTP), ca și memoria ROM, conține programe și variabile specifice aplicației cu diferența că acestea sunt înscrise de utilizator, nu de fabricant.

În același spațiu de adresare se află memoria de diferite tipuri, registre I/O și registre de control și stare, privite ca locații de memorie. Pentru a ști adresa la care se află fiecare element se utilizează o reprezentare numită harta memoriei. Harta memoriei pentru un membru al familiei 6805 (MC68HC705J1A) este dată în tabelul 10.5.

Tabel 10.5. Maparea memoriei la MC68HC05J1A

Conținut	Adresa (H)
Date port A	0000
Date port B	0001
Nefolosit	0002-0003
DDR pentru port A	0004
DDR pentru port B	0005
Nefolosit	0006-0007
Stare și control pentru timer	0008
Registru numărător pentru timer	0009
Stare și control a întreruperilor	000A
Nefolosit	000B-0011
Nefolosit	0012-0017
Registru de programare a EPROM	0018
Nefolosit	0019-001F
Nefolosit	0020-00BF
RAM utilizator sau stivă (64 octeți)	00C0-00FF
Nefolosit (512 octeți)	0100-02FF
EPROM 1232 octeți	0300-07CF
Nefolosit 30 octeți	07D0-07ED
Test ROM 2 octeți	07EE-07EF
Registru COP	07F0
Registru de măști	07F1
Rezervați	07F2-07F7
Vector pentru timer (octet semnificativ)	07F8
Vector pentru timer	07F9
Vector pentru IRQ (octet semnificativ)	07FA
Vector pentru IRQ	07FB
Vector pentru SWI (octet semnificativ)	07FC
Vector pentru RESET (octet semnificativ)	07FE
Vector pentru RESET	07FF

Pentru a putea lucra cu un MC particular trebuie studiată alocarea (maparea) memoriei din catalog pentru acel MC, tabelul 10.5. este doar orientativ.

10.2.1.2. Unitatea centrală

Unitatea centrală realizează prelucrarea datelor pe 8 biți la o frecvență internă de 2MHz (tact extern de 4MHz), are o magistrală de adrese de 11-14 biți și conține registre și unitatea aritmetică/logică, Fig. 10.6. În general, la MC Motorola, bus-ul de adrese și de date nu este disponibil în exterior.

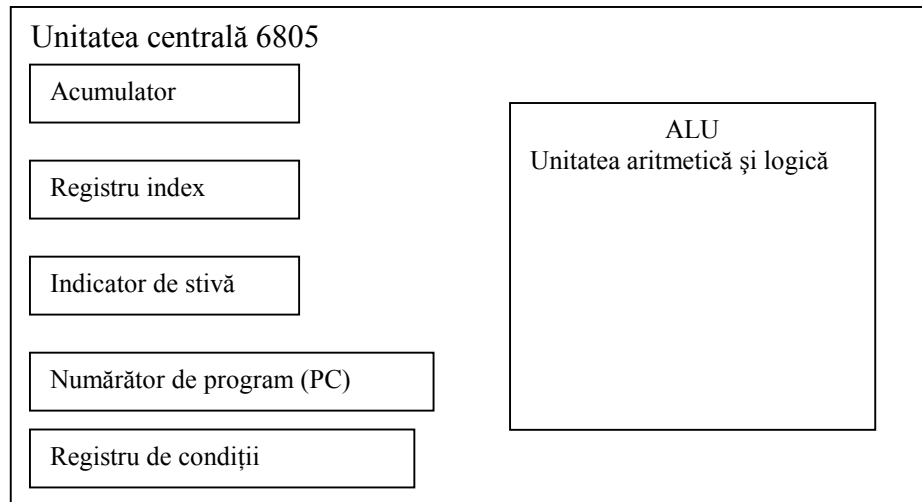


Fig. 10.6. Unitatea centrală 6805

Unitatea centrală are o arhitectură cu bus unic pentru date și instrucțiuni (von Neumann) și conține următoarele registre:

Registru Acumulator (Accumulator - A) este un registru pe 8 biți de uz general. El nu este afectat de Reset.

Registru index (Index Register - X) este un registru pe 8 biți folosit la adresările indexate. Nu este afectat de Reset.

Registru indicator de stivă (Stack Pointer - SP) este un registru de 13 biți care conține adresa următoarei locații libere în stivă. După Reset indicatorul de stivă devine 00FFh.

Registru numărator de program (Program Counter - PC) este un registru de 13 biți care conține adresa următoarei instrucțiuni de executat. După execuția instrucțiunii registru este incrementat. Un salt sau o întrerupere determină încărcarea PC cu altă valoare decât adresa următoarei locații. După Reset registru PC este încărcat cu conținutul locațiilor 3FFFh și 3FFFh (la MC68HC705J1A).

Registru de condiții (Condition Code Register - CCR) este un registru de 8 biți (din care sunt folosiți 5) cu următoarea semnificație:

- Bitul 0 (LSB), (Carry/Borrow Flag) poziționat dacă o adunare produce un transport sau la o scădere este nevoie de împrumut.
- Bitul 1 (Zero Flag), poziționat dacă rezultatul unei operații este zero.
- Bitul 2 (Negative Flag), poziționat dacă rezultatul unei operații este negativ (bitul 7 este 1).
- Bitul 3 (Interrupt Mask Bit) când este 1 sunt invalidate întreruperile. Dacă apare o întrerupere când acest bit este 1, ea este memorată până bitul devine 0. Atunci se salvează registrele UC în stivă. După Reset bitul este setat în 1 și poate fi poziționat în 0 cu instrucțiunea CLI.
- Bitul 4 (Half-Carry) este poziționat când apare un transport de la bitul 3 spre 4 în acumulator la o operație de adunare cu sau fără Carry. Este util la operații BCD.

Unitatea aritmetică și logică realizează operațiile aritmetice și logice definite de setul de instrucțiuni. Multe din instrucțiunile aritmetice se bazează pe algoritmul de la adunare. Astfel, o înmulțire este realizată printr-un șir de adunări și deplasări succesive și durează 11 perioade de clock.

Inițializarea unității centrale

Un Reset duce unitatea centrală într-o stare determinată (la o adresă cunoscută). Un Reset poate fi declanșat de o sursă internă sau de o sursă externă astfel:

- extern, prin pinul de RESET, activ pe 0;
- extern, Power On Reset (POR), la pornirea sursei de alimentare. Circuitul POR asigură o întârziere de 4064 tacte de la momentul în care oscilatorul devine activ și dacă semnalul RESET extern este inactiv, procesorul începe să lucreze;
- intern, de către ceasul de gardă, Computer Operating Properly (COP).
- încercarea de a executa o instrucțiune de la o adresă ilegală. Dacă unitatea centrală încearcă să execute o instrucțiune care nu este în EPROM sau RAM se generează un RESET pentru a proteja MC de scrieri sau citiri din zone necontrolate.

10.2.1.3. Moduri de adresare

Unitatea centrală folosește 8 moduri de adresare pentru o cât mai mare flexibilitate în utilizare:

1. **adresare inerentă** - instrucțiunile nu au operand, cum este întoarcerea din întrerupere (RTI) sau STOP. Instrucțiunile inerente au lungimea de un octet.
2. **adresare imediată** - instrucțiunile au un operand, care este o valoare imediat utilizabilă într-o operație cu acumulatorul sau cu registrul index. Instrucțiunile au doi octeți, primul fiind codul, iar al doilea valoarea imediată.
3. **adresare directă** - instrucțiunile pot avea acces la primele 256 de locații de memorie. Instrucțiunile sunt pe doi octeți, primul este codul iar al doilea este octetul cel mai puțin semnificativ al adresei operandului; octetul cel mai semnificativ este considerat implicit 00h.
4. **adresare extinsă** - instrucțiunile sunt pe trei octeți și pot adresa orice locație de memorie. Primul octet este codul, al doilea este adresa (parte HIGH) iar al treilea este adresa (partea LOW).
5. **adresare indexată fără offset** - instrucțiunile au un octet și pot avea acces la locații cu adresa variabilă din registrul index (care conține partea LOW a adresei). Pentru partea HIGH se folosește 00h, așa încât accesul este în zona 0000-00FFh.
6. **adresare indexată cu offset pe 8 biți** - instrucțiunile au doi octeți, fiind accesibile locații cu adresa variabilă în zona primelor 511 locații. Unitatea centrală adună octetul din instrucțiune la registrul index (fără semn) și se obține adresa efectivă a operandului. Un exemplu de utilizare al acestui mod de adresare este selectarea unui element k dintr-un tabel de n elemente. Valoarea k este în registrul index, iar adresa începutului tabelului este al doilea octet al instrucțiunii.
7. **adresare indexată cu offset pe 16 biți** - instrucțiunile au trei octeți, fiind accesibile toate locațiile. UC adună fără semn registrul index la cei doi octeți din instrucțiune (primul octet după codul instrucțiunii este octetul HIGH) și se obține adresa efectivă a operandului.
8. **adresare relativă** – este folosită în instrucțiunile de salt. La un salt relativ, se adună (cu semn) octetul care urmează după codul instrucțiunii la conținutul Program Counter. Se pot face salturi relative în gama 127 de octeți înainte sau înapoi.

10.2.1.4. Setul de instrucțiuni

Unitatea centrală MC68HC05 are 61 de instrucțiuni (mai mult de 200 de coduri). Câteva dintre instrucțiunile mai importante, clasificate după tipul operației sunt enumerate în continuare.

registru- memorie

ADD, ADC adună conținutul unei locații de memorie la acumulator (fără sau cu transport)

AND și între memorie cu acumulator

CMP compară memorie cu acumulator

EOR sau exclusiv memorie cu acumulator

CPX compară registru index cu memoria

LDA, LDX încarcă acumulator (registru index) cu un octet din memorie

ORA sau logic între acumulator și memorie

SBC, SUB scădere cu sau fără împrumut

STA, STX salvare acumulator (registru index) în memorie

MUL înmulțire

citește- modifică- scrie

ASL, ASR, LSL, LSR deplasare aritmetică (logică) stânga (dreapta)

BSET, BCLR setare sau resetare bit

CLR resetare registru

COM complement față de 1

NEG complement față de 2 (negare)

ROL, ROR rotație stânga (dreapta) prin Carry

TST- test pentru zero sau negativ

de salt

BCC, BCS dacă Carry este 0 sau 1

BEQ, BNE dacă este egal (sau nu)

BHCC, BHCS dacă bitul de Half Carry este 0 sau 1

BHI, BHS dacă este mai mare ori mai mare sau egal

BLO, BLS dacă este mai mic ori mai mic sau egal

BIH, BIL dacă linia de întrerupere externă este 1 sau 0

BMI, BPL dacă este negativ (sau pozitiv)

BMC, BMS dacă masca de întrerupere este 0 sau 1

BRA, JMP salt necondiționat

BSR, JSR salt la subrutină

manipulare la nivel de bit

BCLR, BSET înscrierea unui bit cu 0 (sau în1)

BRCLR, BRSET salt dacă un bit este 0 (sau în1)

de control

CLC, SEC înscriere cu 0 (cu1) a bitului de Carry

CLI, SEI punere la 0 (cu 1) a măștii pentru întrerupere

NOP nu se execută nici o operație

RTI, RTS întoarcere din întrerupere (subrutină)

STOP, WAIT se oprește oscilatorul CPU și se așteaptă o întrerupere externă (se validează întreruperile)

SWI întrerupere software

TAX, TXA transferă acumulatorul în registrul index (sau invers)

10.2.1.5. Sistemul de întreruperi

Unitatea centrală poate fi întreruptă din programul curent de următoarele surse:

- un 0 logic aplicat din exterior pinului /IRQ;
- un 1 logic aplicat din exterior la pinii PA3-PA0 ai portului I/O PA, dacă aceste întreruperi sunt validate;
- o întrerupere de la temporizatorul sistemului (TOF Timer Overflow sau RTIF Real Time Interrupt), dacă întreruperea este validată;
- instrucțiunea de întrerupere software SWI.

Dacă o întrerupere vine în timp ce UC execută o instrucțiune, instrucțiunea în curs este terminată și apoi se consideră întreruperea. Întreruperile pot fi invalidate global în registrul condițiilor de program (CCR) sau individual pentru fiecare sursă în parte. Un Reset inhibă toate întreruperile pentru ca procesul de inițializare să nu poată fi întrerupt.

La apariția unei întreruperi, unitatea centrală termină instrucțiunea în curs, apoi salvează în stivă registrele UC, invalidează întreruperile pentru ca o nouă întrerupere să nu deranjeze servirea întreruperii curente. Cererile de întrerupere sunt memorate și servite după servirea întreruperii curente. În PC se transferă vectorul de întrerupere și se execută rutina de servire a întreruperii. Rutina se termină cu instrucțiunea RTI care restaurează registrele UC din stivă. Vectorii de întrerupere pentru fiecare dintre sursele enumerate mai sus sunt stocați în memorie la adresele:

- | | |
|---|-----------------|
| • timer | 07F8h și 07F9h; |
| • /IRQ sau PA | 07FAh și 07FBh; |
| • instrucțiunea SWI | 07FCh și 07FDh; |
| • Reset (POR, RESET din exterior, COP sau adresă ilegală) | 07Feh și 07FFh. |

Adresele vectorilor se găsesc în harta memoriei furnizată de producător.

Unele MC din familie au și alte interfețe, care pot și ele să solicite întreruperi, așa cum poate cere circuitul timer.

Până la servirea întreruperii trece un anumit interval de timp (tacte), pentru ca UC să termine instrucțiunea curentă și să salveze în stivă registrele. Acest timp este numit Interrupt Latency și poate fi oricât de lung dacă întreruperile nu sunt validate. Cea mai lungă instrucțiune este MUL, care durează 11 tacte, iar unitatea centrală are nevoie de 9 tacte pentru a salva registrele în stivă, deci cel mai lung timp de așteptare pentru servirea unei întreruperi este de 20 de tacte. Acest timp trebuie să fie luat în calcul în momentul realizării unei aplicații în timp real. Dacă survine o a doua întrerupere, timpul de așteptare pentru servirea ei poate fi prea lung. O soluție ar fi validarea întreruperilor în timpul servirii primei întreruperi. În acest caz trebuie avut grijă ca stiva să fie destul de mare pentru a permite salvarea a două seturi de registre.

10.2.1.6. Interfețe și periferice on chip

Blocurile funcționale integrate în circuitul MC sunt de o deosebită importanță în implemenatarea unei aplicații. Este în egală măsură important să fie cunoscute și bine stăpânite atât capabilitățile unității centrale cât și ale interfețelor cu care este echipat MC – această cunoaștere conduce la o exploatare performantă a resurselor.

a. Porturi paralele I/O

Porturile paralele I/O sunt forma cea mai simplă a interfețelor. MC68HC705C8 dispune de 31 de linii I/O digitale de uz general grupate în patru porturi. Porturile A, B, și C sunt porturi de câte opt biți fiecare; sensul transferului pe fiecare linie (intrare sau ieșire) poate fi stabilit prin program. Fiecare linie are asociat câte un registru de direcție (DDR). În Fig. 10.7. este ilustrată organizarea portului A al circuitului mai sus menționat; Organizarea este identică și la celelalte două porturi de opt biți, porturile C și D.

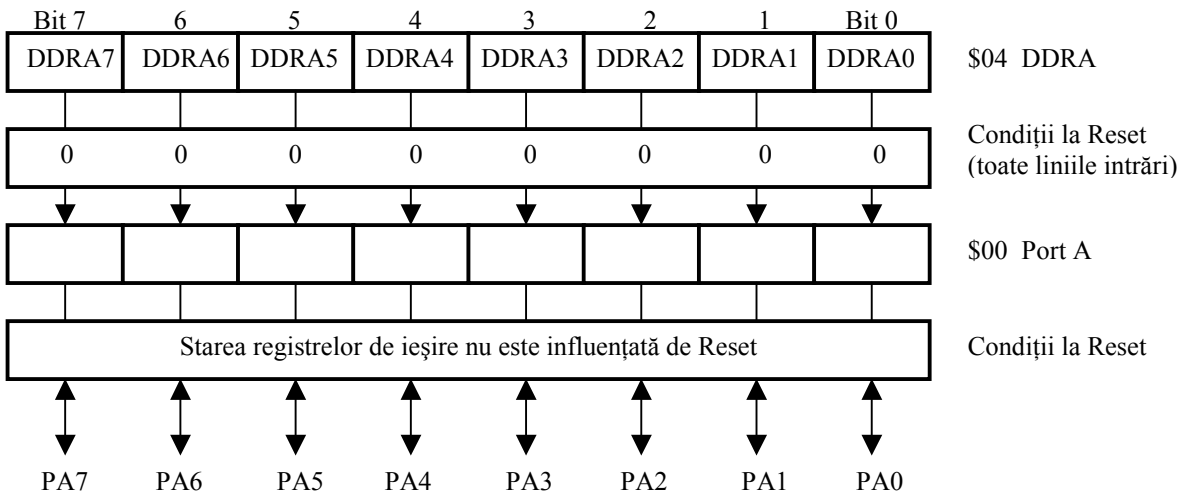


Fig. 10. 7. Organizarea portului paralel A (MC68HC705C8)

Structura circuitului pentru o linie bidirecțională de scriere/citire la porturi este redată în Fig 10.8. Se poate constata modul de acționare a bitului din registrul de sens asupra circuitului driver de ieșire.

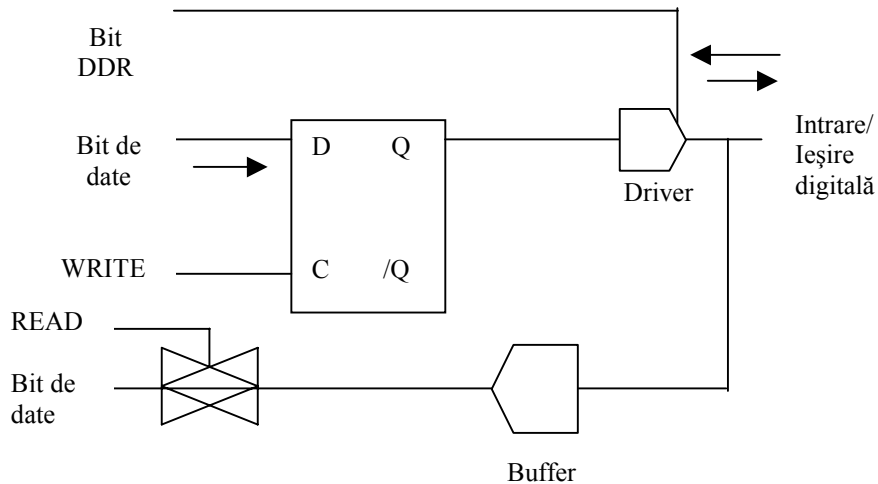


Fig. 10.8. Circuite bidirecționale de scriere/citire la porturi

Portul D dispune de șapte linii (fără PD6); acestea pot fi folosite doar ca linii de intrare. O particularitate a acestui port este faptul că pini corespunzători sunt folosiți fie de portul D, fie de porturile seriale SPI și SCI, în funcție de starea de activare înscrisă în registrele de comandă SPI și SCI.

Liniile pot fi citite sau scrise de unitatea centrală cu instrucțiuni specifice. Liniile pot fi apelate grupat, la nivel de port sau individual, la nivel de bit. Pentru a economisi timpul unității centrale, interfețele pot lucra cu unitatea centrală prin intermediul întreruperilor.

b. Portul serial asincron SCI (Serial Communications Interface)

SCI este un transmițător receptor asincron universal (UART) cu posibilitatea lucrului full-duplex. Pentru un transfer bidirecțional sunt suficienți 2 pini. Cu circuite de translație de nivel RS232 se pot face transferuri la distanțe suficient de mari. Se poate programa una din 32 viteze de transmisie și lungimea caracterului; se pot valida separat transmițătorul și receptorul; se pot genera întreruperi în diferite situații; se poate detecta eroare de cadrare la recepție.

Formatul datelor este ca la orice transmisie asincronă (RS232 sau RS422). Linia este în stare MARK, iar transmisia unui caracter este semnalată de trecerea liniei în stare SPACE pe durata bitului de START. Urmează 8 sau 9 biți de date și un bit de STOP.

Datele care se doresc a fi transmise sunt scrise în registrul de date al SCI (SCDR), apoi se validează transmisia prin poziționarea bitului TE (Transmit Enable) în registrul de control al SCI (SCCR2). După ce cuvântul a fost transmis, se poziționează bitul TDRE (Transmit Data Register Empty) în registrul de stare SCSR (SCI Status Register). Se indică astfel că poate fi transmis un nou cuvânt. Se pot transmite caractere speciale, cum ar fi BREAK, care ține linia în stare SPACE (se transmite un șir de 0) dacă se poziționează bitul SBK în SCCR2 sau un caracter care ține linia în stare MARK.

Golirea registrului de date semnalizată de TDRE sau de TC (Transmission Complete) din SCDR poate genera o întrerupere.

Datele sunt recepționate în SCDR, la recepția completă fiind poziționat bitul RDRF (Receive Data Register Full) în SCSR. Pentru eliminarea recepțiilor false fiecare bit de start este eșantionat și citit de 16 ori; orice nepotrivire a eșantioanelor duce la respingerea acestui bit. Dacă nu se recepționează bitul de STOP se anunță o eroare de cadrare prin poziționarea bitului FE în SCR.

Întreruperile la recepție pot fi generate dacă bitul RDRF din SCSR indică recepția unui caracter, dacă este o eroare de viteză de recepție prin recepția unui caracter înainte ca cel precedent să fi fost citit sau dacă s-a recepționat un caracter special format numai din valori de 1.

Structura registrului de control SCCR1 este:

Bit 7 este al 9-lea bit recepționat dacă s-a definit o transmisie pe 9 biți

Bit 6 este al 9-lea bit de transmis dacă s-a definit o transmisie pe 9 biți

Bit 4 comandă lungimea caracterului, 8 sau 9 biți

Bit 3 este un bit de trezire care comandă ce fel de condiție trezește SCI

Structura registrului de control SCCR2 este:

- Bit 7 TIE Transmit Interrupt Enable - validează întreruperile cerute de TDRE
- Bit 6 TCIE Transmit Complete Interrupt Enable - validează întreruperile cerute de TC
- Bit 5 RIE Receive Interrupt Enable - validează întreruperile cerute de RDRF
- Bit 4 ILIE Idle Interrupt Enable Bit - validează întreruperile cerute de caracterul șir de 1
- Bit 3 TE Transmit Enable - validează transmisia
- Bit 2 RE Receive Enable - validează recepția
- Bit 1 RWU Receiver Wakeup Enable - pune receptorul în stare de așteptare
- Bit 0 SBK Send Break - trimite caracterul BREAK

Structura registrului de stare SCSR este:

- Bit 7 TDRE Transmit Data Register Empty - registru de transmisie gol
- Bit 6 TC Transmission Complete - transmisie completă
- Bit 5 RDRF Receive Data Register Full - registru de recepție plin
- Bit 4 IDLE - s-a recepționat un șir de 1
- Bit 3 OR Receiver overrun - eroare de viteză de recepție
- Bit 2 NF Receiver Noise - s-au detectat perturbații în datele citite (prin eșantionarea bitului de START)
- Bit 1 FE Framing Error - eroare de cadrare.

Registrul ratei de transfer este descris în tabelul 10.6.

Tabel 10.6. Conținutul registrului ratei de transfer

Bit 5	Bit 4	Ceas pentru transfer	Bit 2	Bit 1	Bit 0	Rata de transfer
0	0	ceas intern	0	0	0	ceas de transfer
0	1	ceas intern /3	0	0	1	ceas de transfer/2
1	0	ceas intern/4	0	1	0	ceas de transfer/4
1	1	ceas intern/13	0	1	1	ceas de transfer/8
			1	0	0	ceas de transfer/16
			1	0	1	ceas de transfer/32
			1	1	0	ceas de transfer/64
			1	1	1	ceas de transfer/128

Rata de transfer se obține printr-o dublă divizare, întâi se obține un ceas de transfer prin divizarea ceasului intern, apoi se divizează ceasul de transfer. Se pot astfel obține diferite rate de transfer, de exemplu 4800 Baud (4808) la un ceas de 2MHz prin divizarea întâi cu 13, apoi cu 1.

c. Portul serial SPI (Serial Peripheral Interface)

Cu acest port se poate realiza o comunicație sincronă simplă, folosită de regulă pentru a transfera date între circuite pe același montaj cu MC. Un transfer bidirecțional necesită 3 pini, unul dintre ei fiind alocat ceasului de transmisie generat de masterul SPI. Cu SPI se pot realiza transferuri și între microcontrollere. Transferurile pot fi full duplex.

Registrele care controlează transferul SPI sunt registrul de control (SPICR SPI Control Register) și registrul de stare (SPISR SPI Status Register). Un transfer SPI poate fi inițiat

doar de un master. Masterul scrie un octet în registrul de transmisie SPI (SPDR SPI Data Register) de unde datele merg într-un registru de deplasare în care sunt serializate și de unde sunt transmise sincron cu ceasul de transmisie. Transmisia se termină după 8 tacte, când se poziționează bitul SPIF. Înainte ca masterul să trimită un nou octet trebuie să se reseteze bitul SPIF prin citirea registrului de stare SPSR. În slave datele intră în registrul de deplasare cu tactul de recepție, același cu cel de transmisie. Când au intrat 8 biți, caracterul este transferat în registrul de date SPDR. Pentru a se evita erorile de viteză (sau de suprascrisoare - Overrun) trebuie ca octetul din SPDR să fie citit înainte ca un alt octet să fie transmis din registrul de deplasare.

Poziționând bitul MSTR din registrul SPCR în 1, MC lucrează în mod master. În acest mod pinii au următoarea semnificație:

- SCK (Serial Clock) este ieșire de tact pentru sincronizare;
- MOSI (Master Output Slave Input) este ieșirea serială;
- MISO (Master Input Slave Output) este intrarea serială;
- /SS (Slave Select) protejează MC dacă două circuite sunt master. Acest semnal activ dezechetă la celălalt port SPI modul master, șterge bitul MSTR și poziționează bitul de eroare (MODF Mode Fault Flag).

Cu bitul MSTR=0 se validează modul slave, în care pinii au semnificația:

- SCK (Serial Clock) este intrarea de tact pentru sincronizare de la MASTER;
- MOSI (Master Output Slave Input) este intrarea serială;
- MISO (Master Input Slave Output) este ieșirea serială;
- /SS (Slave Select) validează SPI pentru modul slave.

În Fig. 10.9. este arătată o conexiune SPI în care sunt legate un circuit master și mai multe circuite slave.

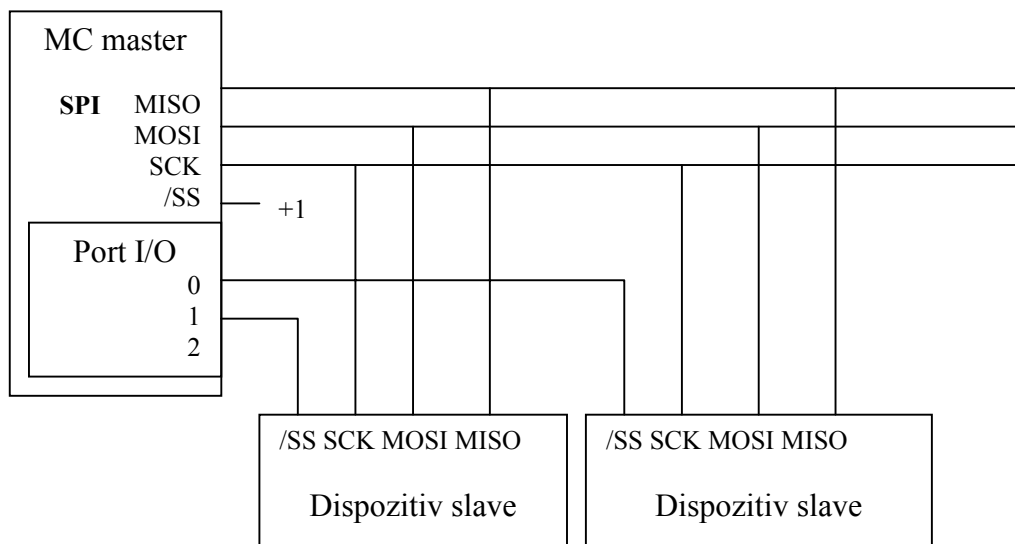


Fig. 10.9. Conexiune SPI

Circuitele slave sunt validate pe rând cu semnale dintr-un port de ieșire auxiliar.

Pentru a putea adapta transmisiei seriale cât mai multe echipamente seriale, se poate programa faza și polaritatea ceasului de sincronizare cu biții CPOL și CPHA din SPCR.

În SPI pot apare următoarele erori:

- mai multe MC master conectate (Mode Fault Error)
- scrierea în SPDR în timpul unei transmisii (coliziune), are ca urmare scrierea bitului WCOL în SPSR;
- omiterea citirii SPDR înainte ca următorul octet să sosească (suprascriere).

O întrerupere poate fi generată în următoarele situații:

- registrul de date este gol sau plin (la transmisie respectiv la recepție) se semnalează cu SPIF care poate genera o întrerupere dacă întreruperea este validată cu SPIE;
- la apariția unei erori Mode Fault semnalată cu MODF, dacă întreruperea este validată cu SPIE.

d. Timer

Circuitele de timp – timere - care echipează MC Motorola sunt foarte variate. De la cel mai simplu (MC68HC05J) care poate genera 2 întreruperi periodice: una cu frecvența fixă și una cu frecvența variabilă, și până la cel mai complex (MC68332) care conține un temporizator cu propria lui unitate aritmetică și logică proiectat special pentru controlul motoarelor cu ardere internă.

Un temporizator tipic (de la MC68HC705J1A), nu cel mai simplu dar nici cel mai complex, are schema bloc dată în Fig. 10.10.

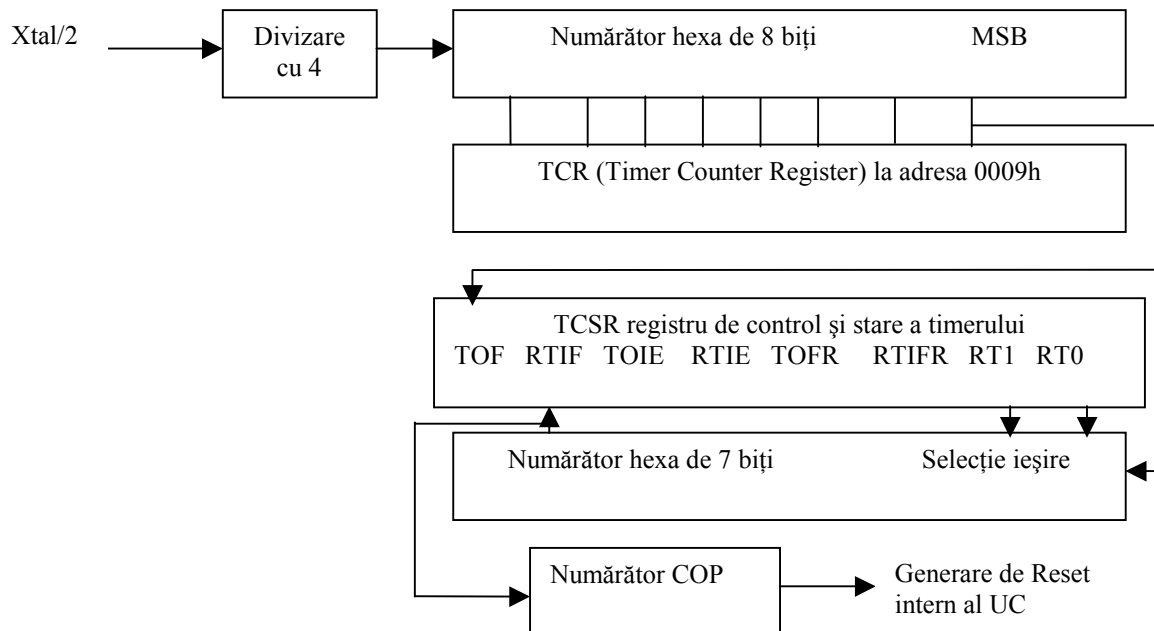


Fig. 10.10. Timer 6805

Ceasul de intrare în timer este ceasul de magistrală (frecvența cristalului/2) care, după o divizare cu 4, constituie tact pentru un numărător de 8 biți. Valoarea acestui registru numărător poate fi citită de UC în oricare moment la locația 09h (TCR Timer Counter Register). UC nu poate să modifice valoarea acestui registru. Când numărătorul trece de la

FFh la 00h este poziționat bitul TOF (Timer Overflow Flag) în registrul de stare al timerului (TCSR Timer Control and Status Register). Starea acestui bit poate fi citită de UC în oricare moment. Dacă bitul TOIE (Timer Overflow Interrupt Enable) din registrul de stare TCSR este 1, în momentul trecerii de la FFh la 00h se generează o întrerupere, numită întrerupere de depășire (Overflow Interrupt).

Ieșirea număratorului de 8 biți constituie tact pentru un alt numărător de 7 biți. Ieșirea de la oricare dintre cei mai semnificativi 4 biți ai acestui ultim numărător (selectată de unul din cei doi biți RT1 și RT0 din registrul de control TCSR) poate fi folosită pentru generarea unei întreruperi, numită de timp real (Real Time Interrupt) care înscrie bitul RTIF (Real Time Interrupt Flag) din TCSR. Se generează o întrerupere dacă bitul RTIE (Real Time Interrupt Enable) este 1.

Ultimul nivel al timerului este un numărător de 3 biți folosit pentru cesul de gardă (COP Computer Operating Properly). Dacă este validată verificarea COP, trebuie ca programatorul să reseteze COP înainte de expirarea perioadei programate pentru comanda unui RESET al UC. Perioada de timp în care COP trebuie resetat depinde de RT1 și RT0. În tabelul 10.7. sunt date perioadele de întrerupere și perioadele în care COP trebuie resetat. Perioadele corespund unui tact de 2MHz:

Tabel 10.7. Perioade de întrerupere și perioade de reset programabile cu un tact de 2 MHz.

RT1	RT0	Perioada de întrerupere	Perioada în care COP trebuie resetat
0	0	8.2ms	57.3ms
0	1	16.4ms	114.7ms
1	0	32.8ms	229.4ms
1	1	65.5ms	458.8ms

Un reset al COP se poate realiza prin scrierea bitului 0 de la adresa 07F0h (COPR COP Register).

MC din seria 68705 sunt echipate cu un temporizator care are posibilitatea de captură și comparare. Captura poate înregistra momentul la care apare un eveniment extern (o tranziție pe pinul TCAP). În acest moment memorează conținutul registrelor timerului în registrele de captură. Memorarea registrelor timerului la tranziții de aceeași polaritate a TCAP poate determina perioada unui semnal, iar la tranziții de polaritate opusă poate determina lățimea unui impuls. Polaritatea de declanșare este programabilă. Prin comparare se poate genera un semnal de ieșire când numărătorul timerului atinge o valoare selectată. La fiecare 4 tacte se compară valoarea număratorului cu cea scrisă în registrul de comparare. Dacă este egalitate se generează un semnal TCMP.

e. Portul PWM

Modulația impulsurilor în lățime (Pulse Width Modulation) are multe aplicații, mai ales în comanda motoarelor de curent continuu sau a surselor de alimentare. Din acest motiv unele MC includ în structura lor un modulator PWM ca interfață.

Un semnal PWM arată ca în Fig. 10.11.

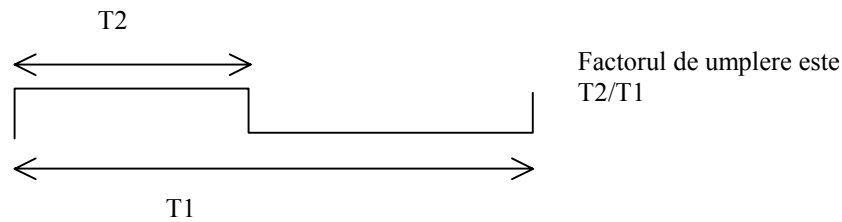


Fig. 9.11. Semnal PWM

Circuitul MC68HC05D9 conține 5 canale PWM de câte 6 biți care sunt realizate cu ajutorul unui numărator de 6 biți, un registru de control PWM și 5 registre de date care formează 5 linii PWM ce sunt disponibile la pinii portului D (Fig. 10.12).

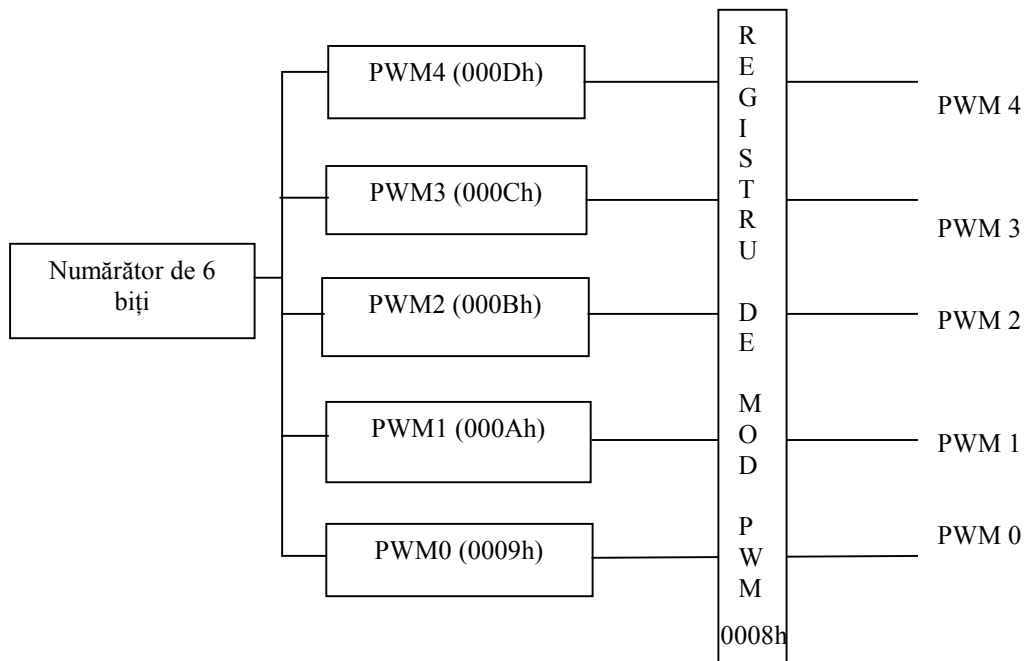


Fig. 10.12. Structura modulului PWM la familia 6805

În registrul de mod sunt 5 biți care validează modulul PWM astfel încât semnalele PWM să fie livrate pe la pinii portului D. Tot în registrul de mod mai este un bit, SCIB, care selectează dacă la adresa 000Dh să fie date pentru PWM sau rata de divizare pentru SCI. Dacă nu sunt folosite ca ieșiri PWM, liniile portului D pot fi folosite ca intrări/ieșiri obișnuite. Registrul de mod PWM se află la adresa 0008h.

Dacă se încarcă registrul de date cu 00h semnalul la ieșire va fi tot timpul zero. Înscrierea valorii 20h în registrul de date are ca rezultat un semnal cu factor de umplere 50% la ieșirea corespunzătoare, iar încărcarea valorii 3Fh va determina un semnal cu factor de umplere de 63/64.

f. Portul USB (MC68HC05JB4)

MC68HC05JB4 conține un convertor A/D și o interfață USB, ceea ce îl face ideal pentru achiziția de date și transferul lor către un calculator PC-AT. Datorită structurii USB,

este posibilă realizarea unui punct central de prelucrare echipat cu PC și multe puncte de achiziție echipate cu acest MC.

Modulul USB implementează standardul USB 1.0, de mică viteză, la 1,5Mbps, cu 3 puncte de capăt (End Point). MC conține și transceiverul USB. Schema bloc a modului USB este dată în Fig. 10.13.

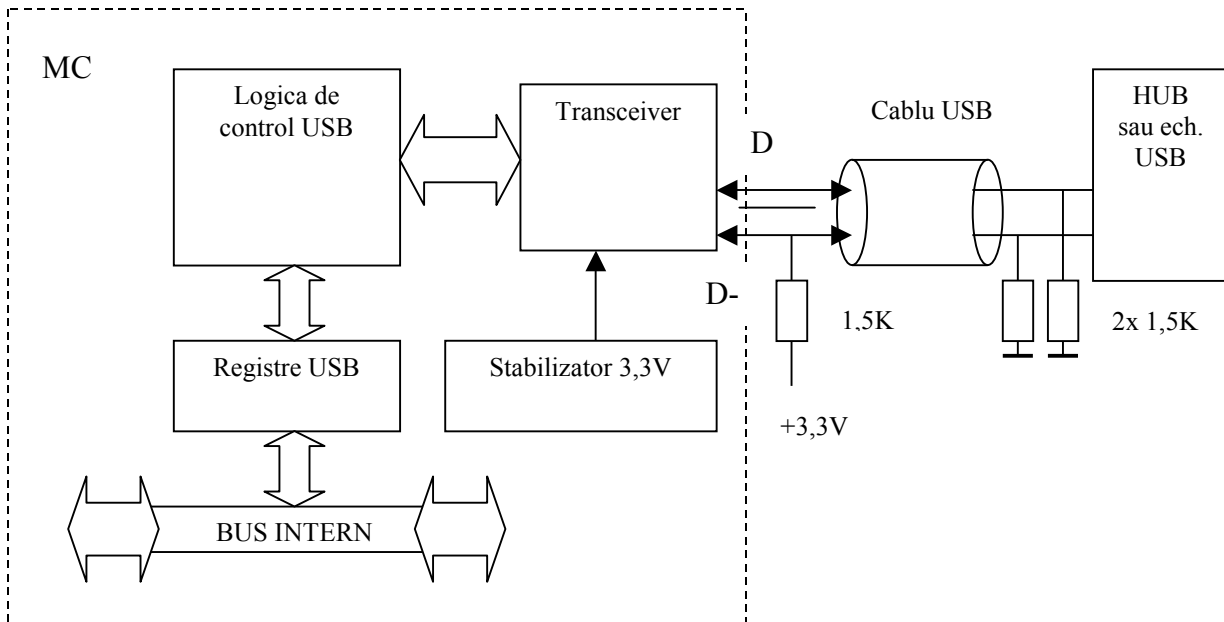


Fig. 10.13. Structura internă a portului USB

Transceiverul are o ieșire diferențială care poate lucra cu 3 stări pentru a permite transferul de date bidirecțional de tip full-duplex. Receptorul trebuie să fie de asemenea cu intrări diferențiale.

Comanda interfeței USB se realizează prin intermediul a 3 registre de comandă iar starea poate fi citită dintr-un registru de stare. Există un registru de adresă și 24 de registre de date. Modul de funcționare în întreruperi este programat prin registrul de întreruperi. Interfața USB poate lucra în modul de economie de energie dacă nu există trafic pe linii un anumit interval de timp. Apariția unei date la recepție sau emisia unei date de către UC produce ieșirea din starea inactivă.

g. Interfața LCD

MC6805 DragonKat este denumirea unui MC din familia 6805 care conține o interfață pentru un afișor cu cristale lichide.

Interfața pentru LCD conține:

- logica de control pentru sincronizare;
- RAM-ul de display care stochează datele pentru display printr-o corespondență 1 la 1 a biților (fiecare bit din memorie are corespondent un punct pe LCD). Memoria este organizată în cuvinte de 5 biți și poate fi scrisă sau citită;

- registru de date este folosit pentru a stoca datele din memoria RAM a LCD;
- generator de tensiune care conține un divizor de tensiune pentru alimentarea segmentelor și a planului din spate;
- driver pentru planul din spate;
- driver pentru segmente.

Un afișaj LCD arată ca în Fig 10.14.

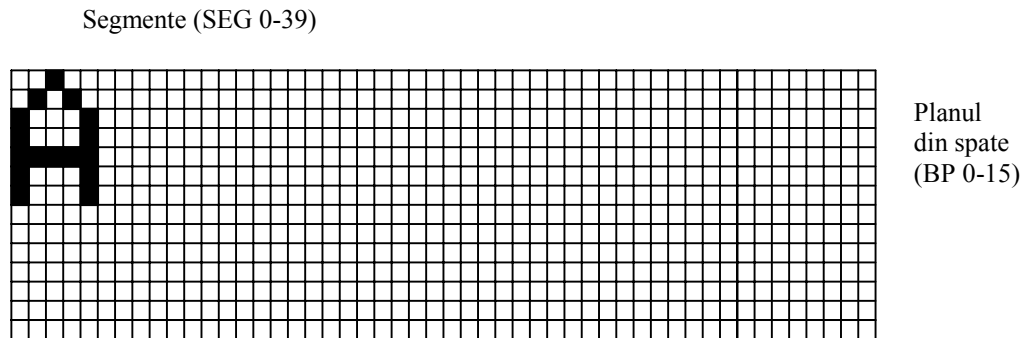


Fig. 10.14 Afișaj LCD

Un punct este aprins când o linie Bpi și una SEGi sunt active. Pentru caracterul A, memoria RAM de display are conținutul din tabelul 10.8.

Tabel 10.8. Conținutul memoriei pentru afișarea caracterului A

Adresa	Bit0	Bit1	Bit2	Bit3	Bit4
200	0	0	1	0	0
201	0	1	0	1	0
202	1	0	0	0	1
203	1	0	0	0	1
204	1	1	1	1	1
205	1	0	0	0	1
206	1	0	0	0	1
207	0	0	0	0	0

Punctul de sus a lui A de exemplu, se scrie cu BP0 și SEG2 active. Semnalele SEG și BP sunt periodice și baleiază tot timpul afișajul pentru a menține punctele aprinse. Frecvența semnalelor de aprindere a punctelor este de 32kHz, iar frecvența unui cadru este de 62,5Hz.

Dimensiunea panourilor LCD diferă, de aceea diferă și consumul de curent. Tensiunea spre afișaj este obținută prin înserierea unor rezistențe, înseriere care poate fi comandată soft.

Schema bloc a interfeței pentru LCD este dată în Fig. 10.15.

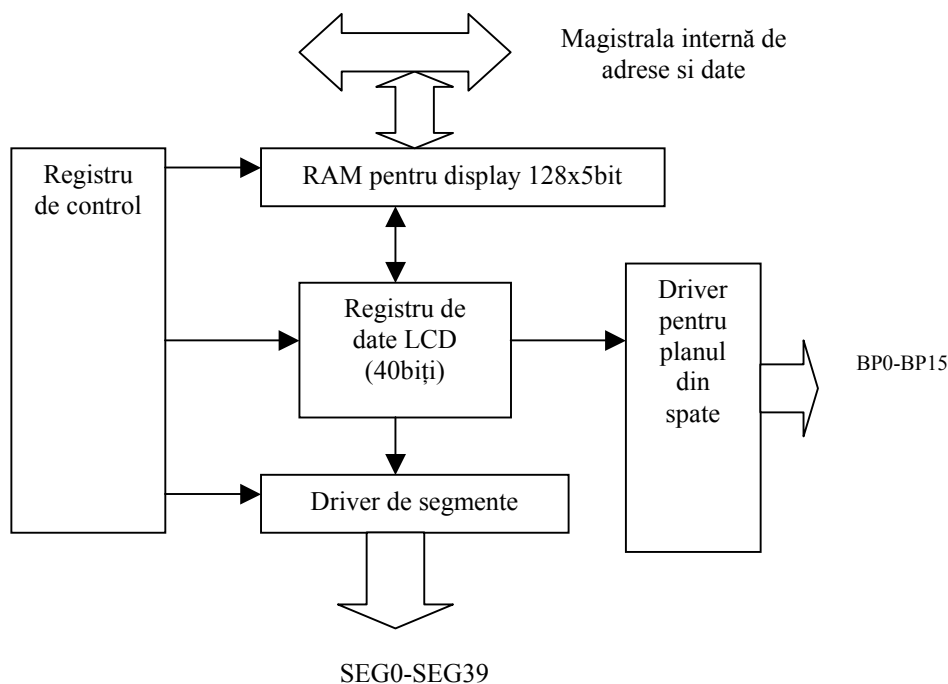


Fig. 10.15. Schema bloc a interfeței LCD

10.2.1.7. Modurile de lucru cu economie de energie

Instrucțiunea STOP plasează UC în modul de lucru cu consum minim de energie. Ceasul intern este oprit și toate procesele interne sunt oprite, inclusiv timerul. Întreruperile externe sunt validate automat în registrul CCR. Sunt șterse registrele aferente timerului și canalului SCI, dar celelalte registre și memoria nu sunt alterate. Unitatea centrală poate fi trezită din STOP doar de o întrerupere externă.

Instrucțiunea WAIT plasează UC într-un mod de lucru cu consum redus de energie. Rămân active timerul și canalul serial SCI. Orice întrerupere validată, primită din exterior sau de la temporizator sau SCI, trezesc unitatea centrală. Întreruperile sunt validate automat. Toate registrele și memoria rămân cu datele avute la intrarea în starea WAIT.

10.2.1.8. Autoverificarea

MC are 2 moduri de operare: normal și auto-verificare. Modul de operare este selectat de nivelul logic pe pinul IRQ în momentul unui RESET. În modul normal de operare începe rularea unui program din EPROM, deci EPROM-ul trebuie să fie programat dacă a fost ales modul normal de operare. În modul autotest MC rulează un program conținut în ROM în zona de memorie 3F00h-3FDEh. Autotestul comunică rezultatele la pini PC3-PC0, unde se pot conecta LED-uri.

10.2.1.9. Programarea EPROM

Unele MC din familie conțin ROM, așa cum este MC68HC05D9 care conține 16K octeți de PROM sau MC68HC05D24 care conține 24K octeți de ROM. Modelul MC68HC05D32 are 32K octeți memorie EPROM, cu posibilitatea de ștergere UV. Înscrisura memoriei se face cu ajutorul unei tensiuni suplimentare de 15V (Vpp). Circuitele

MC68HC705C8A conțin 8K EPROM sau OTP. Memoria EPROM sau OTP se poate programa cu ajutorul unui modul special, construit de Motorola, sau folosind un montaj în care programul se încarcă în MC dintr-o memorie EPROM externă sau cu orice programator care poate să adreseze și să pună date pe liniile de date (Fig. 10.16.).

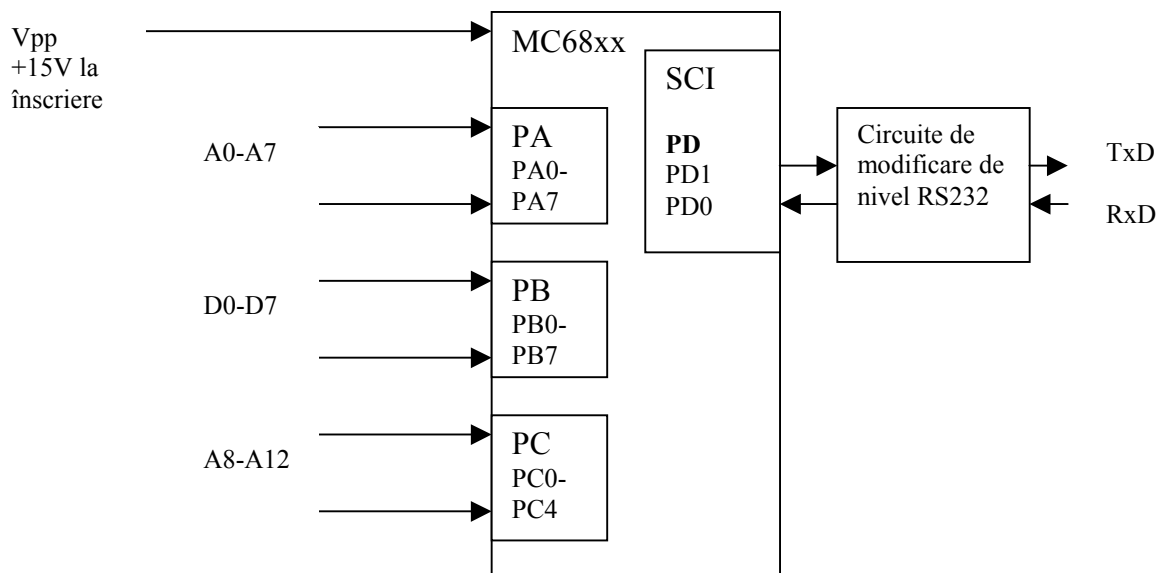


Fig. 10.16. Schema unui programator EPROM (sau OTP)

Adresele se stabilesc la portul A, iar cele mai semnificative linii (A8-A12) se stabilesc la portul C (PC0-PC4). Liniile cu datele de înscris se stabilesc la portul B. Registrul folosit pentru programarea EPROM-ului este registrul de programare (PROG).

- Bit 2- LAT (Latch Enable Bit), poziționat în 1, comandă ca liniile de adrese și date să fie bufferate pentru ca în următorul ciclu să se facă o scriere a EPROM-ului;
- Bit 0 (PGM) validează tensiunea Vpp pentru programarea EPROM-ului.

Se pune problema cum se poate ca un MC care nu a fost programat să lucreze sub comanda unui program ca să poată avea acces la programarea unui registru. Pentru programare MC trebuie să lucreze în modul bootstrap, mod în care MC intră prin forțarea liniei IRQ în timpul unui RESET. Programe simple utilizator pot fi introduse în RAM prin interfața SCI (Serial Communications Interface) și rulate. Programul se transmite prin interfața serială, după care se rulează programul din RAM. Parametrii comunicației impliciți la Reset sunt 8 biți de date și un bit de STOP, la viteza de 4800bps. Primul octet trimis reprezintă numărul total de octeți care vor fi trimiși. Conținutul EPROM-ului poate fi verificat prin citirea lui tot prin SCI. Conținutul EPROM-ului se poate ascunde, așa încât să nu mai poată fi citit din exterior prin poziționarea unui bit de securizare în registrul de opțiuni (adresa 1FDFh).

10.2.2. MC M68HC08

Familia 6808 urmează în timp familiei 6805, bineînțeles cu îmbunătățiri care vor fi amintite în acest subcapitol. MC din familia 6808 sunt compatibile cu cele din familia descrisă în subcapitolul anterior (9.2.1.). Ca îmbunătățiri ale UC 6805 pot fi menționate:

- indicatorul de stivă este un registru de 16 biți (13 la 6805);
- registrul de index este de 16 biți, există posibilitatea manipulării lui separat a octetului superior și a celui inferior (8 biți la 6805);
- frecvența internă CPU standard este de 8MHz (2MHz la 6805);
- se pot adresa 64K octeți memorie de date sau program (2K-16K la 6805);
- are 16 moduri de adresare (8 la 6805) și 78 de noi coduri de instrucțiuni;
- se pot face mutări de date între locații de memorie fără intermediul acumulatorului;
- UC poate executa împărțiri de operanzi de 2 octeți la operanzi de 1 octet;
- operarea secvențială a UC poate fi oprită de 2 tipuri de evenimente: reset sau întreruperi. Sursele de Reset suplimentare față de 6805 sunt:
 - detectarea unui cod de instrucțiune inexistentă;
 - tensiune de alimentare sub o limită acceptată (LVI, Low Voltage Inhibit).

Un Reset comandă încărcarea registrului PC cu valoarea aflată la adresele FFFEh și FFFFh.

- sistemul de întreruperi admite un număr maxim de 128 de surse de întrerupere: reset, SWI și IRQ0-IRQ125. Unele dintre aceste cereri de întrerupere sunt accesibile la pin. Întreruperea software are cea mai mare prioritate. În mod WAIT ceasul UC este oprit, dar celelalte module au ceas, astfel încât orice întrerupere trezește UC. În mod STOP toate ceasurile sunt oprite și doar o întrerupere externă poate trezi UC.

Schema bloc a unui MC 6808 este prezentată în Fig. 10.17.

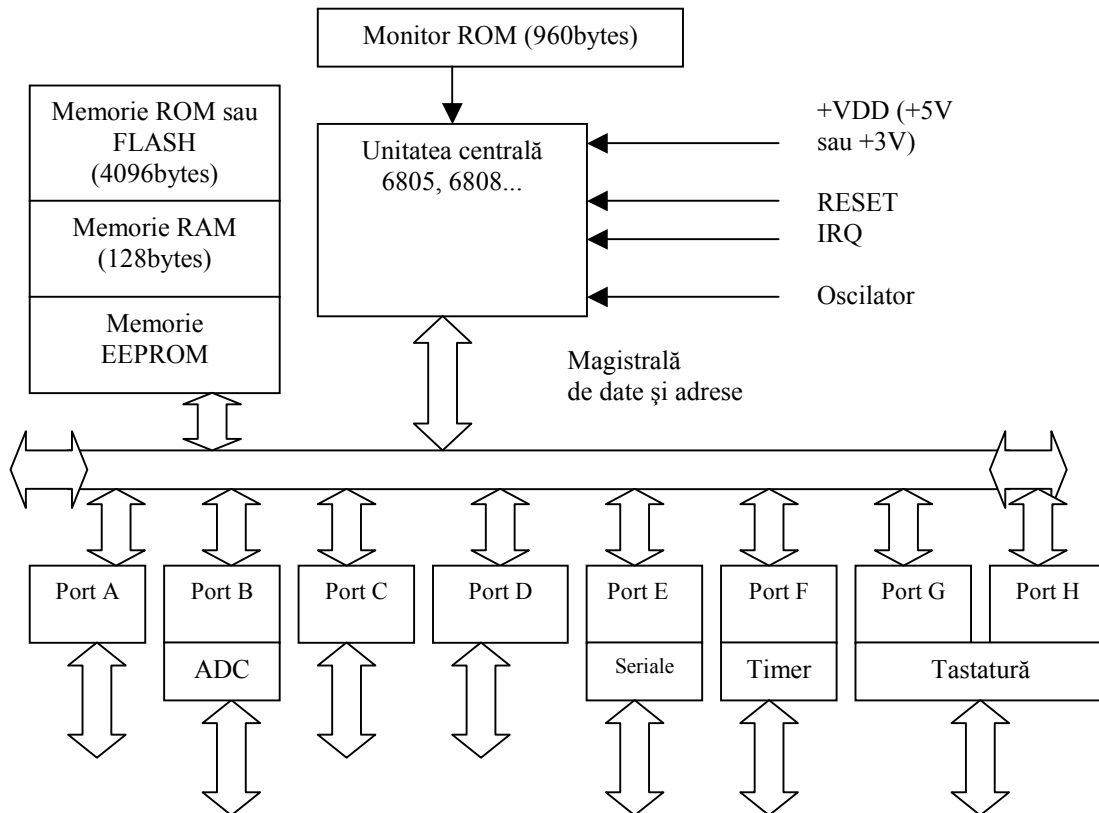


Fig. 10.17. Schema bloc a unui MC din familia 6808

10.2.2.1. Unitatea centrală

Unitatea centrală 6808 admite 2 moduri de lucru: un mod utilizator și un mod monitor ROM. Modul de lucru poate fi ales prin poziționarea unui pin din exterior (IRQ) în 1 sau 0 în timpul unui RESET. Modul monitor creează posibilitatea legării MC cu un calculator gazdă printr-un canal serial, transferarea soft-ului de pe calculatorul gazdă în MC și execuția lui din RAM. Pentru MC echipate cu EEPROM în mod monitor se poate programa EEPROM-ul. Legătura serială între calculator și MC este RS232 prin intermediul pinilor unui port I/O. În mod monitor MC poate să execute programe din RAM cu ajutorul unor comenzi simple monitor, toate funcțiile MC fiind valide. În modul monitor COP este invalidat. Transferul de date este bidirecțional. Fiecare comandă spre MC este urmată de un răspuns ecou al MC. Comenzile monitorului sunt:

- READ - citește o locație de memorie (se trimite cod+2 octeți de adresă și se returnează conținutul locației),
- WRITE - scrie o locație de memorie (se trimite cod+2 octeți de adresă+octetul de scris)
- IREAD - citire indexată, citește următorii 2 octeți din memorie față de ultima adresă accesată
- IWRITE - scriere indexată, scrie următorii 2 octeți din memorie față de ultima adresă accesată
- READSP - citește indicatorul de stivă
- RUN - rulează program

Viteza de transfer implicită între MC și calculator este de 4800bps cu pinul PTC3 ținut la 1 în timpul resetului și 9600bps cu pinul PTC3 ținut la 0 în timpul resetului.

10.2.2.2. Interfețe și periferice on chip

a. Porturi paralele I/O

MC 6808 poate gestiona 8 porturi I/O (A,B,C,D,E,F,G,H) cu linii care pot fi programate ca ieșiri sau intrări. Liniile nefolosite trebuie legate la masă sau la tensiunea de alimentare pentru a preveni defectarea circuitului prin descărcări electrostatice sau consumul excesiv de curent.

Fiecărui port îi corespunde un registru de direcție (DDR) prin care se programează sensul de transfer al pinului. Unele porturi au semnificații duble, dacă liniile lor sunt folosite și de alte interfețe:

- portul B poate fi folosit ca 8 linii de intrare în ADC;
- portul C este un port de 6 biți, bitul 2 se poate folosi pentru a furniza în exterior ceasul sistemului;
- portul D poate avea 2 biți folosiți ca intrări pentru temporizator (Bit 6 și Bit 4);
- portul E poate fi folosit ca și canal SPI și SCI;
- portul F este un port de 7 biți care poate fi folosit ca intrări/ieșiri pentru temporizator;
- portul G este un port de 3 biți, liniile pot fi folosite ca interfață pentru tastatură;
- portul H este un port de 2 biți, liniile pot fi folosite ca interfață pentru tastatură.

b. Convertorul analog digital (ADC)

Convertorul A/D este un convertor pe 8 biți cu aproximări succesive care poate face conversii continue sau la primirea unei comenzi. Sfârșitul conversiei poate fi semnalizat cu un bit indicator (flag) sau poate cere o întrerupere. Ceasul de conversie poate fi selectat. Un MC are 8 canale de conversie cu intrări multiplexate analogice.

Intrările pentru ADC se fac pe pini portului de uz general PTB7-PTB0. Selecția canalului se face pentru a stabili care pin este intrare analogică. Ceilalți pini pot fi folosiți ca intrări/ieșiri de uz general. Dacă valoarea citită este VREFH, atunci valoarea digitală va fi FFh, iar dacă este VREFL atunci valoarea digitală va fi 00h. Aceste tensiuni, împreună cu tensiunea de alimentare pentru blocul analogic al MC sunt furnizate din exterior. Schema bloc a convertorului este dată în Fig. 10.18.

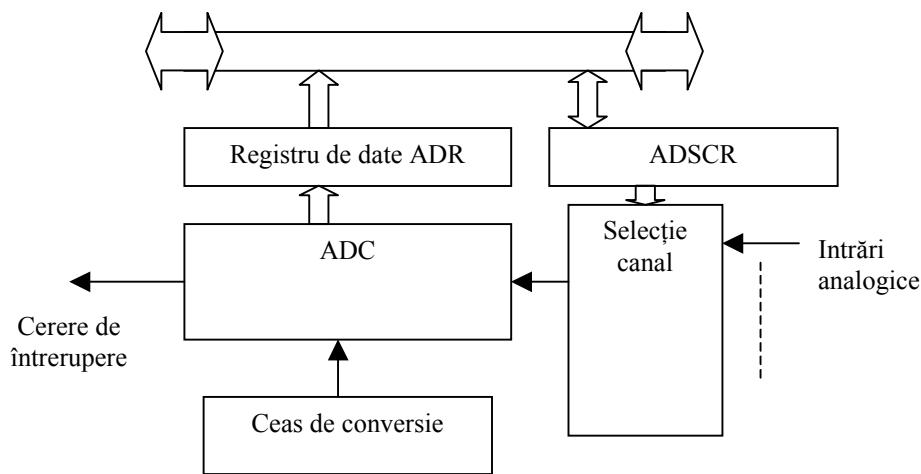


Fig. 10.18. Schema bloc a convertorului analog digital

Registrele ADC sunt:

registru de control și stare al ADC (ADSCR), care conține:

- Bit 7 COCO/IDMAS, conversie completă sau selecție întrerupere DMA. Dacă întreruperile sunt invalidate (AIEN=0), COCO este poziționat de fiecare dată când se termină o conversie. În modul de conversie continuă datele se suprascriu în registrul de date după fiecare conversie și COCO este poziționat doar după prima conversie. Dacă întreruperile sunt validate (AIEN=1), IDMAS selectează dacă întreruperea solicitată și un transfer DMA.
- Bit 6 AIEN (ADC Interrupt Enable) validează întreruperile la sfârșitul unei conversii.
- Bit 5 ADCO (ADC Continuous Conversion), dacă este setat se face conversie continuă.
- Bit 4-0 ADCH4-0 selectează unul din cele 8 canale de conversie

registru de date (ADR)

registru de ceas (ADCLK) care conține:

- Bit 7-5 ADIV2-0 formează rata de divizare a ceasului de conversie de la ADICLK (000) la ADICLK/16 (100).
- Bit 4 ADICLK selectează ca ceas de conversie ceasul intern sau un ceas generat de temporizator.

O conversie începe după scrierea registrului ADSCR. Rezultatul conversiei este stocat în registrul de date (ADR) și la terminarea conversiei se poziționează bitul COCO. Dacă se optează pentru conversie continuă, după prima conversie urmează alta, care rescrie registrul de date. Dacă sunt validate întreruperile, sfârșitul conversiei poate cere întrerupere către UC sau poate face și o cerere DMA.

c. Interfața externă msCAN08 (Motorola Scalable CAN)

Protocolul CAN a fost definit de BOSCH în 1991 pentru utilizarea pe o magistrală la autoturisme, unde să îndeplinească condiții specifice: procesare în timp real, fiabilitate într-un mediu perturbat și preț mic. Caracteristici ale magistralei msCAN08 sunt:

- transmisie serială sincronă cu blocuri între 0-8 octeți;
- viteza de transfer până la 1MBps;
- transferul serial se face pe 2 linii, o intrare (RxCAN) și o ieșire TxCAN).

Cuplarea la magistrală nu se face direct, ci prin transceivere care pot suporta un curent important și care pot detecta dacă un MC are o linie defectă care ar forța magistrala la conectare directă (Fig. 10. 19.).

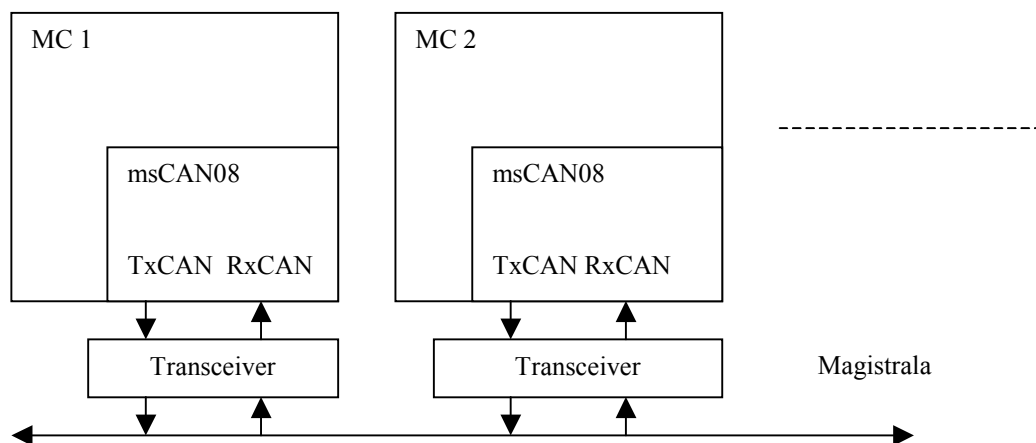


Fig. 10.19. Cuplarea la magistrala CAN

O implementare modernă trebuie să respecte două condiții:

- orice dispozitiv CAN poate să transmită un șir de mesaje fără să elibereze magistrala între mesaje. Arbitrarea magistralei se va face doar după ce s-a terminat transmiterea mesajului.
- mesajele sunt astfel organizate încât cel mai prioritar mesaj va fi trimis înaintea celor care stau de mai mult timp în coada de așteptare.

Aceste cerințe pot fi îndeplinite cu o schemă de transmisie cu buffere duble. Chiar și așa, unitatea centrală nu are întotdeauna timp să aranjeze datele în buffer, așa încât la 6808 s-a realizat o arhitectură cu 3 buffere.

Mesajul recepționat este stocat într-o stivă FIFO cu 2 nivele. Există 2 buffere de recepție de 13 octeți aranjate într-o singură arie de memorie, astfel încât registrul de date recepționate are o singură adresă. Registrul RxBG (Background Receive Buffer) primește datele seriale și le transferă în RxFG (Foreground Receive Buffer) care poate fi adresat de unitatea centrală. Dacă mesajul recepționat este corect (are un identificator valid) se

poziționează bitul RxF (Receiver Full Flag) și se generează o cerere de întrerupere. În acest timp în registrul RxBG se recepționează un nou cadru. Schema bloc pentru recepție și transmisie este dată în Fig. 10.20.

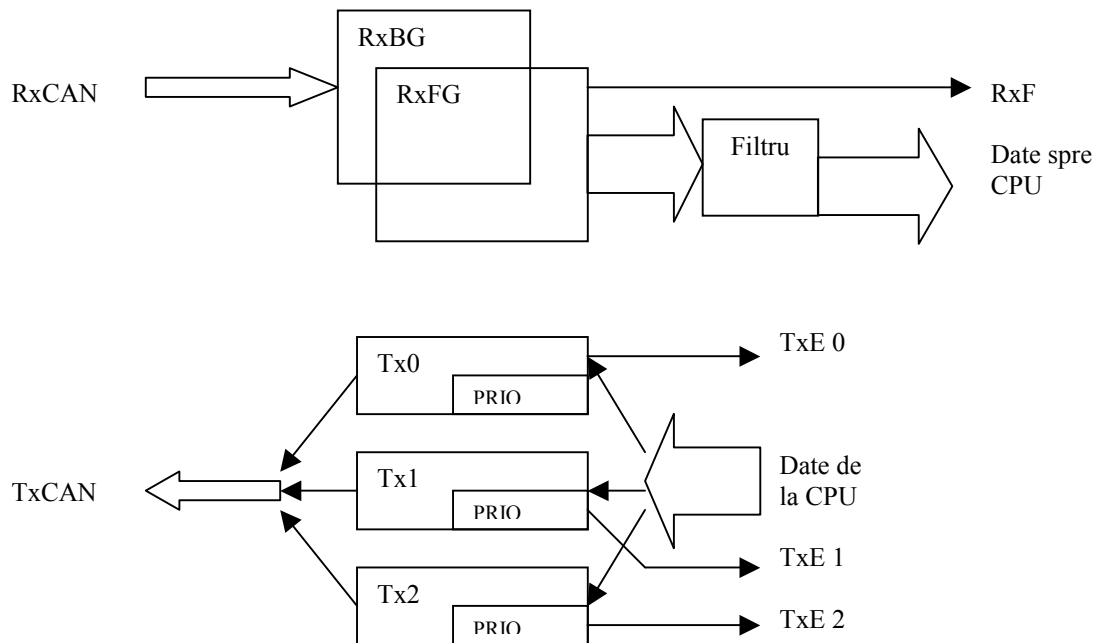


Fig. 10.20. Schema bloc de recepție, emisie CAN

Pentru a micșora numărul de întreruperi solicitate UC de către receptor s-a introdus un filtru de acceptare. Datele msCAN au o anumită structură, primii biți fiind de identificare a cadrului și de adresă a destinației. Este posibil ca interfața CAN să verifice acești primi biți și să facă transferul din RxBG în RxFG numai dacă mesajul este destinat acestui MC.

Când ambele registre de recepție sunt pline și se recepționează date se generează o eroare de suprascriere. Se abandonează recepția noilor caractere, se semnalizează eroarea, dar transmițătorul rămâne funcțional.

Transmiterea mesajelor se face cu o structură de 3 buffere, fiecare de 13 octeți. Un registru suplimentar TBPR (Transmit Buffer Priority Register) stabilește prioritatea mesajelor. Fiecare buffer de transmisie semnalează UC faptul că este gol prin poziționarea unui bit TXE (Transmit Buffer Empty) în registrul de stare CTFLG (CAN Transmitter Flag Register). Bitul TXE poate cere o întrerupere pentru ca UC să poată reîncărca bufferul de transmisie care s-a golit. Dacă mai mult de un registru este plin și gata de transmisie, se face apel la registrul de priorități pentru arbitrare. Fiecare buffer de transmisie are o zonă de 8 biți (PRIO) în care programul utilizator scrie prioritatea mesajului când se transmite mesajul de la UC (cea mai mică valoare reprezentând cea mai mare prioritate).

Dacă se transmite un mesaj cu prioritate mai mare și se dorește abandonarea mesajului curent, se solicită aceasta cu bitul ABTRQ (Abort Request Flag) în registrul de control al transmisiei CTCR (Transmission Control Register). Dacă solicitarea de abandonare este posibilă, interfața CAN va poziționa bitul ABTAK (Abort Request Acknowledge) și TXE pentru a se putea transmite mesajul prioritar.

d. Interfața cu tastatura

Interfața cu tastatura constă în 5 linii independente de intrare în MC care pot solicita întreruperi mascabile. Funcționarea acestei interfețe este asistată de următoarele registre:

registru de stare și control al tastaturii (KBSCR) conține:

- Bit 3 - indicatorul existenței unei întreruperi, KEYF. Bitul este 1 dacă se află în curs de servire o întrerupere de la tastatură;
- Bit 2 - confirmare, ACKK. Dacă acest bit este poziționat se șterge bufferul întreruperilor de la tastatură;
- Bit 1 - validarea întreruperilor de la tastatură, IMASKK. Dacă acest bit are valoarea 0 sunt validate întreruperile;
- Bit 0 - modul de întrerupere, MODEK. Dacă bitul este 1 se poate cere o întrerupere cu un front căzător sau cu un nivel 0 se poate cere o doar cu front căzător.

registru de validare a întreruperilor de la tastatură care cu biții

- Bit 4 - Bit 0 validează pinul portului I/O ca cerere de întrerupere de la tastatură sau ca port standard.

10.2.2.3. Programarea memoriei EEPROM

Circuitele din familia 6808 pot avea 512 octeți de memorie EEPROM care poate fi ștearsă și reînscrisă fără o tensiune externă suplimentară. Memoria programată poate fi protejată împotriva unor scrieri sau ștergeri accidentale.

Starea unui bit neprogramat este 1 logic. Programarea lui înseamnă trecerea în stare 0. Programarea poate fi făcută în mod redundant, adică primii 256 de octeți să fie identici cu următorii.

Registrele EEPROM sunt:

registru de control al EEPROM EEPROM Control Register (EECR):

- Bit 7 – EEBCLK, validare ceas intern pentru EEPROM; selectează ceasul folosit pentru programarea EEPROM: ceasul intern sau un oscilator RC intern.
- Bit 5 – EEOFF; invalidează EEPROM-ul în modurile de lucru cu economie de energie.
- Bit4, Bit 3 - EERAS 1, EERAS 0; stabilesc operația care se execută conform tabelului 10.9.

Tabel 10.9. Programarea operațiilor în registru de control

EEBPx	EERAS1	EERAS0	Operația
0	0	0	Programare de octet
0	0	1	Ștergere de octet
0	1	0	Ștergere bloc
0	1	1	Ștergere globală
1	X	X	Nu se executa programare/stergere

- Bit 2 - EELAT; dacă este setat, comandă memorarea datelor și adreselelor pentru scriere iar dacă este 0, se face citire din EEPROM.
- Bit 0 – EEPGM; dacă este setat, validează scrierea sau ștergerea. Poziționarea lui EEPGM trebuie să fie precedată în alt pas de poziționarea lui EELAT.

registru EEPROM nevolatil (EENVR):

- Bit 7 – EERA, arie redundată; configurează memoria în două jumătăți redundante.
- Bit 4 - CON0; stabilește dacă se validează securitatea memoriei (cu 0) sau nu.
- Bit 3-0 – EEBP3-0, biți de protecție; dacă acești biți sunt 1, blocul de memorie este protejat la scriere.

registru de configurație a ariei, EEACR se poate citi ceea ce a fost înscris în registrul EENVR. Din rațiuni de siguranță a informației, datele de configurare a EEPROM se scriu într-un registru nevolatil, EENVR. La un RESET, datele din EENVR se scriu într-un registru volatil corespondent (EEACR).

În modul STOP de economie de energie nu se poate face înscrierea sau ștergerea memoriei EEPROM.

Pentru înscrierea EEPROM se parcurg următorii pași:

- se resetează EERAS1 și EERAS0 (și se setează EELAT în EEER)
- se scrie octetul în EEPROM
- se setează EEPGM
- se așteaptă un timp pentru ca programarea să poată fi executată
- se resetează EEPGM
- se așteaptă un timp pentru ca tensiunea de programare să scadă
- se resetează EELAT

O ștergere pe bloc sau globală se face cu biții EERAS ca în tabelul 9.9., orice adresă din bloc fiind posibilă. Împărțirea în blocuri este EEBP0 (0800h-087Fh), EEBP1 (0880h-08FFh), EEBP2 (0900h-097Fh), EEBP3 (0980h-09FFh). În modul redundant EEBP2 și 3 nu au nici o semnificație.

10.2.3. MC pe 16 biți - 6816

Unitatea centrală 6816 este o unitate centrală cu magistrala de date de 16 biți și o magistrală de adrese pe 20 de biți care permite adresarea a 1Moctet de memorie. UC conține 2 registre acumulator de 16 biți și 3 registre index de 16 biți pe lângă registrele clasice. Unitatea centrală poate executa instrucțiuni pe 8 biți, pe 16 biți sau pe 32 de biți. Toate instrucțiunile de la UC 6811 pot fi executate de 6816, dar cu alt număr de tacte, deci cu altă viteză. Unitatea centrală funcționează la maximum 16MHz. Tehnologia de fabricație permite funcționarea și la viteze mai mici, chiar în regim static (ca și celelalte UC). Unitatea centrală conține facilități DSP (Digital Signal Processing), fiind posibile înmulțiri cu numere fracționare. UC permite 10 tipuri de adresare, din care 6 sunt preluate de la 6811.

Pentru păstrarea compatibilității, registrul PC și indicatorul de stivă sunt de 16 biți, dar apare un registru nou, numit K, ce reține extensiile de la 16 biți la 20 de biți pentru registrul PC și SP. În structura UC mai apar și registrele pentru înmulțiri, 2 registre de 16 biți (H și I) și unul de 36 de biți pentru rezultat (MAC).

Pentru comunicația între MC sau pentru adresarea memoriei externe s-a standardizat un bus extern, numit IMB (Intermodule Bus), cu 16 linii de date și 24 linii de adresă, la care s-a aliniat și 6816. Acest bus este de tip asincron, permițând transfer pe 8 sau 16 biți în urma unui protocol (handshake).

10.2.3.1. Modulul de integrare (SIM, System Integration Module)

Acest modul, apărut de la 6811, grupează blocurile care controlează sistemul și cuprinde:

- configurarea sistemului și protecție:
 - un monitor de bus, care resetează sistemul dacă apar cicluri de bus mai lungi de 8-64 tacte de ceas sistem;
 - un monitor de HALT, care poziționează un bit în registrul de stare al RESET-ului când a apărut o instrucțiune de HALT pe bus;
 - un monitor de întreruperi care supraveghează apariția unei arbitrări în timpul unui ciclu de întrerupere;
 - un ceas de gardă (watch dog);
- modul pentru sintetizarea ceasului; poate fi realizată din mai multe surse, dintr-o sursă internă cu ajutorul unei bucle PLL, dintr-o sursă externă cu ajutorul buclei PLL sau direct dintr-o sursă externă.
- Modul de formare a bus-ului extern
- Modul de test

10.2.3.2. Interfețe

Interfețele seriale sunt grupate sub forma unui modul serial cu coadă de așteptare (QSM Queued Serial Module) care conține o interfață serială SPI și una SCI. Coada de așteptare este formată în RAM și are dimensiunea de 16 cuvinte de 8-16 biți fiecare. Transmisia acestui șir de date poate fi executată automat, fără intervenția unității centrale. Modulul QSM este cuplat pe bus-ul IMB.

Convertorul analog numeric (ADC) este un convertor cu aproximații succesive cu rezoluția programabilă de 8-10 biți, cu 8 canale multiplexate. Convertorul este conectat pe bus-ul IMB.

Pentru date importante (cum ar fi cele din stivă) există o memorie RAM static de 1K octet care la căderea tensiunii de alimentare este alimentată de la un pin special, unde se poate conecta o baterie.

Timerul are 11 canale, din care 2 sunt folosite pentru generarea semnalelor PWM.

Circuitul este capsulat în capsule de 132 sau 144 pini.

Schema bloc a circuitului este dată în Fig. 10.21.

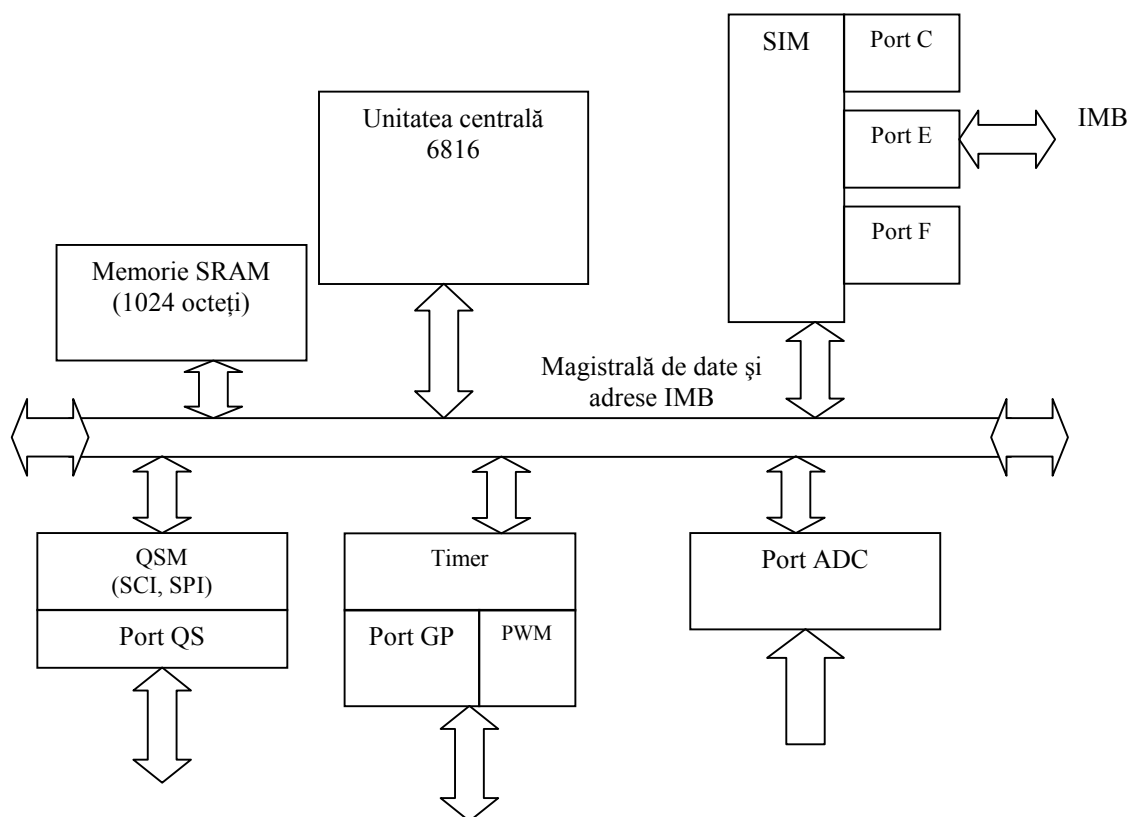


Fig. 10.21. Schema bloc MC 6816

10.2.4. MC pe 32 de biți - 68300

MC 68300 este asemănător arhitectural cu MC pe 16 biți. În jurul UC sunt grupate pe magistrala IMB un modul de integrare, un convertor analog digital cu 8 canale, un modul de comunicație serială cu coadă de așteptare (QSM), 512 octeți RAM static, 3,5K octeți RAM care pot fi folosiți și de timer (TPURAM), un modul de timp (TPU, Time Processor Unit), până la 6 porturi I/O de uz general și 2 module flash EEPROM.

Ceasul intern al sistemului este de maximum 16MHz.

Unitatea centrală CPU32 este compatibilă soft cu procesoarele din familia 68000. Ea conține 16 registre generale de 32 de biți cu care se poate lucra pe 8, 16 sau 32 de biți, un PC de 32 de biți, un SP de 32 de biți, un registru de stare și alte registre.

Circuitul de timp este o unitate microprogramată care poate lucra separat de UC, și care conține propriul RAM. Temporizatorul este format din 16 canale independente. Fiecare poate executa o funcție de timp și poate fi programat independent.

Memoria flash EEPROM servește la stocarea nevolatilă a informațiilor cum ar fi rutine ale sistemului de operare sau date care sunt apelate frecvent. Memoria EEPROM este foarte rapidă, ea poate răspunde în 4 tacte. MC este echipat cu 2 module de flash EEPROM, unul de 16K octeți și unul de 48K octeți. Memoria EEPROM poate fi configurată pentru a lucra în modul bootstrap. Memoria EEPROM poate fi ștearsă doar neselectiv (în întregime) și are nevoie de o alimentare specială.

10.2.5. Date comparative pentru MC Motorola –CISC

Tabelul 10.10. arată principalele performanțe, comparativ, pentru MC din familia Motorola:

Tabel 10.10. Tabel comparativ pentru MC Motorola - CISC

MC	Magistrala de date	Frecvența (MHz)	Linii I/O	Interfețe speciale	Preț (USD)
6805	8	2	31	6	1.9
6808	8	8	48	6	2.1
6816	16	16	48	6	8.25
68300	32	16	48	6	17.5

9.3. FAMILIA MCS-51 (MC cu arhitectură CISC)

8051 a fost propus de INTEL în a doua generație de MC și este cel mai folosit și cel mai bine vândut MC din lume. În 1976 Intel a prezentat familia de microcontrollere MCS48 care este compusă din 8048, 8748 și 8035. A apărut astfel pentru prima dată pe piață un microcalculator complet pe un singur chip. MC includea o unitate centrală pe 8 biți, memorie ROM sau EPROM de 1024x8biți, RAM 64x8 biți, porturi I/O și timere. În etapa a doua, INTEL a lansat familia MCS51 formată din MC 8051, 8751 și 8031. INTEL recomandă ca punerea la punct a aplicației să fie realizată pe MC 8751 care este prevăzută cu memorie EPROM (4K octeți). Memoria poate fi programată cu orice programator, dar se recomandă utilizarea programatorului de la INTEL (UPP, Universal PROM Programmer). Pentru produse în serie mare se recomandă 8051, care are memorie ROM, programată de furnizor la comanda beneficiarului și care revine la un preț de cost mult mai mic. MC 8031 nu conține ROM, dar se poate atașa în exterior ROM, PROM sau EPROM, direct sau multiplexat.

8051 este un MC foarte puternic și ușor de programat. Ca dovadă, în tabelul 10.11. se prezintă modelele oferite de diferiți furnizori, echivalente cu 8051:

Tabel 10.11. Modele echivalente 8051 oferite de diferiți producători

Varianta	Număr pini	Producător	RAM	Mem. program	Observații
MCS251	40	Intel	1K	16K	16 bit 80x51
80C509L	100qf	Siemens	256	64Kx	ALU,PWM,CC,2UART,10bA/D
80C517A	84	Siemens	256	64Kx	ALU,8PWM,CC,2UART,10bA/D
80C537A	84	Siemens	256	32K	ALU,8PWM,CC,2UART,10bA/D
80537	84	Siemens	256	64Kx	ALU,8PWM,CC,2UART,8bA/D
80517	84	Siemens	256	8K	ALU,8PWM,CC,2UART,8bA/D
73D2910	100qfp	SSI	256	128Kx	80C52+Ports+HDLC
80C535A	68	Siemens	256	64Kx	10bA/D
80CE558	80qfp	Philips	256	64Kx	Enhanced 80C552, i2c
80C515A	68	Siemens	256	32K	10bA/D
80535	68	Siemens	256	64Kx	Timer2CaptComp, 6 port 8/10bA/D

Varianta	Număr pini	Producător	RAM	Mem. program	Observații
80515	68	Siemens	256	8K	Timer2CaptComp 4 port 8b A/D
80C535	68	Siemens	256	64Kx	Timer2CaptComp 5 port 8b A/D
80C51GB	68	Intel	256	64Kx	8051FA+PCA, 8bA/D
87C51GB	68	Intel	256	8K	8051FA+PCA, 8bA/D
80C592	68	Philips	256	64Kx	552-i2c+CAN+XRAM
87C592	68	Philips	256	16K	552-i2c+CAN+XRAM
87C598	80	Philips	256	32K	552-i2c+CAN+XRAM
80C552	68	Philips	256	64Kx	10bA/D, i2c, CC,PWM
87C552	68	Philips	256	8K	10bA/D, i2c, CC,PWM
80C562	68	Philips	256	64Kx	8bA/D, i2c, CC,PWM
SABC505C	44	Siemens	256	64Kx	8bA/D,XRAM,CAN
SABC504	44	Siemens	256	64Kx	10bA/D,XRAM
87C451	68	Philips	128	4K	7port, 1 Handshake
80C451	68	Philips	128	64Kx	7port, 1 Handshake
87C453	68	Philips	256	8K	7port, 1 Handshake
83CL580	56,64	Philips	256	6K	LV 8052+ADC+i2c+WDOG
80C320	40	Dallas	256	64Kx	FAST, 2UART
80C310	40	Dallas	256	64Kx	Simpler 80C320
87C520	40	Dallas	256	16K	16K OTP enhanced 80C320
80C51FX	40	Intel	256	64Kx	80C58i+PCA
87C51FA	40	Intel	256	8K	8052+PCA,Enh (autovehicule)
87C51FB	40	Intel	256	16K	8052+PCA,Enh(autovehicule)
87C51FC	40	Intel	256	32K	8052+PCA,Enh(autovehicule)
8XC51FB	40	Philips	256	16K	87C51FB
87C51FXL	40	Intel	256	32K	3.3v 80C51FC
80C152JD	68	Intel	256	64Kx	HDLC/SDLC
80C152	48	Intel	256	64Kx	HDLC
8044	40	Intel	192	64Kx	
80C575	40	Philips	256	64Kx	8052+PCA,AnalogComp,WDOG
87C575	40	Philips	256	8K	8052+PCA,AnalogComp,WDOG
80C576	40	Philips	256	8K	8052+PCA,UPI,A/D,PWM,WDOG
87C576	40	Philips	256	8K	8052+PCA,UPI,A/D,PWM,WDOG
SABC501	40	Siemens	256	64Kx	40MHz
SABC502	40	Siemens	256	64Kx	8052+XRAM+WDog
80C528	40	Philips	256	64Kx	8052+Wdog,
87C528	40	Philips	256	32K	8052+Wdog,
89CE528	44	Philips	256	32KF	Flash
87C524	40	Philips	256	16K	16K 87C528
80C550	40	Philips	128	4K	8b AD WDog
80CL781	40	Philips	256	64Kx	LV 8052, WDog
83CL781	40	Philips	256	16K	LV 8052, WDog

Varianta	Număr pini	Producător	RAM	Mem. program	Observații
80CL782	40	Philips	256	64Kx	LV, faster 781
89S8252	40.44	Atmel	256	10K	FLASH 8k, WDog
89C55	40.44	Atmel	256	20KF	FLASH,fast, LV
89C52	40.44	Atmel	256	8KF	FLASH,
87C54	40	Intel	256	16K	16K 87C52i
87C58	40	Intel	256	32K	32K 87C52i
87C52	40	Intel	256	8K	8052
80C154	40	Matra	256	64Kx	Enhanced 8052
83C154D	40	Matra	256	32K	Enhanced 8052
83C154	40	OKI	256	16K	Enhanced 8052
80C654	40	Philips	256	64Kx	i2c
87C652	40	Philips	256	8K	i2c
87C654	40	Philips	256	16K	i2c
83CE654	44qfp	Philips	256	16K	i2c,
DS5000	40	Dallas	128	32KR	80x51
DS2250	40sim	Dallas	128	32K	in capsula SIMM,
DS5001	80qfp	Dallas	128	64Kx	Enhanced DS5000
80C851	40	Philips	128	64Kx	8051+256B EEPROM
83C852	6	Philips	256	6K	ALU,2K EEPROM
8052	40	All	256	64Kx	8051+Timer2
8752	40	Intel	256	8K	8051+Timer2
80C52	40	Siemens	256	64Kx	8051+Timer2,(construit și de Philips, Oki, Matra)
88SC54C	8	Atmel	256	64Kx	8052
80CL410	40	Philips	128	64Kx	LV, i2c
80CL31	40	Philips	128	64Kx	LV, 8051
80CL610	40	Philips	256	64Kx	LV,i2c
83CL411	40	Philips	256	64Kx	80CL31
89C51	40.44	Atmel	128	4KF	FLASH,Fast,LV 87C51
8751	40	All	128	4K	Core processor, UART, Tmr0+1
87C51	40	All	128	4K	Core processor, UART, Tmr0+1
8031	40	All	128	64Kx	Core processor, UART, Tmr0+1
8051	40	All	128	4K	Core processor, UART, Tmr0+1
80C31L	40	Matra	128	64Kx	LV 8051
87C752	28	Philips	64	2KE	87751+A/D, PWM
87C749	28	Philips	64	2KE	87C752,i2c
87C751	24	Philips	64	2KE	Small size, i2c
87C748	24	Philips	64	2KE	87C751 i2c
87C750	24	Philips	64	1KE	Small
89C2051	20	Atmel	128	2KF	20Pin 89C51
89C1051	20	Atmel	64	1KF	20Pin 2051, UART, Tmr

PCA- arie programabilă de numărătoare (programmable counter array)

LV- tensiune redusă 3,3V (low voltage)

PWM- modularea impulsurilor în lățime (pulse width modulation)

CC- intrare și comparare (capture/compare)

UPI- Interfața universală I/O (Universal Peripheral Interface (Philips))

i2c- Interfața I²C (Philips)

Tmr- circuit de timp (timer)

Small- capsulă de mici dimensiuni

Capsule: dip- Dual In Line Package

pqfp- Plastic Quad Flat Pack

lcc- Plastic Leaded Chip Carrier

10.3.1. Structura și funcționarea

Schema bloc internă este dată în Fig. 10.22.

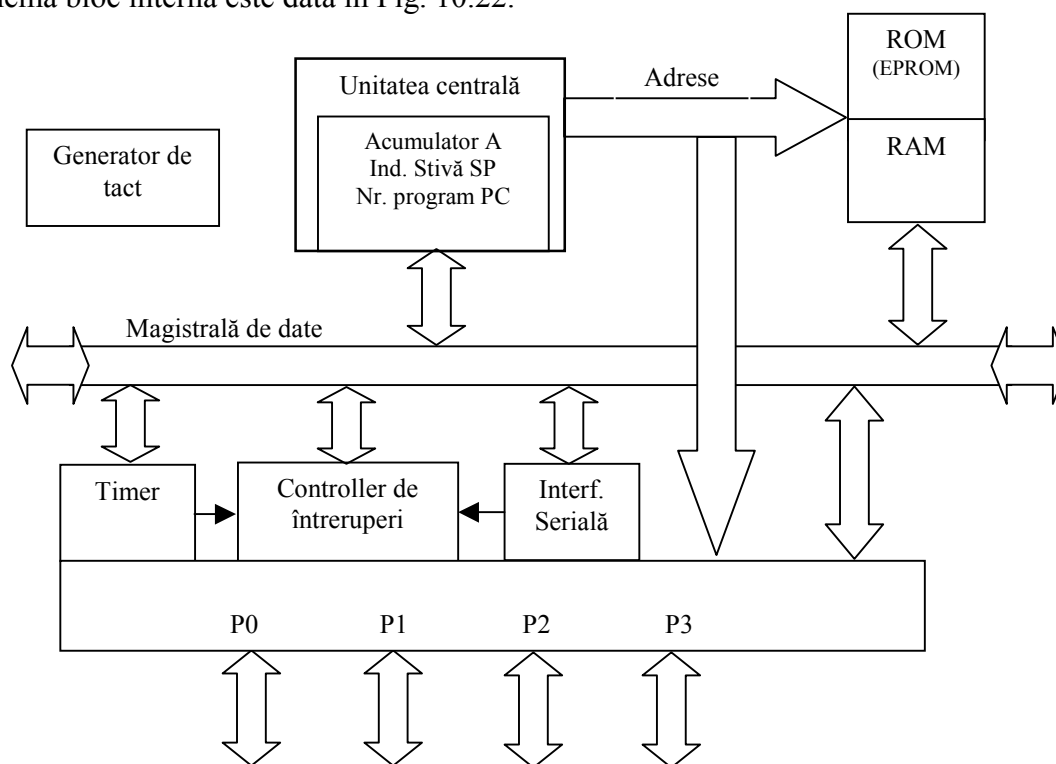


Fig. 10.22. Schema bloc a unui MC 8051

Unitatea centrală este o unitate aritmetică și logică pe 8 biți care conține următoarele registre:

- acumulator A - 8 biți;
- registrul de stare PSW (Program Status Word) - 8 biți;
- registrul B (8 biți) folosit în operațiile de înmulțire și împărțire;
- indicatorul de stivă (Stack Pointer) - 8 biți;
- un registru numărator de date (DPTR Data Pointer) - 16 biți - care poate fi manipulat și ca 2 registre de câte 8 biți (DPH și DPL) și servește ca bază în salturi indirecte sau în transferuri externe;
- număratorul de program (PC Program Counter) - 16 biți.

Memoria pentru program (ROM) este separată și distinctă de memoria pentru date, are alte mecanisme de adresare și alte semnale de comandă. MC poate lucra atât cu memoria pe chip cât și cu memorie externă; există astfel posibilitatea de a mări capacitatea memoriei de lucru. Memoria externă este adresată automat dacă adresa din instrucțiune este în afara zonei de memorie internă.

Familia 8051 are 32 de linii I/O, configurate ca 4 porturi de 8 biți. Fiecare linie poate fi programată individual ca linie de intrare, de ieșire sau bidirecțională. Unele linii au semnificații alternative. Portul 0 este folosit și ca magistrală multiplexată de adrese și date, iar pentru transferuri care au nevoie de adrese de 16 biți, se folosește portul P2 pentru octetul cel mai semnificativ de adresă. Liniile portului 3 sunt folosite ca cereri de întrerupere (2 linii), intrări/ieșiri pentru timer (4 linii) și linii seriale (2).

8051 are 2 timere de 16 biți, fiecare poate fi programat separat. Timerele pot fi utilizate pentru a măsura intervale de timp, pentru a determina lungimea unor impulsuri, ca numărătoare, etc. Rezoluția este de 1μs, intervalul maxim de timp fiind de 65,536ms.

Portul serial UART este un port serial full duplex cu rata de transfer până la 31Kbaud. Portul serial poate fi folosit atât pentru comunicații cu echipamente periferice cât și comunicații între circuite.

Controllerul de întreruperi admite întreruperi de la 5 surse:

- de la portul serial (dacă s-a transmis sau recepționat un caracter);
- de la timere (când s-a înregistrat o depășire);
- de la 2 pini de intrare.

Fiecare sursă poate fi validată sau invalidată individual. Prioritatea poate fi programată. Fiecare sursă are asociată o adresă în memoria program (tabelul 10.12.).

Tabel 10.12. Adresele de salt pentru întreruperi

Sursa de întrerupere	Adresa de salt
RESET	0000h
Extern 0	0003h
Timer 0	000Bh
Extern 1	0013h
Timer 1	001Bh
Port serial	0023h

10.3.1.1. Descrierea semnalelor la pini

Vcc- tensiunea de alimentare, +5V;

Vss- masă;

PORT 0* - este un port pe 8 biți bidirecțional cu drena în gol. Este port de date și adrese (octetul cel mai puțin semnificativ) pentru memoria externă. De asemenea portul 0 primește octeții pentru programarea EPROM-ului intern iar în timpul verificării programului din EPROM, datele pot fi citite tot prin portul 0.

* Ieșirile sunt bufferate și pot suporta până la 4 intrări LS TTL. Pini programati ca ieșiri în stare HIGH pot fi folosiți ca intrări. Ca pini de intrare, dacă au fost forțați în LOW din exterior, aceștia furnizează curent.

PORT 1*- este un port pe 8 biți bidirecțional, cu drena în gol. În timpul programării și testării EPROM-ului, la portul 1 se stabilește octetul cel mai puțin semnificativ de adresă. Pini P1.0/T2 și P1.1/T2X au funcții duble. Astfel T2 este intrare externă în Timerul 2 iar T2X este intrarea de comandă a unei capturi în Timerul 2.

PORT 2*- este un port de 8 biți bidirecțional. În timpul programării și testării EPROM-ului la portul 2 se stabilește octetul cel mai semnificativ de adresă. Pentru adresarea memoriei externe pe 16 biți portul 2 generează partea mai semnificativă a octetului de adresă. La adresare memoriei externe pe 8 biți portul 2 este registrul cu funcții speciale P2.

PORT 3*- este un port de 8 biți bidirecțional. Pini portului 3 au semnificație alternativă (tabelul 10.13.).

Tabel 10.13. Semnificația dublă a pinilor de la PORT 3

Pin	Semnificație
P3.0	RXD-intrare serială a porului pentru recepție
P3.1	TXD-ieșire serială a portului pentru emisie
P3.2	/INT0-întrerupere externă pentru Timer 0
P3.3	/INT1-întrerupere externă pentru Timer 1
P3.4	T0-intrare externă în Timer 0
P3.5	T1-intrare externă în Timer 1
P3.6	/WR-strob pentru scrierea memoriei de date externă
P3.7	/RD-strob pentru citirea memoriei de date externă

RST este o intrare de RESET. Dacă semnalul de intrare rămâne în HIGH pe perioada a doi cicli mașină în timp ce oscilatorul funcționează, are loc inițializarea MC.

ALE/PROG ALE (Address Latch Enable) validează octetul cel mai puțin semnificativ de adresă în timpul accesului la memoria externă (PORT0). PROG este semnal de intrare pentru impulsul de programare în timpul programării EPROM-ului.

/PSEN (Program Store Enable) validează citirea programelor din memoria program externă. Nu se activează la citirea datelor din memoria externă de date.

/EA/VP /EA (External Acces Enable) validează în stare HIGH memoria program internă, iar în stare LOW validează memoria program externă. La VP se aplică tensiunea de 21V în timpul programării EPROM-ului.

XTAL1, XTAL2 se conectează cristalul de cuarț sau un oscilator extern.

10.3.1.2. Gestionarea memoriei

MC8051 au spații diferite de adresare pentru memoria program și memoria de date. Spațiul maxim de adresare este de 64K atât la memoria program cât și la cea de date. Un extras din datele de catalog arată tipurile și dimensiunea memoriei pentru diferite circuite din familie (tabel 10.14.).

Tabel 10.14. Echiparea cu memorie a diferitelor circuite 8051

MC	Memorie internă de program	Memorie internă de date
8031AH	-	128bytes RAM
8051AH	4Kx8 ROM	128bytes RAM
8751H	4Kx8 EPROM	128bytes RAM
8032AH	-	256bytes RAM
8052AH	8Kx8 ROM	256bytes RAM
8752BH	8Kx8 EPROM	256bytes RAM

a. Gestionarea memoriei de date (RAM)

Memoria internă este mapată în spațiul de adresare 00H - FFH (256bytes). În zona 80H -FFH sunt registrele speciale (SFR) care sunt adresabile direct. Zona 00H-7FH poate fi adresată direct sau indirect. Memoria externă se află între adresele 0000H-FFFFH. Validarea folosirii memoriei de date se realizează cu semnalele /RD și /WR. Aceste semnale (/RD și /WR) se folosesc și pentru selecția datelor din portul 0, unde datele sunt multiplexate cu adresele. Adresele sunt validate cu semnalul ALE. Informația poate fi accesată cu adresare pe 8 sau pe 16 biți.

b. Gestionarea memoriei program (ROM, EPROM)

Se poate folosi memoria ROM internă (/EA în stare HIGH) sau cea externă (/EA în stare LOW). Strobul pentru citirea memoriei externe este semnalul /PSEN. Toate citirile se fac cu adresare pe 16 biți.

10.3.1.3. Circuitele timer

MC 8051 are 2 numărătoare de 16 biți, iar 8052 3 numărătoare. În modul de funcționare ca temporizator registrul este incrementat la fiecare ciclu cu un impuls la 1/12 din frecvența oscilatorului. În modul de funcționare ca numărător, registrul este incrementat la fiecare tranziție din 1 în 0 la pinul extern corespunzător T0, T1 și T2. Rata maximă de numărare este 1/24 din frecvența oscilatorului.

Programarea funcționării timer-elor se face cu registrul TMOD din SFR, cu structura: pentru numărătorul 1: GATE1, C/-T1 - M11, M01, pentru numărătorul 2: GATE2, C/-T2 - M12, M02, unde:

GATE - gestionează controlul. Când GATE=1, timer-ul este activat doar cât timp pinul /INT corespunzător este în HIGH și și bitul TR din registrul SFR (TCON) este 1.

C/-T - selectează operarea ca timer (LOW) sau counter (HIGH)

Tabel 10.15. Programarea modului de operare cu biții M0 și M1

M1	M0	Modul de operare
0	0	Timer pe 13 biți (Mod 0)
0	1	Timer/Counter pe 16 biți (Mod 1)
1	0	TL0 este timer/counter pe 8 biți și TH0 este timer pe 8 biți (Mod 2)
1	1	Timer/Counter 1 oprit (Mod 3)

Semnificația biților din registrul special TCON este:

TF1, TR1, TF0, TR0, IE1, IT1, IE0, IT0, unde:

TF0, TF1- indicatorul de depășire al timer-ului 0, respectiv 1. Este setat la depășire ca numărător sau temporizator și este resetat când se apelează rutina de întrerupere a timerului corespunzător;

TR0, TR1-este setat sau resetat pentru a porni sau pentru a opri numărătoarele/temporizatoarele;

IE0, IE1 - indicator de activare a întreruperii pe front;

IT0, IT1 - controlul activării întreruperii (pe nivel IT=0, sau pe front IT=1).

Pentru MC care au al treilea timer există registrul T2CON cu structura:
 TF2, EXF2, RCLK, TCLK, EXEN2, TR2, C/-T2, CP/RL2, unde:
 TF2 - indicator de depășire;
 EXF2 - indică apariția unui eveniment la pinii de control extern;
 RCLK - când este setat, portul serial folosește ca și tact de recepție semnalul de depășire generat de timerul 2;
 TCLK - când este setat, portul serial folosește ca și tact de emisie semnalul de depășire generat de timerul 2;
 EXEN2- indicator de activare externă;
 TR2 - pornește/ oprește timerul 2
 C/-T2 - selectează funcționarea ca timer sau numărător;
 CP/RL2- indicator pentru memorare.

10.3.1.4. Interfața serială UART

Portul serial este de tip asincron, full-duplex. Portul serial poate opera în 4 moduri:

Modul 0: datele seriale sunt transferate în ambele sensuri prin RXD. TXD furnizează ceasul de transmisie. Rata transferului este 1/12 din frecvența de oscilație.

Modul 1: transmisie asincronă, se transmit date prin TXD, se recepționează prin RXD în formatul 1 bit de start, 8 biți de date, 1 bit de stop, cu rata de transfer variabilă (programabilă) cu un timer.

Modul 2: ca la modul 1, dar se transmite și un al 9-lea bit de date care poate fi bitul de paritate, cu rata de transfer egală cu frecvența oscilatorului divizată cu 32 sau cu 64.

Modul 3: ca la modul 2, cu rata de transfer variabilă (programabilă) cu un timer.

Registrul de control al portului serial SCON (din registrele SFR):

SM0, SM1, SM2, REN, TB8, RB8, TI, RI;

SM0, SM1 programează modul de lucru al portului serial conform tabelului 10.16.

Tabel 10.16 Programarea modului serial cu bitii SM0 si SM1

SM0	SM1	Mod
0	0	Mod 0
0	1	Mod 1
1	0	Mod 2
1	1	Mod 3

SM2 - activează posibilitatea de lucru multiprocesor în modurile 2 și 3, prin transmisia bitului special 9;

REN - activare/ dezactivare recepția;

TB8 - al 9-lea bit ce se transmite în modurile 2 și 3;

RB8 - al 9-lea bit ce se recepționează în modurile 2 și 3;

TI - indicator de întrerupere a transmisiei;

RI - indicator de întrerupere a recepției.

10.3.1.5. Sistemul de întreruperi

MC 8051 dispun de 5 nivele de întrerupere, iar 8052 de 6 nivele. Există 2 surse externe, INT0 și INT1, care pot fi active pe nivel sau pe front în funcție de biții IT0 și IT1 din registrul special TCON. Indicatoarele de întrerupere sunt biții IE0 și IE1 care se setează automat când apare o întrerupere și se resetează când s-a încheiat tratarea întreruperii.

Întreruperile generate de timere sunt date de biții TF0 și TF1 din registrul TCON. Acești biți sunt setați când apare o depășire în număratoarele/temporizatoarele 0 și 1. Întreruperea pentru timerul 2 va fi generată de un SAU între TF2 și EXF2. Rutina de servire a întreruperii va determina care dintre acești biți a cerut întrerupere prin citirea registrului T2CON.

Întreruperea de port serial este generată de un SAU logic între RI și TI. Rutina de servire a întreruperii va determina care dintre acești biți a cerut întrerupere prin citirea registrului SCON.

Fiecare din sursele de întrerupere pot fi activate sau dezactivate prin setarea sau resetarea unui bit din registrul SFR numit IE, cu structura:

EA, X, ET2, ES, ET1, EX1, ET0, EX0, unde:

EA - dezactivează toate întreruperile cu IE=0. Cu IE=1 sunt validate întreruperile și se pot masca individual;

ET2 - mascare întrerupere pentru timer-ul 2;

ES - mascare întrerupere port serial;

ET1 - mascare întrerupere timer 1;

EX1 - mascare întrerupere externă INT1;

ET0 - mascare întrerupere timer 0;

EX0 - mascare întrerupere externă INT0.

Întreruperilor pot fi tratate conform unei ierarhii implicite sau nivelul priorităților poate fi programat în registrul SFR numit IP.

priorități implicite:

IE0 (cea mai mare prioritate), TF0, IE1, TF1, RI+TI, TF2+EXF2.

structura registrului IP:

X, X, PT2, PS, PT1, PX1, PT0, PX0, unde:

PT2 - stabilește nivelul de prioritate pentru întreruperea timerului 2;

PS - stabilește nivelul de prioritate pentru întreruperea portului serial;

PT1 - stabilește nivelul de prioritate pentru întreruperea timerului 1;

PX1 - stabilește nivelul de prioritate pentru întreruperea externă 1;

PT0 - stabilește nivelul de prioritate pentru întreruperea timerului 0;

PX0 - stabilește nivelul de prioritate pentru întreruperea externă 0.

Nivelul priorității poate fi programat în HIGH sau LOW. O întrerupere LOW poate fi întreruptă de o întrerupere LOW dar nu poate fi întreruptă de o întrerupere HIGH. O întrerupere HIGH nu poate fi întreruptă.

10.3.1.6. Operarea cu economie de energie

8051 are două moduri de operare cu putere redusă; modul inactiv (Idle) și modul cu tensiune scăzută (Power Down).

În modul inactiv oscilatorul funcționează, dar nu se execută nici o instrucțiune. Timerele și portul serial funcționează și orice întrerupere de la ele readuc circuitul în stare normală. Un RESET hardware readuce circuitul în stare normală. Starea CPU se păstrează în întregime: indicator de stivă, Program Counter, registre etc.

În modul cu tensiune scăzută oscilatorul intern este oprit și toate funcțiile sunt oprite. Se păstrează doar RAM-ul intern și registrele speciale. Singura modalitate de a ieși din această stare este prin RESET hardware. În această stare tensiunea de +5V poate fi redusă.

Modurile de operare cu economie de energie pot fi comandate prin registrul SFR PCON, care are structura: PD, IDL unde:

- PD - bit pentru modul cu tensiune scăzută;
- IDL - bit pentru modul inactiv.

10.3.1.7. Formarea unor semnale externe

RESET-ul se comandă pe intrarea RST a MC. Conținutul registrelor speciale SFR va fi adus la 00H, cu excepția SBUF care va fi nedeterminat și PCON care va fi 0XXX0000 în binar. RAM-ul intern nu este afectat. La pornirea sistemului se poate realiza un RESET automat cu un montaj ca în Fig. 10. 23.

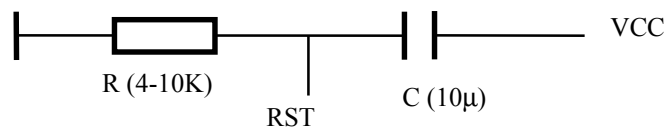


Fig. 10.23. Circuit pentru formarea semnalului RESET

Ca și generator de tact se poate folosi oscilatorul intern la intrările X1 și X2, ca în Fig.10. 24.

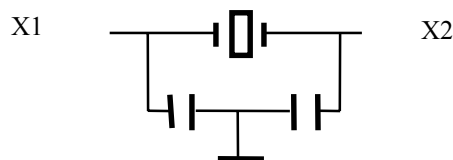


Fig. 10.24 Circuit pentru folosirea generatorului intern de tact

Circuitul poate fi folosit și cu un tact extern, legând X2 la masă, iar la X1 se leagă un oscilator extern.

10.3.1.8. Programarea EPROM-ului intern

Pentru a fi programat circuitul trebuie să fie alimentat și să aibă cuplat generatorul de tact pentru că transferul de date se face prin bus-ul intern al circuitului. Adresa pentru EPROM-ul de programat trebuie să fie aplicată la portul 1 și pinii P2.0-P2.3 ai portului 2, iar octetul de date de programat se aplică la portul 0. Ceilalți pini ai portului 2, precum și semnalele RST, /PSEN, /EA/Vpp trebuie să aibă următoarele nivele (tabel 10.16).

Tabel 10.16. Condiții pentru operațiile de programare, verificare, setare bit siguranță

Operația	RST	/PSEN	ALE	/EA/Vpp	P2.7	P2.6
Programare	1	0	impuls la 0 pentru 50ms	Vpp	1	0
Verificare	1	0	1	1	0	0
Setarea bitului de siguranță	1	0	impuls la 0 pentru 50ms	VPP	1	1

Semnalul ALE este un impuls la 0 pentru 50 ms pentru a efectua programarea. Tensiunea Vpp este de +21V pentru 8751H și de -12,75V pentru 8752BH (**A se consulta cu atenție foile de catalog**). Sursa de tensiune pentru Vpp trebuie să fie foarte bine filtrată și stabilizată deoarece chiar și un mic impuls de tensiune poate produce vătămarea circuitului. Verificarea programului se poate face dacă bitul de siguranță nu a fost programat. Citirea se face în aceleași condiții ca și scrierea, cu excepția lui ALE care este 1, /EA este 1, iar strobul de citire este P2.7. Pentru a nu se putea citi neautorizat conținutul EPROM-ului se programează un așa numit bit de siguranță care odată programat nu mai permite nici un acces electric la memoria EPROM. Odată programat, acest bit se poate șterge doar prin ștergerea întregii memorii EPROM.

Ștergerea EPROM-ului se poate face la lumină ultravioletă (2537Angstrom), cu cel puțin 15W.sec/cm², adică o expunere de 20-30 min. la distanța de 2-3cm la o lampă de ultraviolete cu 12W/cm².

Programarea rapidă (Quick Pulse Programming) poate fi aplicată la circuitele 875XBH, și are ca rezultat posibilitatea programării unui circuit în numai 25 secunde. Programarea se poate face cu o tensiune Vpp mai mică (12,75V). Semnalul ALE are forma unor impulsuri multiple, 25 de impulsuri de 100 μs.

10.3.2. Programarea MC din familia MCS-51

8051 are 111 instrucțiuni din care 64 sunt de un singur ciclu.

10.3.2.1. Setul de instrucțiuni 8051

Instrucțiuni pentru transferul de date:

Transferuri generale:

MOV - efectuează un transfer pe bit sau pe octet de la sursă la destinație.

PUSH - incrementează registrul SP (Stack Pointer) și transferă un octet de la sursă la locația din stivă adresată de SP.

POP - transferă un operand pe un octet de la locația din stivă adresată de SP la destinație și decrementează SP.

Transferuri specifice acumulatorului:

XCH - mută octetul din sursă în acumulator.

XCHD - mută biții LOW din octetul din sursă în acumulator.

MOVX - mută un octet între memoria externă de date și acumulator. Adresa memoriei de date externă poate fi specificată în registrul dublu DPTR.

MOVC - se citește un octet din memoria externă de program în acumulator.

Transferuri de adrese:

MOV DPTR, #data, încarcă imediat 16 biți de date în registrul dublu DPTR.

Instrucțiuni aritmetice:

Adunare:

INC - adună operandul cu 1 și pune rezultatul ca nou operand.

ADD - adună acumulatorul cu operandul sursă și pune rezultatul în A.

ADDC - adunare ca la ADD dar se adună și bitul CY (Carry) din PSW.

DA - ajustare zecimală, corectează suma care rezultă din adunarea a doi operanzi zecimali cu maxim 2 cifre.

Scădere:

SUBB - scădere cu împrumut, scade operandul din acumulator, apoi scade CY și pune rezultatul în A.

DEC - scade 1 din operand și pune rezultatul ca nou operand.

Înmulțire:

MUL - execută o înmulțire fără semn între acumulator și registrul B, rezultatul obținut fiind pe 2 octeți (octetul cel mai semnificativ se pune în B). Dacă toți biții din octetul cel mai semnificativ al rezultatului sunt 0 bitul OV și CY din PSW se pun la 0.

Împărțire:

DIV - execută împărțirea fără semn a conținutului registrului A la conținutul registrului B. Partea întreagă a rezultatului se pune în A, iar partea fracționară în B.

Instrucțiuni pentru operații logice:

Instrucțiuni logice cu un singur operand:

CLR - resetează A orice bit adresabil direct.

SETB - setează orice bit adresabil direct.

CPL - complementează conținutul lui A, fără a afecta PSW.

RL - rotație stânga a acumulatorului.

RLC - rotație stânga a A prin CY.

RR - rotație dreapta a A.

RRC - rotație dreapta a A prin CY.

SWAP - inversează niblurile în A.

Instrucțiuni logice cu 2 operanzi:

ANL - ȘI logic.

ORL - SAU logic.

XRL - SAU EXCLUSIV logic.

Instrucțiuni de control:

Apeluri și salturi necondiționate:

ACAL - este o instrucțiune pe 2 octeți de apelare a unui subprogram care se folosește atunci când adresa de salt este cuprinsă în 2K ai paginii curente. Câmpul de adresă de 11 biți este concatenat cu cei mai semnificativi 5 biți din PC.

LCALL- este o instrucțiune pe trei octeți de apelare a unui subprogram care adresează toți cei 64K ai memoriei.

RET - transferă controlul la adresa de întoarcere care a fost în prealabil salvată în stivă și decrementează registrul SP cu 2.

AJMP - este un salt necondiționat la adresa specificată analog cu *ACALL*.

LJMP - este un salt necondiționat la adresa specificată analog cu *LCALL*.

SJMP - este un salt necondiționat scurt în cadrul a 256 de octeți.

Salturi condiționate:

JZ - execută salt dacă acumulatorul este 0.

JNZ - execută salt dacă acumulatorul nu este 0.

JC - execută salt dacă bitul de CY (Carry) este 1.

JNC - execută salt dacă bitul de CY este 0.

JB - execută salt dacă bitul adresat este 1.

JNB - execută salt dacă bitul adresat este 0.

JBC - execută salt dacă bitul adresat este 1 și apoi șterge bitul adresat.

CJNE - compară primul operand cu al doilea operand și face salt dacă aceștia nu sunt egali.

DJNZ - decrementează operandul sursă și pune rezultatul în operandul destinație. Dacă rezultatul nu este 0 se execută salt.

Înteruperi:

RETI - ca și *RET*, dar activează înteruperile.

10.3.2.2. Modurile de adresare

Adresare prin registre - programatorul are acces la 8 registre de lucru, notate R0-R7. Cei mai puțin semnificativi 3 biți ai codului instrucțiunii indică unul dintre aceste registre. Se poate forma astfel o instrucțiune de un singur octet. De exemplu adunarea registrului R0 cu R1, cu rezultatul în acumulator:

```
MOV A,R0
ADD A,R1
```

Adresare directă - se pot adresa locații din RAM, porturi I/O sau registrele cu funcții speciale. La codul instrucțiunii se adaugă un octet care reprezintă locația care se folosește. De exemplu se adună conținutul locației 30 din RAM la conținutul locației 40, cu rezultatul în locația 40:

```
MOV A,30h
ADD A,40h
MOV 40h,A
```

Adresare indirectă prin registre - introdusă pentru a putea lucra cu variabile al căror loc în RAM se modifică în cursul rulării programelor. Ca registre index se folosesc registrele R0 și R1, al căror conținut indică adresa în RAM. Cel mai puțin semnificativ bit al codului instrucțiunii indică registrul care este folosit ca index. În limbajul de asamblare al lui 8051,

adresarea indirectă se reprezintă cu @. De exemplu se adună conținutul locației adresată de registrul R0 cu conținutul locației adresată de registrul R1, cu rezultatul în acumulator:

```
MOV A,@R0
ADD A,@R1
```

Adresare imediată - folosită când operandul este o constantă cu o valoare cunoscută, care se specifică în codului instrucțiunii. În limbajul de asamblare al lui 8051 constanta este precedată de semnul #. De exemplu adunarea lui 15 cu 18 zecimal, cu rezultatul în acumulator:

```
MOV A,#15
ADD A,#18
```

10.3.3. Echipări speciale cu memorie

10.3.3.1. Memoria EEPROM (PHILIPS 80C851)

Memoria EEPROM are dimensiunea de 256 octeți, poate reține informațiile minimum 10 ani și poate fi supusă la 10.000 de cicluri de ștergere/scriere. Circuitul conține multiplicatorul de tensiune pentru ștergere și scriere.

Comunicația între UC și EEPROM se realizează cu ajutorul a 5 registre:

EADRH (adresa F3h), **EADRL** (adresa F2h) sunt două registre pentru adresare, primul pentru partea LOW a adresei, celălalt pentru partea HIGH (pentru implementări viitoare și pentru adresarea biților de securitate).

EDAT (adresa F4h) este registrul de date în care se stochează octetul de scris sau octetul citit. Sunt posibile și ștergeri pe bloc de date, caz în care conținutul acestui registru nu contează.

ETIM (adresa F5h) este un registru pentru timer necesar pentru a adapta timpul de citire/scriere la frecvența sistemului și trebuie încărcat cu valori funcție de tactul sistemului și de caracteristicile EEPROM-ului.

ECNTRL (adresa F6h) este registrul de control care:

- stabilește modurile de lucru: scriere, citire, ștergere pe octet, ștergere pe bloc;
- conține un bit care semnalează că este în curs o scriere sau ștergere.

Schema bloc a modului este dată în Fig. 10.25.

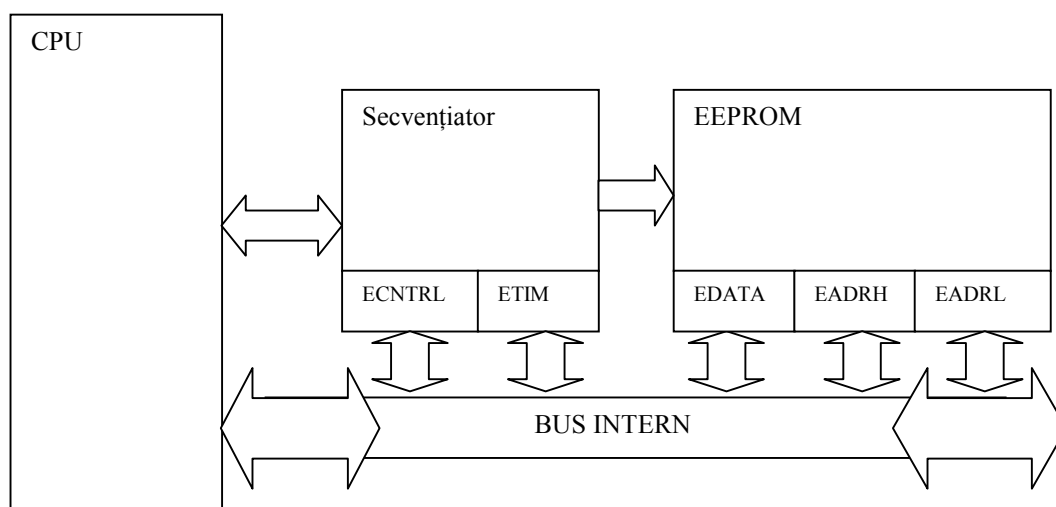


Fig. 10.25. Schema bloc a modului EEPROM

Secvențiatorul asigură secvența de timp corespunzătoare pentru scriere sau ștergere. Datele și adresele se transferă prin intermediul registrelor de pe magistrală.

O citire se poate realiza simplu:

```
Citire: MOV EADRL,#20H
        MOV A,EDAT
```

Ca urmare a acestei secvențe de program, conținutul locației 20h este citit în acumulator.

Memoria EEPROM este protejată cu un octet la adresa 8000h. Se poate valida securitatea cu următoarea secvență de program, cu scrierea activată:

```
Activare securitate:
        MOV EADRH,#80H
        MOV EADRL,#00H
        MOV EDAT,#FFH
```

Acest octet nu mai poate fi modificat prin soft. Programul din EEPROM nu mai poate fi citit sau modificat cu instrucțiuni MOVC din memorii externe, ci doar executat.

10.3.3.2. Memoria FLASH cu programare paralelă (ATMEL AT89C55)

Multe MC compatibile 8051 sunt echipate cu memorie FLASH. Unul dintre acestea este AT89C55 care este echipat cu 20K octeți memorie FLASH care poate fi programată și ștearsă (EPROM) în maximum 1000 de cicluri de scriere/ștergere.

Programarea memoriei FLASH se poate face cu o tensiune mare, de +12V așa încât se pot folosi inscriptoarele de EPROM sau se poate face cu +5V, pentru ca programarea să fie posibilă în sistemul gazdă. AT89C55 este fabricat cu memoria ștearsă (plină cu FFh) și gata de a fi programată.

Programarea memoriei se face astfel:

- pe liniile de adresă se stabilește adresa locației de programat;
- pe liniile de date se stabilește octetul de înscris;
- se aplică un front pe /EA/V_{pp} la +12V (pentru programarea cu 12V);
- se aplică un impuls ALE//PROG.

Starea programării este indicată de bitul RDY//BSY (P3.4), linia fiind LOW în timpul programării și HIGH când programarea s-a terminat.

După înscris se poate face verificarea a ceea ce s-a înscris, prin adresare și citirea octetului de date.

Toată memoria FLASH se poate șterge electric aplicând semnalele de comandă corespunzătoare (din tabelul care există în foile de catalog) și aplicând apoi un impuls ALE//PROG de 10ms. Asemănător se programează (programare paralelă) și circuitul 89C51 de la Philips.

10.3.3.3. Memoria FLASH cu programare paralelă și serială ISP (PHILIPS 89C51RC)

O facilitate interesantă și utilă o au MC care au înscris în ROM un mic program monitor care poate să gestioneze înscrierea memoriei FLASH prin canalul serial. Modul de înscriere serial se numește **In-System Programming (ISP)** și este realizat printr-un canal serial cu liniile TxD și RxD și liniile de alimentare de +5V și masă, precum și tensiunea necesară înscrierii memoriei FLASH, +Vpp. Softul care gestionează canalul serial este un monitor înscris în ROM. După programarea memoriei FLASH, ROM-ul poate fi invalidat. Programul monitor determină rata de transfer cu care i se trimit date și transmite în ecou ce a recepționat. După transmiterea caracterului pentru stabilirea ratei de transfer, se transmite un octet de identificare care stabilește natura datelor care urmează. Numărul de octeți care urmează este limitat la 16. În foile de catalog sunt explicate comenzile care pot fi date pe această cale. Programul monitor ocupă 1K și ROM-ul se numește Boot ROM.

La această memorie FLASH timpul de acces este de 100ns, timpul necesar înscrierii unei locații este de 20ms, iar ștergerea se realizează în 3 secunde.

10.3.4. Interfețe și periferice on chip speciale

10.3.4.1. Convertorul A/D

Circuitul analogic de intrare constă într-un multiplexor analogic și un convertor A/D de 8 biți cu aproximații succesive. Tensiunea de referință pentru convertor și masa analogică sunt conectate prin pini speciali. O conversie poate avea loc în 24 sau 48 de cicluri mașină, programabil, ceea ce înseamnă un timp de conversie de 24μs la un tact de 12MHz.

Convertorul este controlat de registrul de control ADCON care selectează și canalul de conversie. Terminarea conversiei este semnalizată cu un bit tot în ADCON, iar rezultatul conversiei este stocat în registrul ADCH. O conversie poate fi declanșată în 3 feluri:

- start în operare normală și revenire în operare normală;
- start în operare normală revenire în mod inactiv (Idle);
- intrare în mod inactiv și declanșarea unei conversii din exterior prin pinul STDAC.

Schema bloc a convertorului este dată în Fig. 10.26.

Cu registrul ADCON (C4h) se poate programa:

- selecția canalului analogic dorit;
- se poate programa ca o conversie să fie declanșată de pinul extern STADC;
- se poate declanșa o conversie;
- conține un bit care semnalează că s-a terminat conversia. Cu acest bit se poate solicita o cerere de întrerupere;
- se poate selecta viteza de conversie la viteza maximă (24 cicluri) sau mai mică (48 de cicluri).

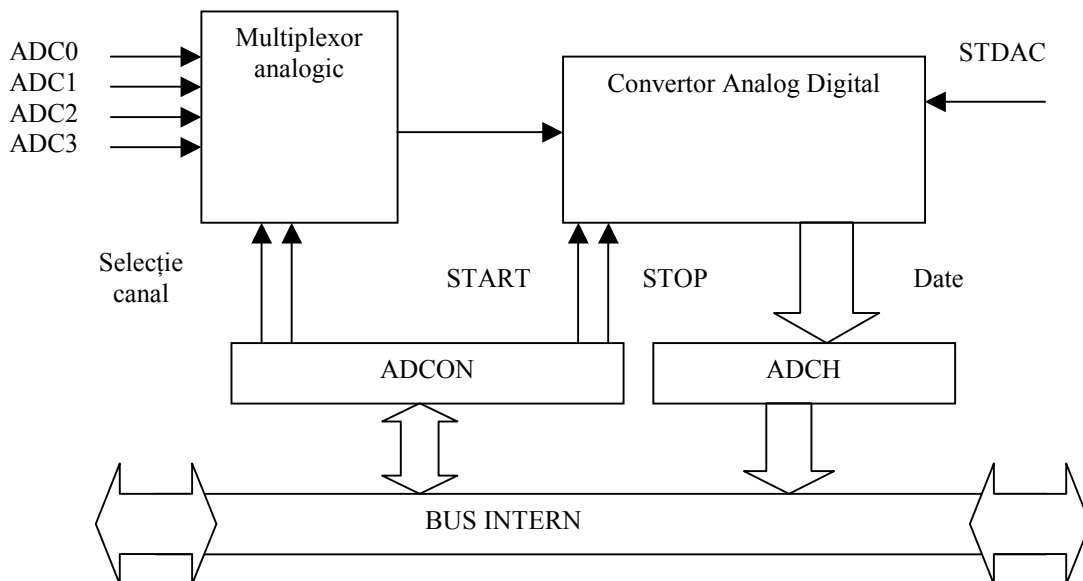


Fig. 10.26. Schema bloc a convertorului analog digital

10.3.4.2. Interfața PWM

Circuitul este prevăzut cu un canal PWM la care frecvența de repetiție este programată cu un registru de prescalare (PWMP- adresa FEh) care generează un ceas pentru un numărator de 8 biți. Conținutul număratorului este comparat cu cel al registrului PWM0 (adresa FCh); dacă numărul este mai mare ieșirea /PWM0 este LOW, dacă este mai mic sau egal /PWM0 este HIGH. Factorul de umplere poate fi astfel modificat între 0 și 255/255. Schema bloc a canalului PWM este dată în Fig. 10.27.

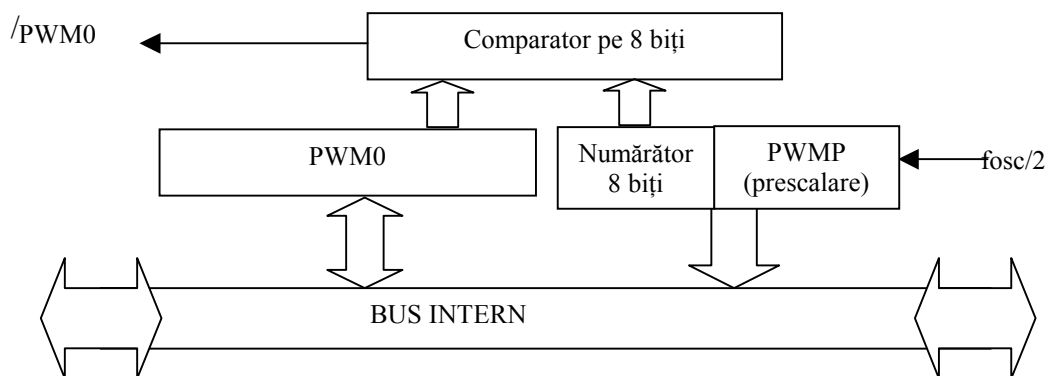


Fig. 10.27. Schema bloc a canalului PWM

Observație: convertorul AD, interfața I²C și canalul PWM0 pot lucra în modurile cu economie de energie. Convertorul, interfața I²C și canalul PWM0 rămân active în modul idle al UC și pot genera o întrerupere sau un RESET, terminând astfel modul inactiv al UC.

10.3.4.3. Interfața USB (EZ-USB seria 2100)

Familia EZ-USB de la Anchor Chips (www.anchorchips.com) echipează MC-ul lor echivalent cu 8051 cu un modul USB inteligent, destinat legăturii USB de mare viteză (12Mbps). Modulul USB inteligent admite instrucțiuni avansate, de aceea punerea la punct a lucrului cu USB devine mai rapidă. MC este echipat cu RAM care poate fi încărcată de la un PC. Din acest motiv circuitul nu mai are ROM. Circuitul mai conține și o interfață I2C, precum și linii I/O de uz general. Tot ca un avantaj se poate menționa că bus-ul de date și adrese nemultiplexat este accesibil la pini speciali, ceea ce înseamnă că nu se sacrifică pini I/O pentru cuplarea unor componente exterioare și nici nu este nevoie de latch-uri pentru separarea datelor de adrese.

Schema bloc a acestui MC este dată în Fig. 10.28.

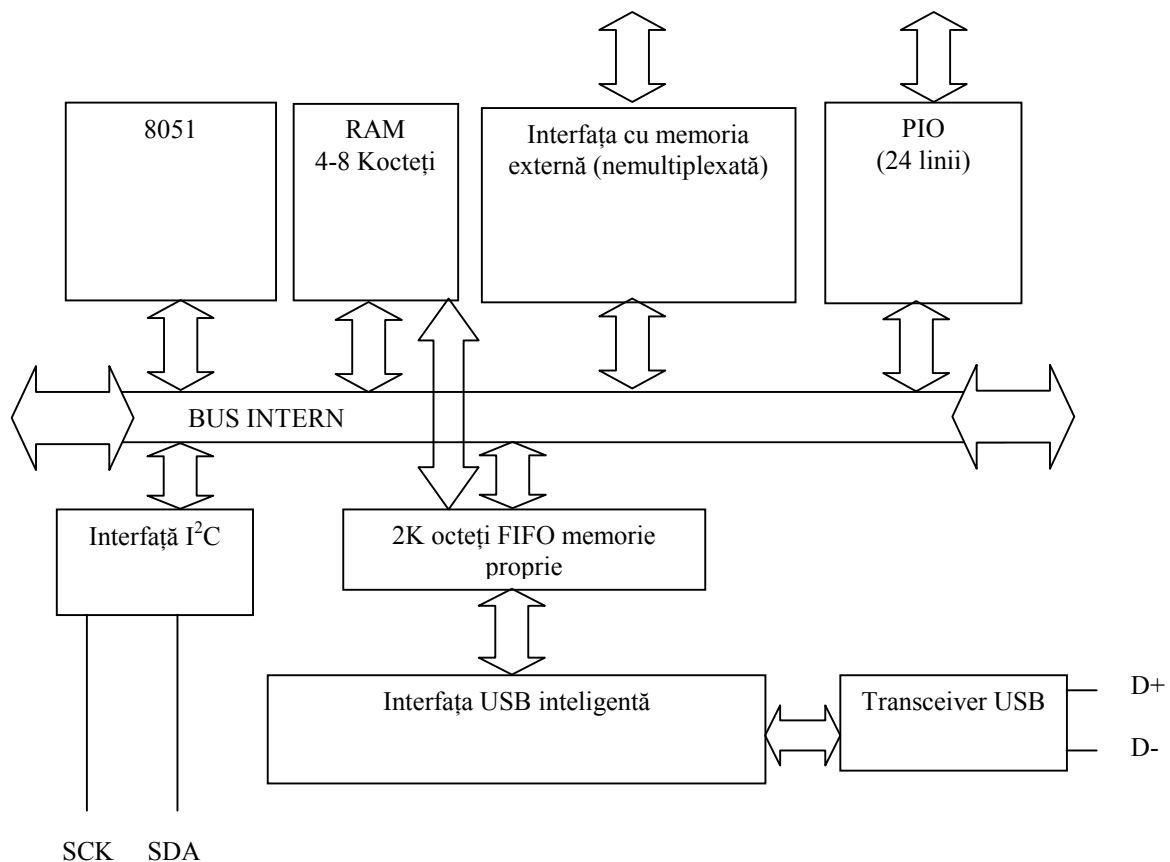


Fig. 10.28. Schema bloc a unui MC cu interfață USB

Modulul USB realizează în timpul inițializării o enumerare și alocare de adrese a dispozitivelor USB conectate. Această operație este posibilă ca urmare a mutării unei secvențe de program din RAM-ul MC în RAM-ul modulului USB.

Încărcarea programului în RAM se poate face atât de la un sistem PC cât și de la un EEPROM serial prin interfața I2C sau clasic, prin conectarea unei memorii ROM externe. Operația de enumerare inițială permite identificarea unui corespondent USB și creează posibilitatea încărcării programelor de la sistemul gazdă chiar prin USB.

10.3.4.4. Interfața I²C (SIEMENS P80CL580)

Portul serial I²C are 2 linii, date seriale (SDA) pe poziția liniei P1.7 și ceas serial (SCK) pe poziția bitului P1.6. Interfața lucrează în 4 moduri:

- transmițător MASTER
- receptor MASTER
- transmițător SLAVE
- receptor SLAVE

Aceste funcții pot fi controlate de registrul S1CON (Serial Control Register) și S1STA (Serial Status Register). Cu datele se lucrează prin S1DAT (Data Shift Register) iar adresa se stabilește în S1ADR (Slave Address Register), Fig. 10.29.

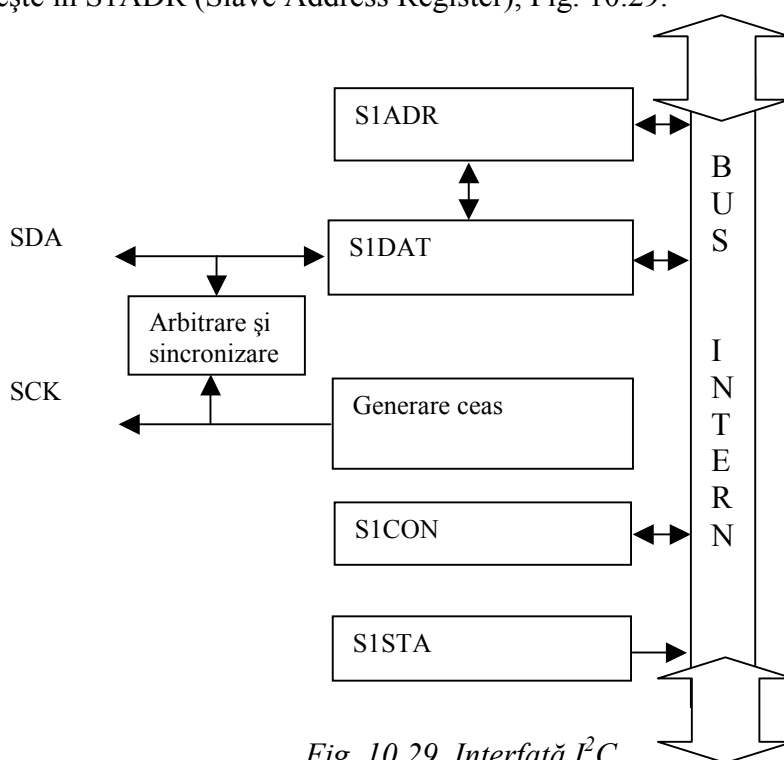


Fig. 10.29. Interfață I²C

Cu registrul de control S1CON (registru SFR la adresa DBh) se pot programa:

- ceasul serial de transfer în mod MASTER (SCK), care este în funcție de tactul sistemului și poate fi de maximum 100kHz;
- se poate selecta dacă liniile I/O (P1.6 și P1.7) au semnificațiile generale sau speciale pentru I²C;
- se poate porni transferul prin generarea de condiții de START repetate (mod MASTER) sau verificarea bus-ului și generarea de START doar dacă bus-ul este liber (mod SLAVE);
- se poate opri transferul prin generarea unei condiții de STOP;
- se pot valida întreruperile care se generează în următoarele condiții: s-a generat o condiție de START, s-a recepționat adresa proprie, un octet s-a transmis sau s-a recepționat;
- se poate insera un ACK, (nivel LOW pe SDA) după recepția unui caracter sau a adresei proprii.

Registrul de stare S1STA (D9h - registru Read Only) poate fi folosit pentru generarea unei întreruperi și saltul la o rutină de servire.

În registrul de date S1DAT (DAh) se înscrie octetul care se transmite sau se recepționează; cel mai semnificativ bit se transmite sau se recepționează primul.

În registrul de adrese S1ADR (DBh), la un dispozitiv MASTER se stabilește adresa dispozitivului SLAVE cu care dorește un transfer de date.

10.3.4.5. Aria de numărătoare programabilă (PCA)

Aria de numărătoare programabilă este un circuit special de timp format din 5 module de 16 biți cu posibilitatea de captură și comparație care se adaugă timerelor obișnuite ale MC. Fiecare modul poate fi programat individual să lucreze în unul din modurile:

- captură pe front pozitiv sau negativ;
- timer;
- canal PWM;
- ceas de gardă (doar modulul 4).

Fiecare timer are un pin asociat din portul 1, ca în Fig. 10.30.

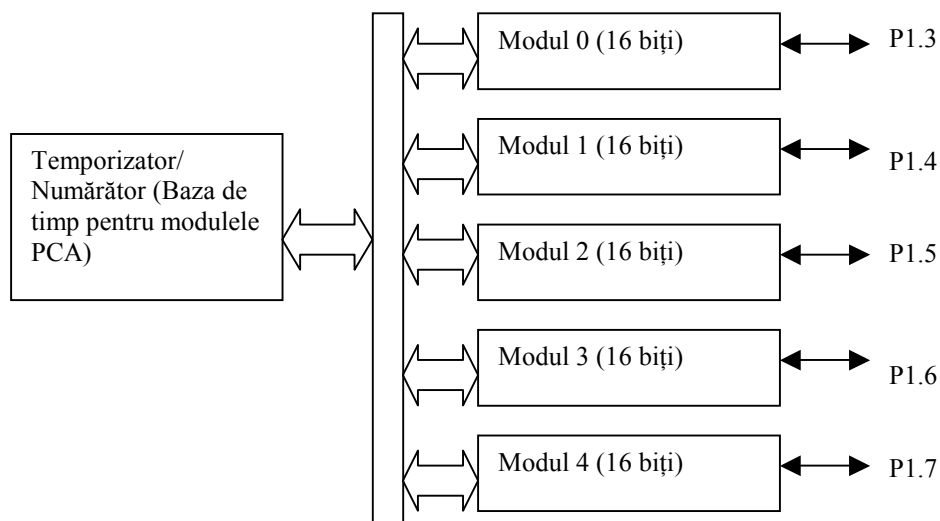


Fig. 10.30. Structura ariei de timp programabile (PCA)

Timerul comun pentru toate modulele este un timer obișnuit. El poate funcționa cu diferite tacte programate în registrul SFR CMOD cu 2 biți, conform tabelului 10.17.

Tabel 10.17. Programarea tactului pentru timer

CPS1	CPS0	Tact pentru timer
0	0	frecvența oscilatorului/12
0	1	frecvența oscilatorului/4
1	0	Semnalul de depășire de la timerul 0 standard
1	1	De la un pin extern (ECI, P1.2)

Fiecare modul are asociat un registru de comandă (CCAPM0-CCAPM4) care controlează modul de operare al modulului:

- se poate valida ca o coincidență în modul să genereze o întrerupere;
- se poate valida modul PWM;
- se poate valida ca ieșirea P1.x să schimbe starea dacă a apărut o coincidență între conținutul modulului și conținutul timerului;
- se poate programa pe care front al intrării P1.x să se facă numărarea impulsurilor externe.

Fiecare modul mai are asociat un registru de 16 biți (câte două de 8 biți; CCAP0H-CCAP5H și CCAP0L-CCAP5L) care stochează valoarea numărată la apariția unei coincidențe. În mod PWM aceste registre controlează factorul de umplere.

Funcționarea PCA:

- în modul de captură, când apare o tranziție pe intrarea externă P1.x, se încarcă valoarea la care a ajuns timerul comun în registrele de date (CCAPxH și CCAPxL). În acest moment se poate genera o întrerupere;
- în mod timer, conținutul registrelor de date este incrementat de la intrarea externă. Când se ajunge la o valoare egală cu cea stocată în timerul comun poate fi generată o întrerupere;
- în mod PWM fiecare modul poate fi folosit ca un canal independent. Frecvența semnalului PWM este aceeași și depinde de sursa timerului comun. Factorul de umplere se poate modifica prin registrul CCAPxL;
- în mod ceas de gardă utilizatorul încarcă registrul CCAPxH și CCAPxL. Când timerul comun ajunge la o valoare egală cu cea stocată de utilizator se generează un RESET intern. Pentru ca să nu se ajungă la RESET într-un program rulat normal, utilizatorul trebuie periodic să schimbe valoarea din timer sau să reseteze ceasul de gardă.

10.3.4.6. MC cu interfață pentru RAM nevolatil (NVRAM) (DALLAS DS5000FP)

Un astfel de MC poate adresa o memorie externă SRAM (între 8K și 64K) care poate fi făcută nevolatilă prin alimentarea cu baterii. O baterie cu litiu poate funcționa cca. 10 ani. Transferul de date cu memoria NVRAM se face pe un bus separat pentru a nu micșora numărul de linii I/O.

Circuitul nu are ROM pentru programul utilizator, programul fiind stocat în NVRAM, programarea se realizează în sistem, prin interfața serială a MC. La acest tip de MC programul se poate schimba chiar și în timpul funcționării. Programul se poate încărca inițial prin interfața serială, sub comanda unui program existent într-un ROM intern numit Boot ROM (sau BOOTSTRAP LOADER ROM) care este apoi invalidat și devine invizibil la adresare.

Schema de conectare a unei memorii de 32K este dată în Fig. 10.31.

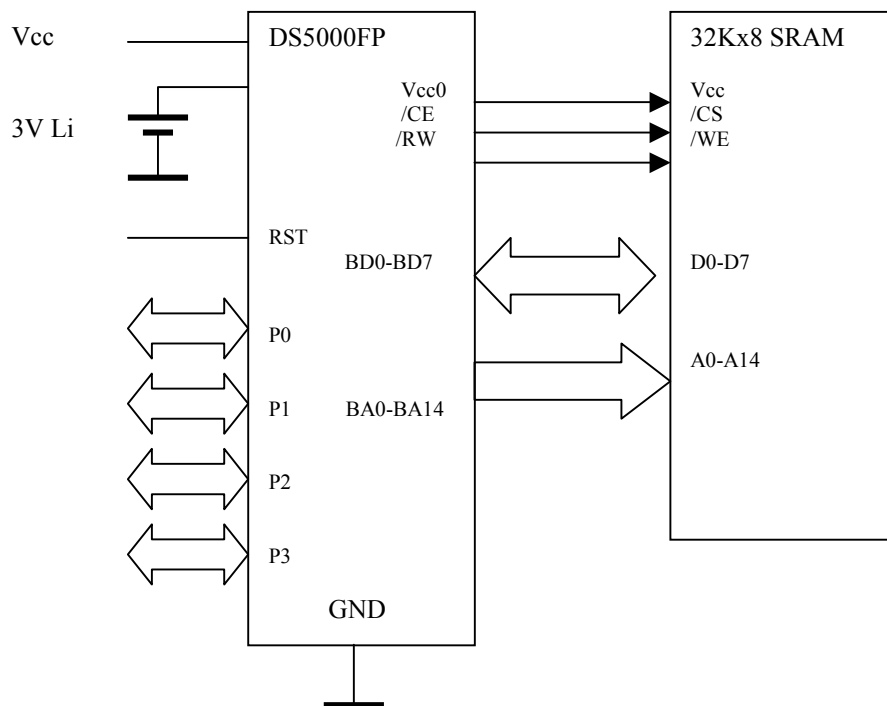


Fig. 10.31. Schema de conectare a unei memorii RAM

10.3.4.7. Interfața LCD (PHILIPS P83C434)

În jurul unui nucleu 8051 a fost construit un MC specializat pentru comanda panourilor LCD. Rămân disponibile pentru uz general 12 linii I/O. Modul LCD are 24 de linii pentru comanda segmentelor, din care 2 pot fi folosite pentru comanda planurilor din spate. Afișajul poate fi comandat cu tensiuni variabile obținute intern prin divizarea tensiunii de alimentare cu rezistențe. Schema bloc a MC este dată în Fig. 10.32.

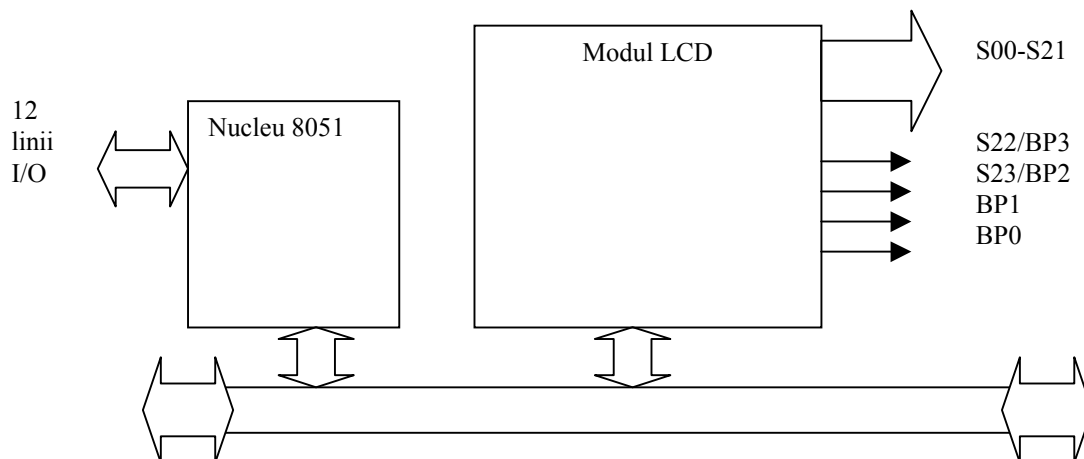


Fig. 10.32. MC cu modul de comandă LCD

MC se poate folosi la comanda afișoarelor cu până la 4 planuri în spate. Cele 24 de linii de comandă a segmentelor pot comanda 12 caractere numerice formate cu 7 segmente sau 88 de elemente grafice. Funcționarea afișajului poate fi mai bine înțeleasă în cazul concret al unui singur plan în spate, pentru 2 elemente alăturate ale afișajului, Fig. 10.33.

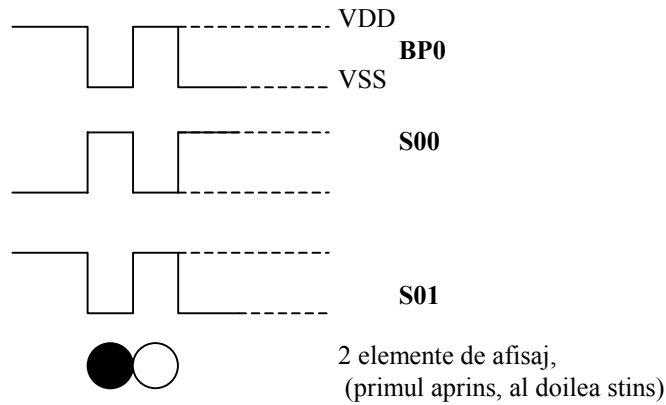


Fig. 10.33. Comanda a doua elemente alăturate ale afișajului LCD

Primul element este aprins pentru că între segment și planul din spate este o diferență de potențial, iar al doilea este stins pentru că nu există o diferență de potențial. Comanda modulului de afișare se face cu 12 registre LCD0-LCD11 (adrese 9Ah-BFh) care conțin configurația segmentelor stinse/aprinse pentru fiecare plan din spate.

10.3.4.8. MC specializat pentru TV și video (PHILIPS 83C145)

Acest MC este construit în jurul unui nucleu 8051 și are 8-16Kocteți ROM sau OTP, 256 octeți RAM, controller pentru vizualizare pe ecran (On Screen Display OSD), 3 ieșiri video digitale, memorie RAM pentru display de 128x10 biți, generator de caractere (ROM 60 caractere x 18 linii x 14 puncte), 8 canale PWM de 6 biți și un canal PWM de precizie de 14 biți, convertor numeric analogic. Nu se poate conecta memorie externă. Schema bloc este dată în Fig. 10.34.

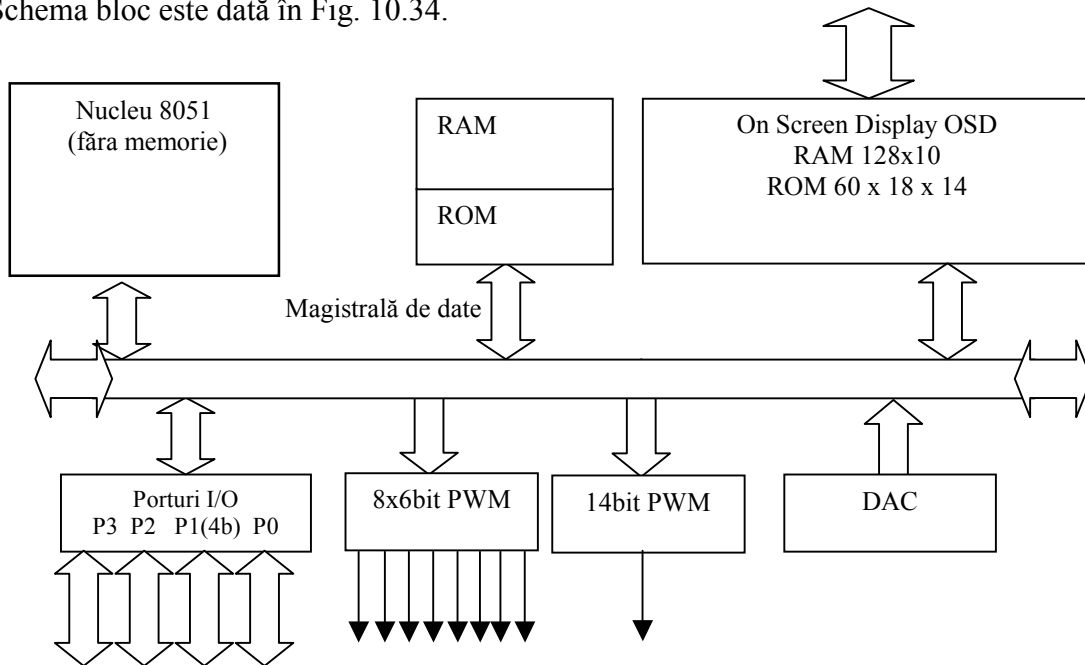


Fig. 10.34. Schema bloc a unui MC specializat TV/video

Ceasul canalelor PWM se formează din tactul sistemului divizat cu 4. Acest tact este aplicat tuturor canalelor PWM și unui numărator de 14 biți. Canalele de 6 biți utilizează doar partea mai puțin semnificativă a număratorului de 14 biți. Fiecare canal PWM are

asociat un registru SFR. La egalitatea valorii acestui registru cu conținutul numărătorului, ieșirea PWM schimbă starea. Structura canalelor PWM este reprezentată în Fig. 10.35.

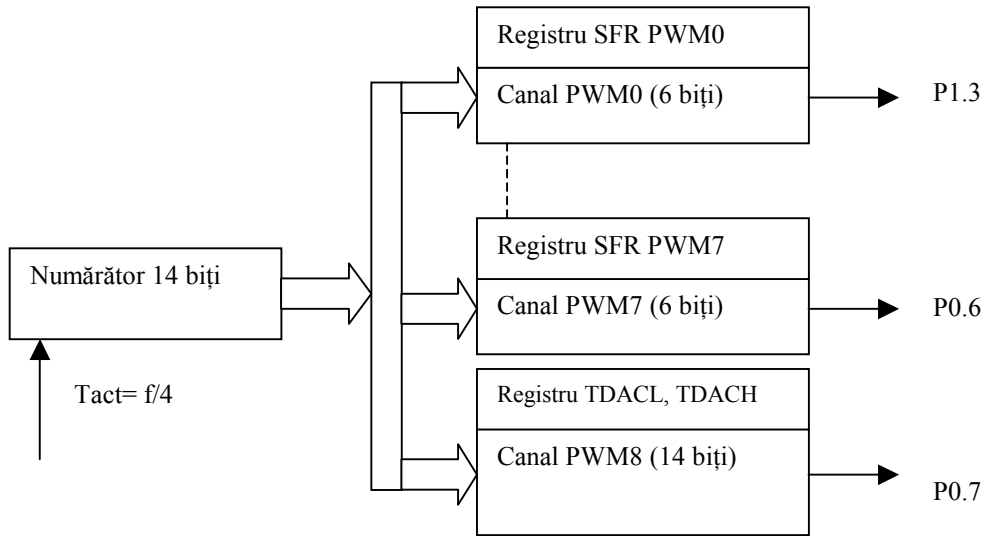


Fig. 10.35. Structura canalelor PWM
(ale MC specializat TV/video)

Convertorul numeric analogic este folosit pentru a realiza conversia analog numerică soft (Fig. 10.36). Circuitul are 3 intrări analogice care pot fi comutate pe rând la intrarea unui comparator de tensiune. La cealaltă intrare a comparatorului se aplică ieșirea convertorului numeric analogic. Când intrările sunt egale, valoarea aplicat convertorului numeric analogic este chiar valoarea numerică a semnalului analogic de intrare.

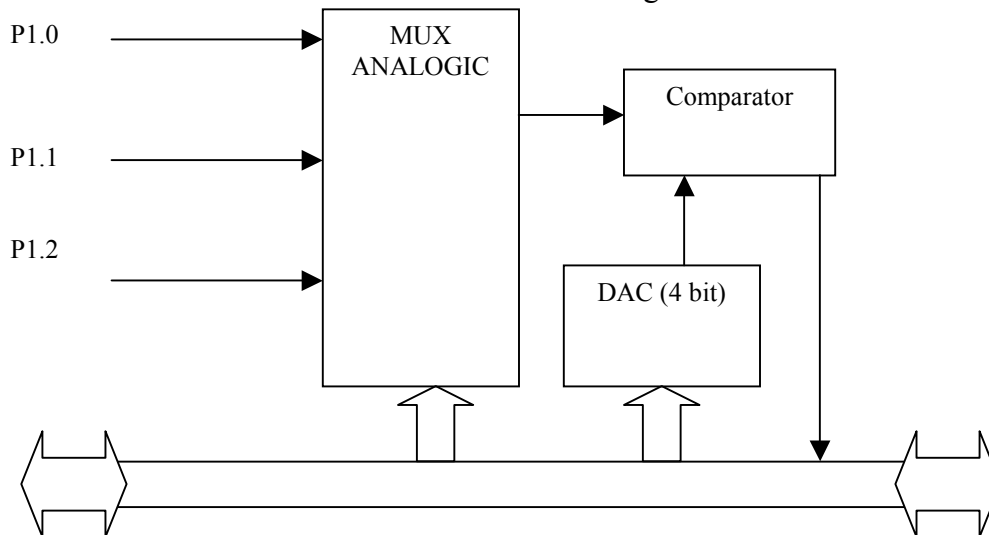


Fig. 10.36. Convertorul analog numeric
(al MC specializat TV/video)

Modulul OSD are rolul de a suprapune text pe o imagine de televiziune. Intrările în acest bloc sunt:

- 2 ceasuri video;
- semnalul de sincronizare orizontală;
- semnalul de sincronizare verticală.

Modulul OSD poate fi echipat cu EPROM, ceea ce înseamnă că generatorul de caractere poate fi programat. Modulul OSD permite 8 moduri de scriere umbră a caracterului, culoarea caracterului este selectabilă, culoarea fondului este selectabilă.

10.3.4.9. MC cu arie configurabilă (TRISCEND E5)

Firma TRISCEND a realizat un MC compatibil 8051 care conține o arie de porți configurabilă (Configurable System-on-Chip CSOC). Acest MC integrează pe un singur chip un MC de uz general 8051, un bloc de RAM de mari dimensiuni și o arie de module configurabile, toate acestea conectate între ele printr-un bus de mare viteză. Programarea ariei se face prin programul de inițializare și se poate relua de ori câte ori.

Descrierea pe scurt a circuitului: rulează la o frecvență de 40MHz și are echipare standard (256 octeți RAM, ceas de gardă, trei timere, 2 canale DMA, interfață serială UART, 64K octeți RAM) și are în plus 3200 de module configurabile (CSL Configurable System Logic - ceea ce înseamnă cam 40.000 de porți).

Conectarea între modulele cofigurabile și restul sistemului, respectiv liniile I/O se realizează prin magistrala CSI (Configurable System Interconnect), cu 8 biți de date bidirecțional, 32 de biți de adresă, rata de transfer de maxim 40MBps. Magistrala CSI permite lucrul multi master, master putând fi unitatea centrală 8051, canalele DMA sau interfața JTAG.

Interfața cu exteriorul poate fi realizată cu maxim 315 linii I/O (depinde de variantă și capsulă), există și posibilitatea conectării memoriei externe, iar un modul de interfață IEEE 1149.1 JTAG permite testarea sistemului. Liniile I/O au caracteristici programabile (curent de ieșire, histerezis la intrare etc.). Schema bloc este dată în Fig. 10.37.

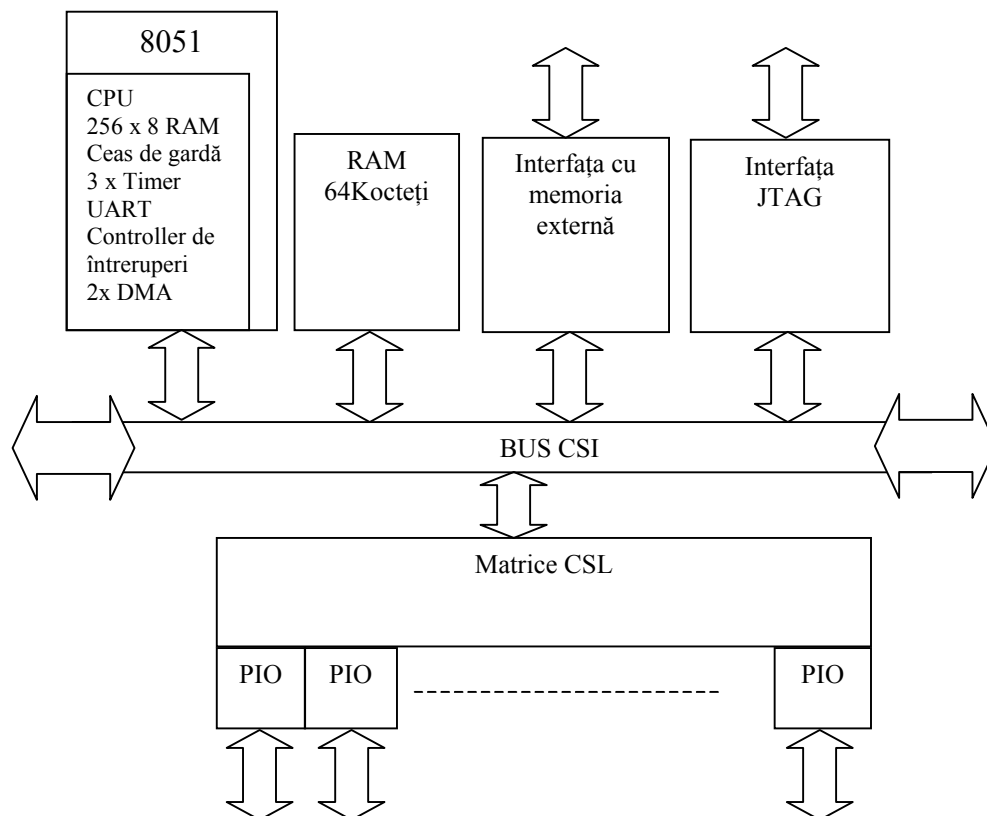


Fig. 10.37. Schema bloc a unui MC TRISCEND E5

Interfața cu memoria externă permite legarea directă a unei memorii de 256K x 8 biți (de regulă FLASH) pentru înscrierea inițială a programului în MC. Înscrierea inițială poate fi realizată la RESET din această memorie FLASH externă în mod paralel, dar poate fi realizată prin citirea programului prin interfața serială de la un PROM serial. Programul poate fi executat din FLASH sau poate fi copiat prin interfața serială în RAM și executat de acolo.

Modul serial eliberează pini I/O care pot fi astfel folosiți în alte scopuri. Procedura de încărcare poate să nu fie reluată dacă RAM-ul se alimentează cu baterie.

Cu aria de module configurabile se pot realiza sisteme la cerere. Fiecare modul poate îndeplini diverse funcții, combinaționale sau secvențiale. Modulele configurabile sunt aranjate într-o matrice, a cărei dimensiuni depind de varianta de circuit. Modulele sunt grupate câte două, pentru a putea împărți resursele. Schema bloc a unui nod din matrice este dată în Fig. 10.38.

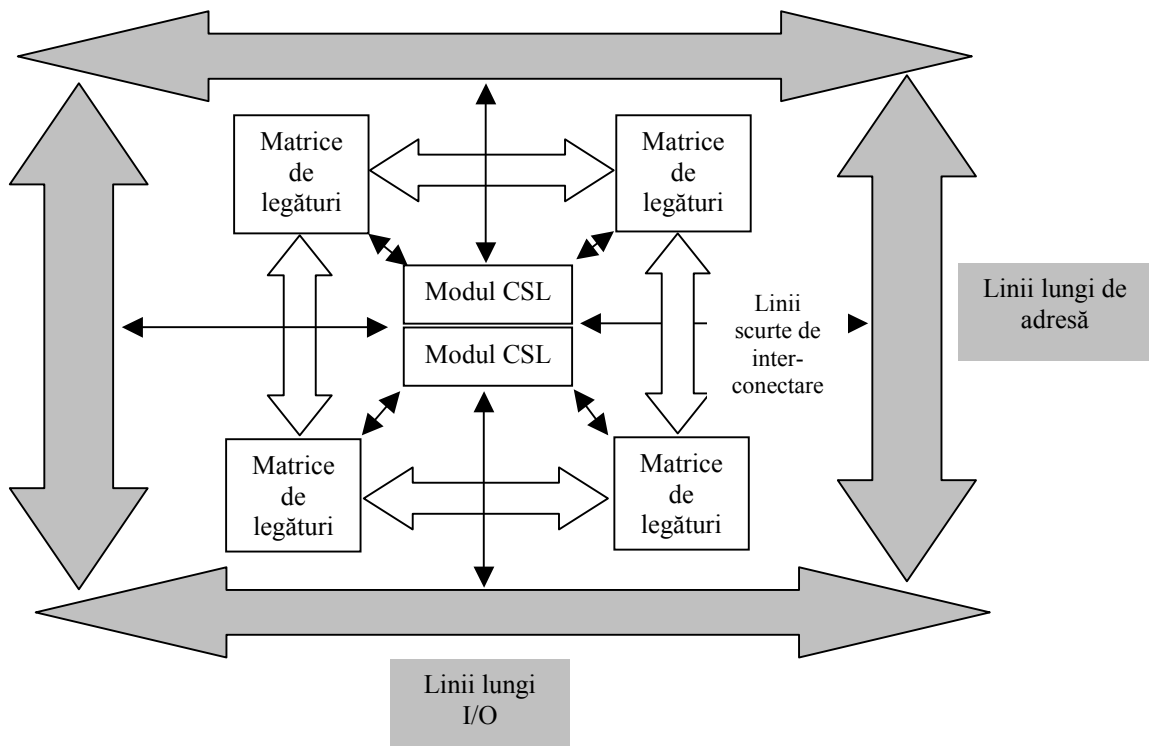


Fig. 10.38. Schema bloc a unui modul de arie configurabilă

Structura unei celule este dată în Fig. 10.39.

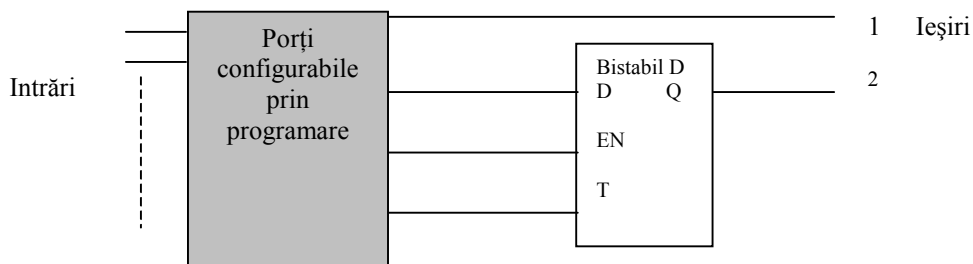


Fig. 10.39. Structura unei celule configurabile

Structura porților poate fi programată la inițializare și reprogramată de ori câte ori. O celulă poate îndeplini una din funcțiile:

- logică (ieșirea 1);
- aritmetică;
- de memorare (ieșirea 2);
- de magistrală;
- secvențială.

Testarea JTAG se poate realiza cu un calculator conectat la interfața JTAG. Pini folosiți sunt:

- TCK ceas de testare (intrare în MC);
- TMS comanda modului de test, intrare în MC, activ pe 0;
- TDI date seriale de intrare în MC;
- TDO date seriale de ieșire din MC.

În modul de testare nu este nevoie ca MC să aibă o memorie externă. Prin legătura JTAG se poate programa matricea CSL și se poate observa modul de rulare al programului de către MC prin intercalarea de break point-uri, rularea pas cu pas, citirea registrelor interne etc.

10.3.4.10. MC pe 16 biți (PHILIPS XA-G3, eXtended Architecture Controller)

Familia XA se bazează pe o extindere a arhitecturii MCS 51. Magistrala de adrese este de 20 de biți (1M adresabil) dar se poate extinde la 24, circuitul fiind dotat cu 32K octeți ROM sau EPROM și 512 octeți RAM. Unitatea centrală are 8 registre care pot fi utilizate și ca bază de adresare, sunt posibile și operații direct cu memoria, se pot face înmulțiri și împărțiri. Tensiunea de alimentare este între 2,7 și 5V. Ca interfețe, familia XA este echipată cu 3 timere, un ceas de gardă, 4 porturi de 8 linii și 2 interfețe seriale UART (Fig. 10.40.).

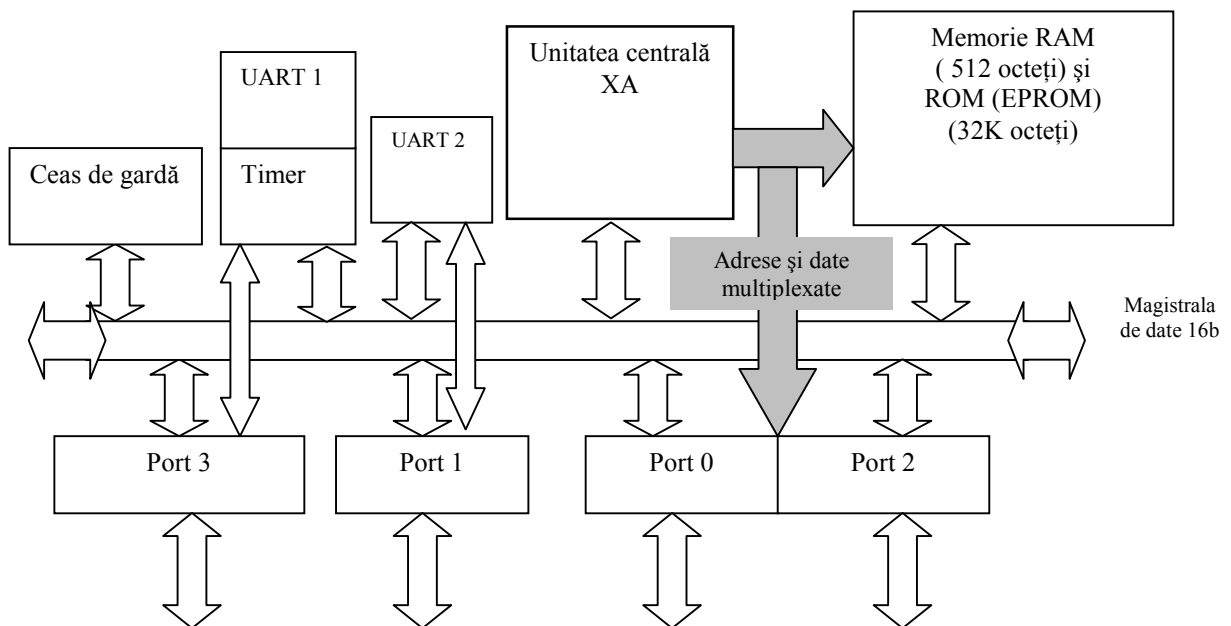


Fig. 10.40. Schema bloc a unui MC XA pe 16 biți

10.3.5. Sistem minimal cu 8051

Schema electrică simplificată a unui sistem minimal cu 8051 este dată în Fig. 10.41.

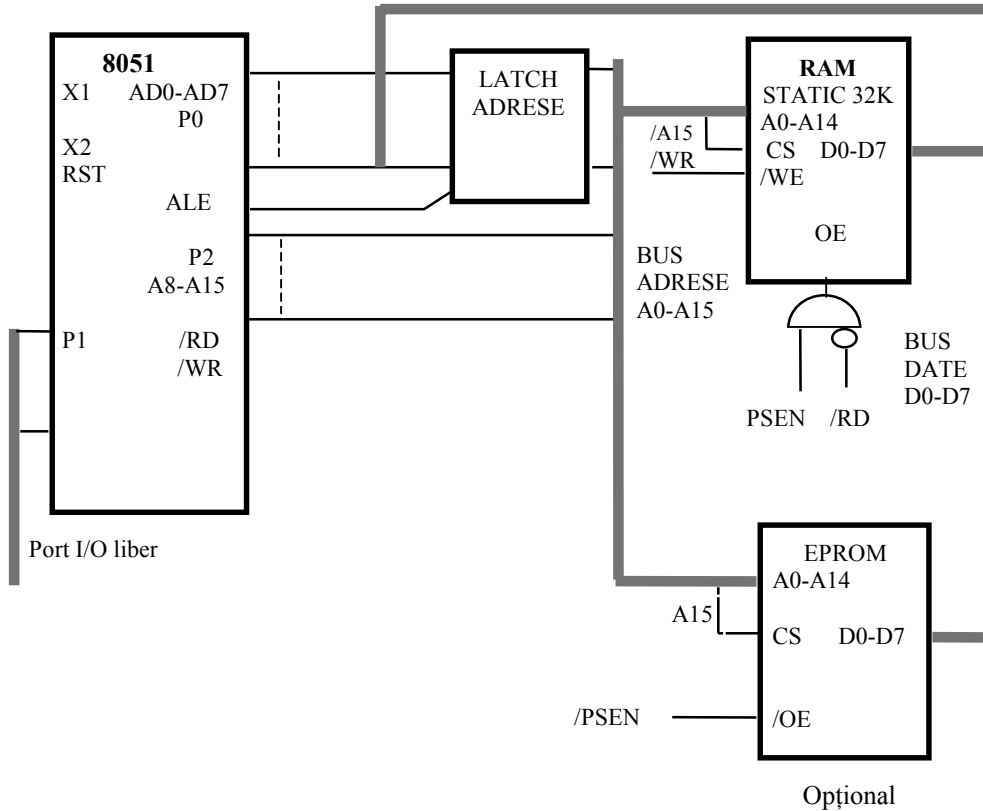


Fig. 10.41. Sistem minimal cu 8051

Sistemul minimal conține RAM cu capacitatea de 32KB, selectat cu PSEN (care indică faptul că nu este acces la memoria program) și /RD pentru o citire sau /WR pentru o scriere în RAM.

Bus-ul de date și adrese este comun pentru AD0-AD7. Adresele se separă cu un latch validat de semnalul ALE. Liniile de date sunt validate cu /RD sau /WR.

Memoria program EPROM este opțională, (este necesară pentru modelele care nu au EPROM sau OTP intern, de exemplu 8031) fiind selectată cu semnalul PSEN. Dacă există EPROM extern /EA=LOW, iar dacă se folosește EPROM-ul intern /EA=HIGH.

Circuitul se completează cu un generator de tact și două componente pentru realizarea RESET-ului, ca în unul din subcapitolele anterioare.

Pentru dezvoltări se poate folosi portul P1, care este liber, și canalul serial. Dacă numărul liniilor I/O nu este suficient, se poate folosi un expander cum este de exemplu 8243, care poate extinde 4 linii la 4x4 linii bidirecționale (Fig. 10. 42.).

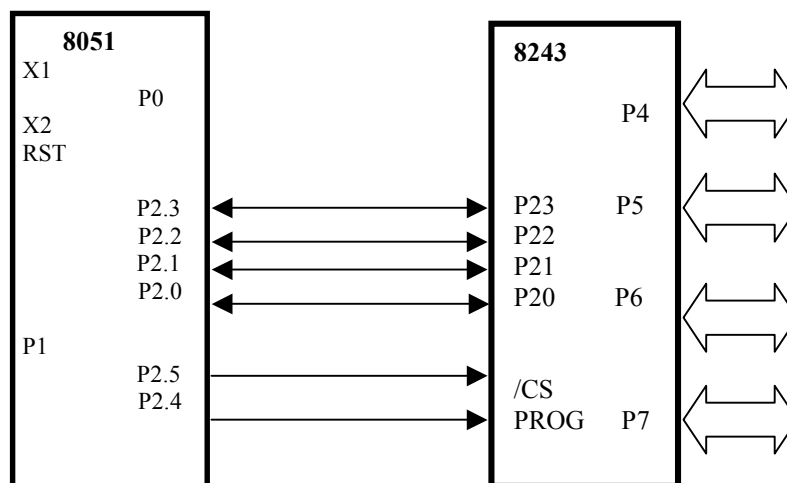


Fig. 10.42. Expandarea liniilor I/O cu circuitul 8243

10.3.6. Date comparative pentru MC din familia MCS-51

Tabel 10.18. Tabel comparativ pentru MC din familia MCS -51

MC	Magistrala de date	Frecvența (MHz)	Linii I/O	Interfețe speciale	Preț (USD)
PHILIPS P87C51	8	16	32	2	4
PHILIPS S87C552	8	16	48	5	35
PHILIPS XA-G3	16	30	32	2	90
TRISCEND E5	8	40	128	2	27
INTEL 87C196	16	20	53	6	18

10.4. ALTE MC CISC

10.4.1 MC compatibile x86

O categorie importantă de MC sunt cele compatibile soft cu microprocesoarele 8086, datorită faptului că programele pot fi preluate direct de pe PC. AMD a realizat familia de MC AMD Comm86™, o familie de MC dedicate comunicațiilor. Aceste MC cu performanțe foarte bune de viteză (tact până la 50MHz și magistrala de date de 16 biți) pot echipa aplicații de comunicații care rezultă astfel ieftine.

Firma AMD (al doilea producător de microprocesoare în lume) a dezvoltat microprocesoarele, urmărind creșterea vitezei prin mărirea frecvenței de lucru, dar a dezvoltat în paralel și MC, urmărind integrarea cât mai multor interfețe pe chip. O serie întreagă de sisteme de dezvoltare susțin aceste MC (www.amd.com). Linia acestor MC a fost preluată și de alți fabricanți care au format parteneriatul Fusion E86.

10.4.1.1. Familia AMD Comm86

Schema bloc a unui MC reprezentativ este dată în Fig. 10.43. Acest MC (Am186CU) conține o interfață USB.

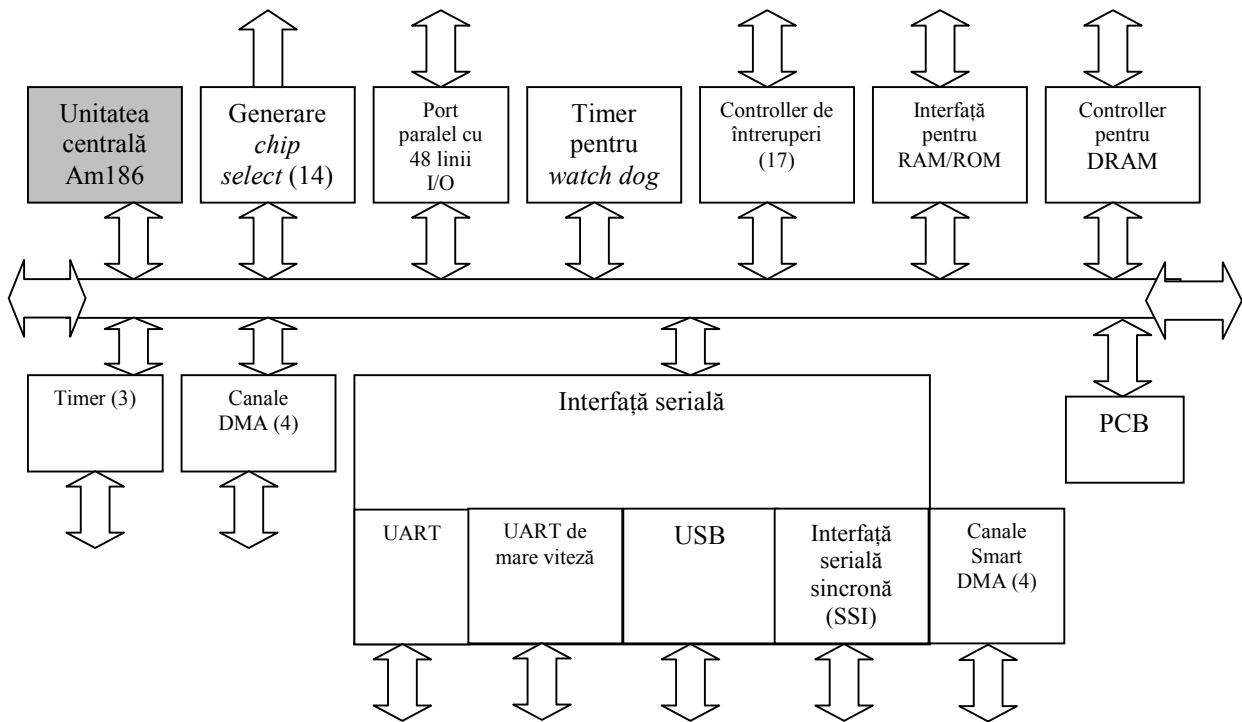


Fig. 10.43. Schema bloc a unui MC AMD Comm86

Modul de organizare a unității centrale și a memoriei este la fel cu al binecunoscutului procesor 8086. Memoria este organizată în segmente, fiecare segment are dimensiunea de 64K. Memoria este adresată cu un registru segment de 16 biți și un offset de 16 biți. Registrele segment sunt CS, DS, SS și ES. Adresa fizică se obține prin deplasarea la stânga cu 4 poziții a valorii segmentului și adunarea la offset. Se obține astfel un spațiu adresabil pe 20 de biți (1M adresabil). Spațiul I/O constă în 64K porturi de 8 biți sau 32K porturi de 16 biți cu care se pot executa operații I/O prin intermediul instrucțiunilor IN și OUT.

Controllerul USB poate lucra la viteza de 12Mbps. Transceiverul USB este inclus în MC pentru a minimiza numărul de componente externe care trebuie folosite. Controllerul USB suportă un număr nelimitat de descriptori, un total de 6 puncte de sfârșit (endpoints) dar nu suportă funcții de gazdă sau hub.

Interfața serială poate lucra în mod DMA cu ajutorul a 4 canale DMA numite SmartDMA. Se pot transfera date direct între memorie și periferic prin buffere de seializare/deserializare. La o transmisie și recepție se folosesc canale DMA diferite; pentru un transfer bidirecțional se folosesc două canale DMA.

Familia AMD Comm86 este echipată cu două porturi seriale asincrone, unul de mare viteză care poate funcționa full duplex, la viteze de până la 460Kbauds, iar celălalt standard (full duplex, 115,2Kbauds). Portul de mare viteză conține buffere de 16 octeți la transmisie și 32 de octeți la recepție. Portul serial de mare viteză poate detecta în mod automat rata de transfer, fiind potrivit pentru cuplarea unui modem Hayes. Fiecare UART are rata de transfer stabilită de la ceasul sistemului sau de la un ceas extern. Sunt suportate cuvinte de 7,8 sau 9 biți, lucru cu paritate sau fără, detectare și generare de BREAK, generare de adresă la emisie și recunoaștere de adresă la recepție, control hard al fluxului

de date. Se pot folosi canalele DMA standard. Portul mai lent poate fi utilizat pentru configurare, programare etc.

Portul serial sincron SSI poate transfera date bidirecțional, half duplex. Acest port este folosit pentru interfațarea în sistem, între MC și alte circuite, pentru a le programa sau pentru a le citi starea. Viteza de transfer ajunge până la 25Mbps. Portul SSI lucrează ca dispozitiv MASTER, celelalte circuite fiind SLAVE. Se trimite la început un octet de comandă după care urmează un octet care se scrie sau se citește. Portul SSI are 3 pini:

SDEN pin de validare folosit pentru validarea SLAVE-ului. Dacă sunt cuplate mai multe dispozitive SSI este nevoie de folosirea câte unei linii din porturile I/O pentru validarea fiecărui SLAVE;

SCLK pin de ceas;

SDATA pin bidirecțional de date.

Polaritatea semnalelor SCLK și SDEN este programabilă, la fel și ordinea biților în cuvântul de date (dacă primul bit transmis este cel mai semnificativ sau cel mai puțin semnificativ). Ceasul de transmisie poate fi divizat intern cu un factor între 2 și 256.

Controlerul de întreruperi poate accepta 36 de cereri de întrerupere mascabile (19 surse interne și 17 surse externe) și 8 întreruperi nemascabile (externe sau interne). Prioritatea întreruperilor nemascabile este programabilă.

Controllerul DMA standard are 4 canale care pot fi folosite pentru transferuri de date între memorie și dispozitive I/O dar și între memorie și memorie sau dispozitiv I/O și dispozitive I/O. Interfețele interne care pot lucra prin DMA sunt controllerul USB, porturile seriale UART și timerul.

Am186CU are 48 de linii I/O, dintre care 34 au semnificații alternative. Aceste linii pot fi programate să lucreze ca intrări sau ieșiri. Unii pini sunt prevăzuți intern cu rezistențe de pull-up sau pull-down sau sunt cu drena în gol. 8 din aceste linii I/O pot fi utilizate ca cereri de întrerupere externă.

Am186CU are 3 timere de 16 biți, dintre care timerul 0 și 1 sunt conectați în exterior la 2 pini, unul de intrare și unul de ieșire. Aceste timere pot contoriza evenimente externe sau pot genera forme de undă complexe, nerepetitive. Timerul 2 nu este conectat în exterior, el poate fi folosit pentru generarea de întârzieri soft, pentru prescalarea la timerul 0 și 1, sau ca sursă de cerere DMA. Ceasul pentru timerele 0 și 1 poate fi la fel sau poate proveni de la o sursă externă.

Ceasul de gardă poate genera întreruperi nemascabile (NMI) sau RESET dacă nu este redeclanșat într-un interval programabil între 2^{10} și 2^{26} tacte de procesor. Uneori se poate recăpăta controlul asupra execuției programului printr-o întrerupere nemascabilă, dar uneori este nevoie de un RESET al MC sau chiar al întregului sistem (care poate cuprinde și alte circuite în afara MC).

Interfața cu magistrala este controlată de PCB (Peripheral Control Block). PCB controlează perifericele externe conectate în spațiul de memorie sau în spațiul I/O, memoria externă și interfețele interne. Se generează semnale de selecție (chip select) separat pentru zona de memorie sub 64K (LCS) sau peste (UCS) sau pentru spațiul I/O. Se generează semnale

care definesc dacă transferul se face pe 8 sau pe 16 biți. Fiecare interfață integrată este controlată cu ajutorul unui registru de 16 biți, localizat în interfața respectivă. Fiecare registru are atașată o zonă de memorie de 1K octet.

Această familie de MC dispune de o magistrală de date și adrese multiplexată. Adresele sunt prezente pe magistrală pe primul tact. Am186CU are în plus și o magistrală de adrese nemultiplexată, pe care adresa este prezentă tot timpul instrucțiunii (t1-t4). Această magistrală nemultiplexată ușurează interfațarea cu memoria externă (SRAM, DRAM sau EPROM). Pentru sistemele la care consumul de energie este important, se poate dezactiva magistrala multiplexată.

În Fig.10.44. se arată diagramele de semnal pentru adrese și date în ambele situații.

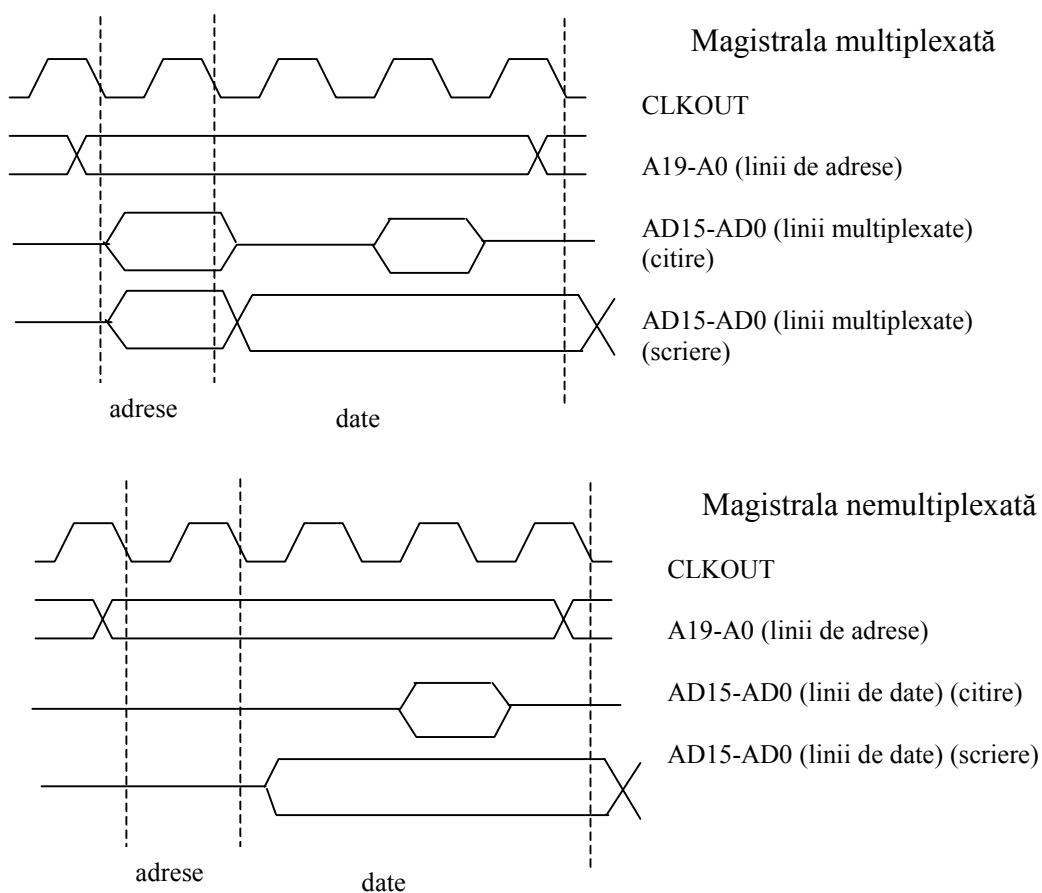


Fig. 10.44. Diagrame de semnal pentru magistrala multiplexată, respectiv nemultiplexată

În exterior circuitul are o magistrală nemultiplexată, pentru că o magistrală multiplexată ar mări costurile prin faptul că ar fi necesare circuite în plus pentru demultiplexare. Ca semnale de comandă a sensului de transfer pe magistrală se folosesc semnalele /WHB (Write High Byte) și /WLB (Write Low Byte) și semnalul /RD cu care se poate valida ieșirea circuitelor care se leagă pe magistrala externă a MC.

Interfața cu memoria RAM dinamică permite cuplarea memoriei DRAM EDO, cu timpi de acces între 25-70ns, în mod 0WS (Zero Wait State) cu memoria cu timp de acces <40ns.

Pot fi cuplate maximum două bancuri de 256Kbit x 16bit. MC generează semnalele RAS și CAS și de refreshul memoriei.

MC poate selecta circuite externe cu 6 semnale de CS în zona de memorie și 8 semnale de CS în zona de memorie sau I/O. MC poate fi programat să simtă semnalul READY de la circuitul extern selectat, care se manifestă în schimbarea unui bit în registrul de stare al CS. În registrul de control al CS se poate programa numărul de stări de WAIT cu care lucrează respectivul circuit extern, pentru a încetini magistrala. Semnalele CS sunt activate de unitatea centrală la cicluri de memorie sau I/O, dar și de controlerul DMA.

10.4.1.2. Microcontrollere PC-AT AMD

Prin familia Elan SC a fost creată de firma AMD o combinație între microprocesoare și MC. Aceste MC conțin o unitate centrală care este de fapt un microprocesor pe 32 de biți și interfețele cele mai utilizate. Schema bloc a MC PC/AT Elan SC310 este dată în Fig. 10.45.

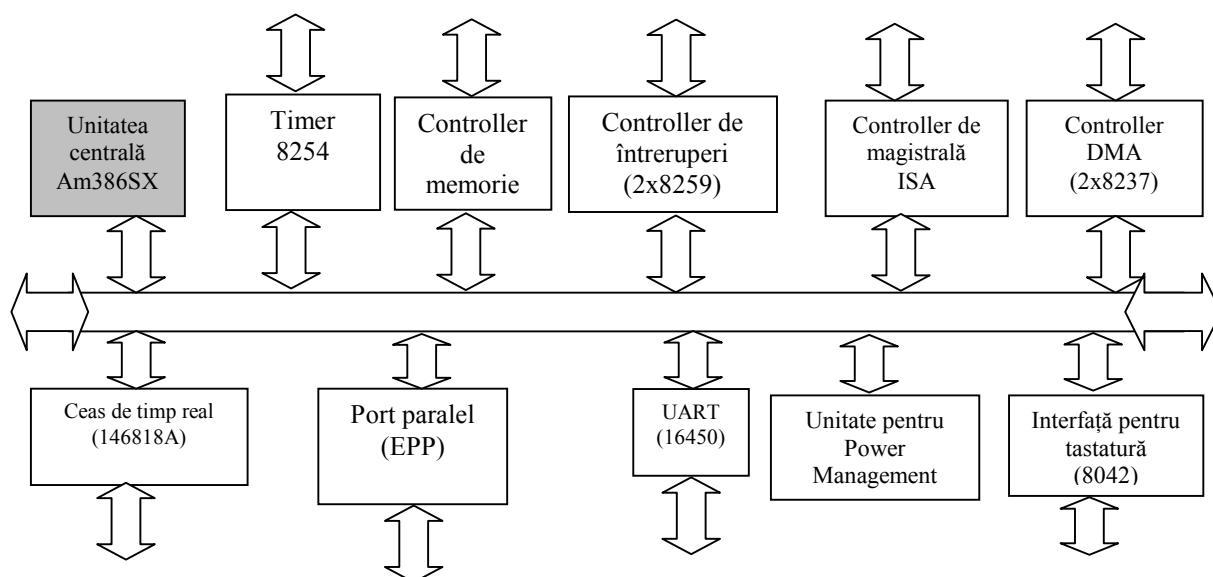


Fig. 10.45. Schema bloc a MC PC-AT Elan SC310

Structura din Fig. 10.45. este foarte asemănătoare cu structura unei unități centrale PC AT. Realizarea unui sistem cu Elan 310 este ușurată de existența unor periferice standard pentru magistrala ISA și a softului care funcționează pe PC AT. MC este perfect compatibil cu DOS și WINDOWS.

Controllerul de memorie poate gestiona până la 16M octeți de RAM dinamic, ROM sau Flash.

Cele mai performante MC dezvoltate de AMD sunt MC din familia ELAN. Acestea pot fi echipate cu interfață LCD și pot lucra în mod cu consum redus, de aceea sunt găsite în multe aplicații ca sisteme GPS portabile, sau scannere portabile. Familia MC Elan SC400 conțin porturi IrDA, porturi seriale și paralele, interfață pentru magistrala ISA etc. Cele mai noi MC din această familie sunt echipate cu magistrală PCI, deci se pot conecta cu multe din echipamentele periferice dotate cu interfață PCI. MC din familia ELAN SC520

cu magistrala de date de 32 de biți sunt dotate cu interfață pentru SDRAM și un soft în circuit numit AMDebug pentru ușurarea lucrului.

10.4.1.3. Date comparative pentru MC compatibile x86

Tabel 10.19. Caracteristici prezentate comparative pentru MC compatibile x86

MC	Magistrala de date	Frecvența (MHz)	Linii I/O	Interfețe speciale	Preț (USD)
Am186CU	16	50	48	5	20
Elan SC310	16 (32 UC)	33	8	5	35

10.4.2. MC low cost

10.4.2.1. MC cu magistrala de date pe 4 biți (Hitachi HD404374)

Cu toate că tendința generală este să se respingă ideea folosirii unui MC pe 4 biți, un astfel de MC poate să controleze cu succes un sistem simplu, la un preț de cost mult sub acela atins de un MC mai complex. Din păcate tendința producătorilor este ca produsele la care prețul este în continuă scădere să fie scoase din fabricație. O prezentare a acestui MC Hitachi va demonstra că are suficiente resurse pentru a comanda o aplicație simplă, cum ar fi de exemplu un încărcător inteligent de acumulatori.

Schema bloc a MC este dată în Fig. 10.46.

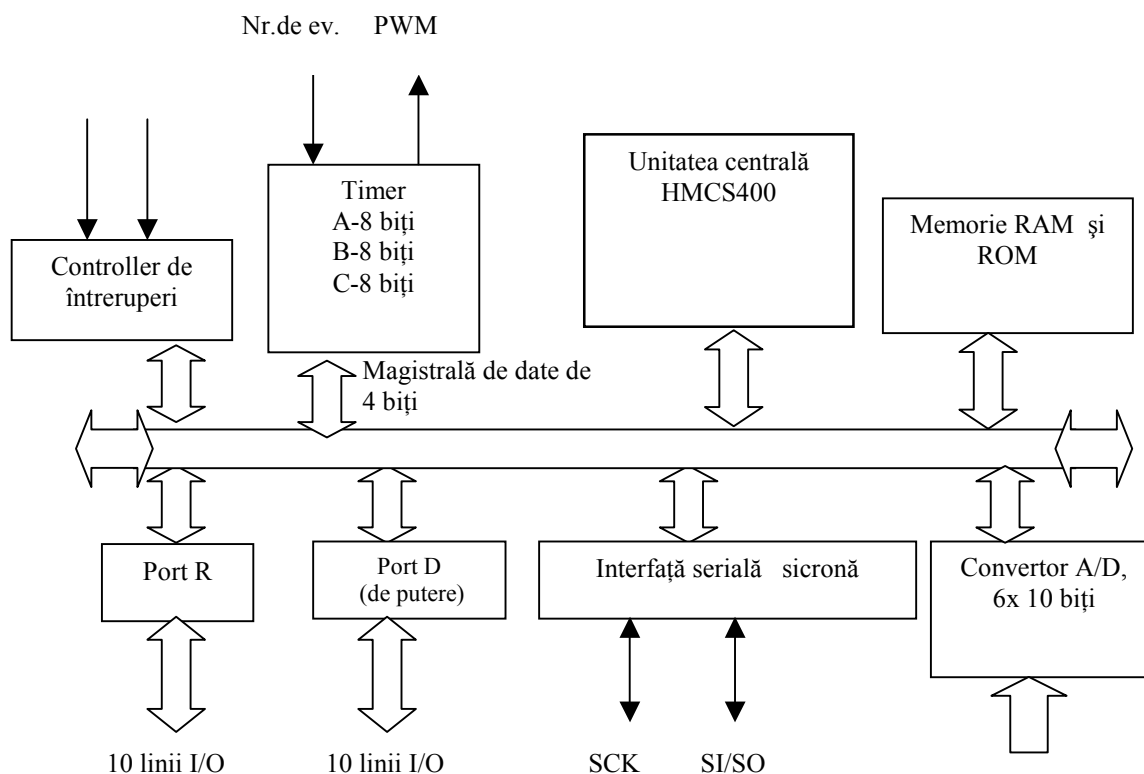


Fig. 10.46. Schema bloc a MC Hitachi HD404374

Tensiunea de alimentare a acestui MC poate fi între 1,8-5,5V. El conține, în funcție de varianta constructivă 20 de pini I/O de uz general, dintre care 4 admit un curent de 10mA, iar 4 un curent de 15mA. Circuitul de timp este format din 3 timere de 8 biți. Două timere se pot grupa și se obține un timer de 16 biți. Circuitul de timp are 2 ieșiri, din care una PWM. Timerul poate lucra și ca numărător al unor evenimente externe. Convertorul A/D are 4 sau 6 canale sau poate lipsi la unele variante.

Generatorul de tact necesită în exterior un cristal, frecvența maximă fiind de 8,5MHz. Există un generator de tact separat pentru ceasul de timp real la care trebuie cuplat un cristal de 32,768kHz.

Circuitul admite 2 întreruperi externe și 5 interne și admite moduri de lucru cu economie de energie. Timerele, interfața serială și convertorul A/D pot intra în stare inactivă.

Memoria ROM, PROM sau EPROM este între 2K octeți și 16K octeți, iar cea RAM de 512 cuvinte de 4 biți.

Circuitul are un set de instrucțiuni bogat și moduri avansate de adresare. Faptul că setul de instrucțiuni este propriu este unul dintre dezavantajele principale ale acestui MC.

10.4.2.2. MC din familia Z8 (Zilog)

Z8 a fost unul dintre primele MC pe 8 biți apărute pe piață. Faptul că și acum apare în cataloage este o confirmare a faptului că a fost un MC reușit. Schema bloc a acestui MC este dată în Fig. 10.47.

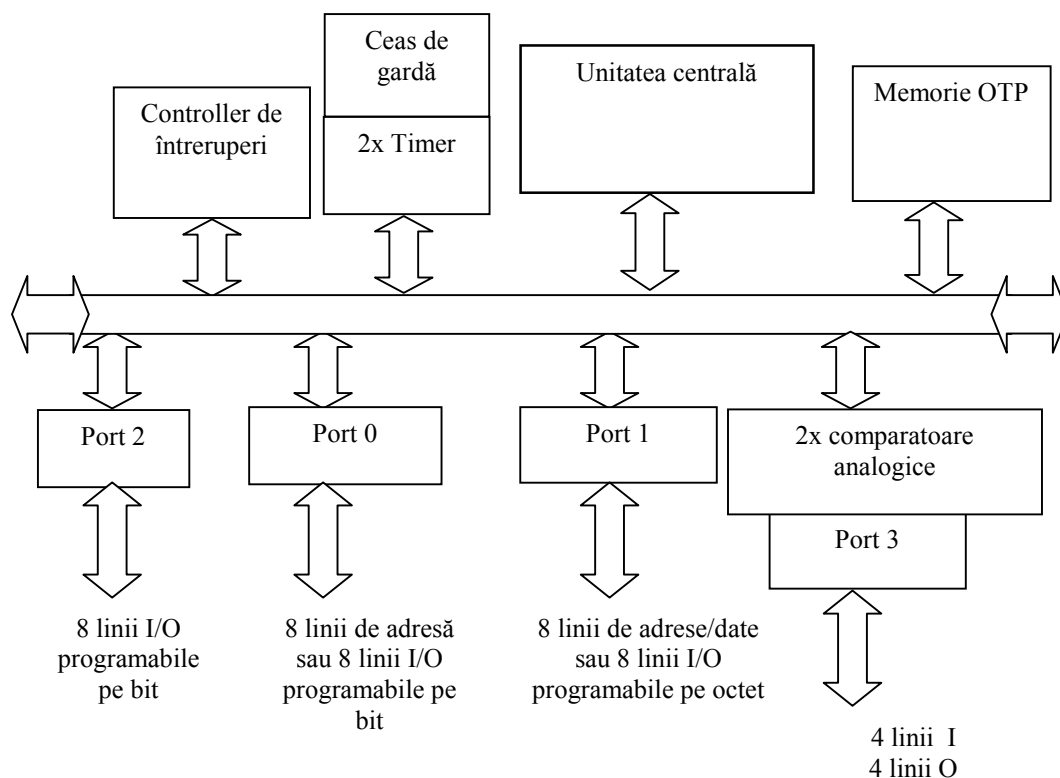


Fig. 10.47. Schema bloc a MC din familia Z8

Porturile I/O pot lucra în moduri de transfer automat, transferul fiind coordonat de semnale de protocol handshake. Astfel, portul 0 poate fi controlat de liniile portului 3 (P32 și P35), portul 1 de liniile portului 3 (P33 și P34), portul 2 de liniile portului 3 (P31 și P36). Porturile 0 și 1 pot fi comandate în înaltă impedanță. Liniile portului 3 sunt împărțite și de intrările analogice ale comparatoarelor, tensiunea de referință pentru comparație și ieșirile comparatoarelor. Rezultatul comparației poziționează un bit într-un registru de stare.

Acest MC nu are integrată memorie RAM; aceasta trebuie conectată în exterior, ceea ce este un dezavantaj. Se poate conecta RAM astfel încât RAM+OTP să fie maximum 64K.

Controlerul de întreruperi admite 3 surse externe și 6 surse de întrerupere interne, mascabile, cu prioritate programabilă. 4 linii de cerere de întrerupere sunt alocate portului 3 pentru protocoalele handshake și 2 linii sunt alocate timerelor. Circuitul admite o frecvență de lucru de maximum 16MHz.

Sunt posibile 2 moduri de lucru cu economie de energie:

modul **HALT**, în care intră cu instrucțiunea HALT, care oprește tactul UC, dar nu și tactul extern. Timerele și controlerul de întreruperi rămân active. Circuitul poate fi scos din starea de HALT cu o cerere de întrerupere.

modul **STOP**, în care este oprit și tactul extern, asigură un consum mai mic de 10μA. Ieșirea din starea STOP se poate face doar prin RESET.

Cu acest nucleu firma Zilog a construit MC pentru diferite aplicații. MC Z86L82 a fost proiectat pentru a realiza funcții specifice telecomenzilor în infraroșu. Circuitul este echipat în plus cu RAM (256 octeți) și un modul de generare și recepție automată a șirurilor complexe de semnale. Acest modul este format dintr-un registru temporizator/numărător de 8 biți și unul de 16 biți, Fig. 10.48.

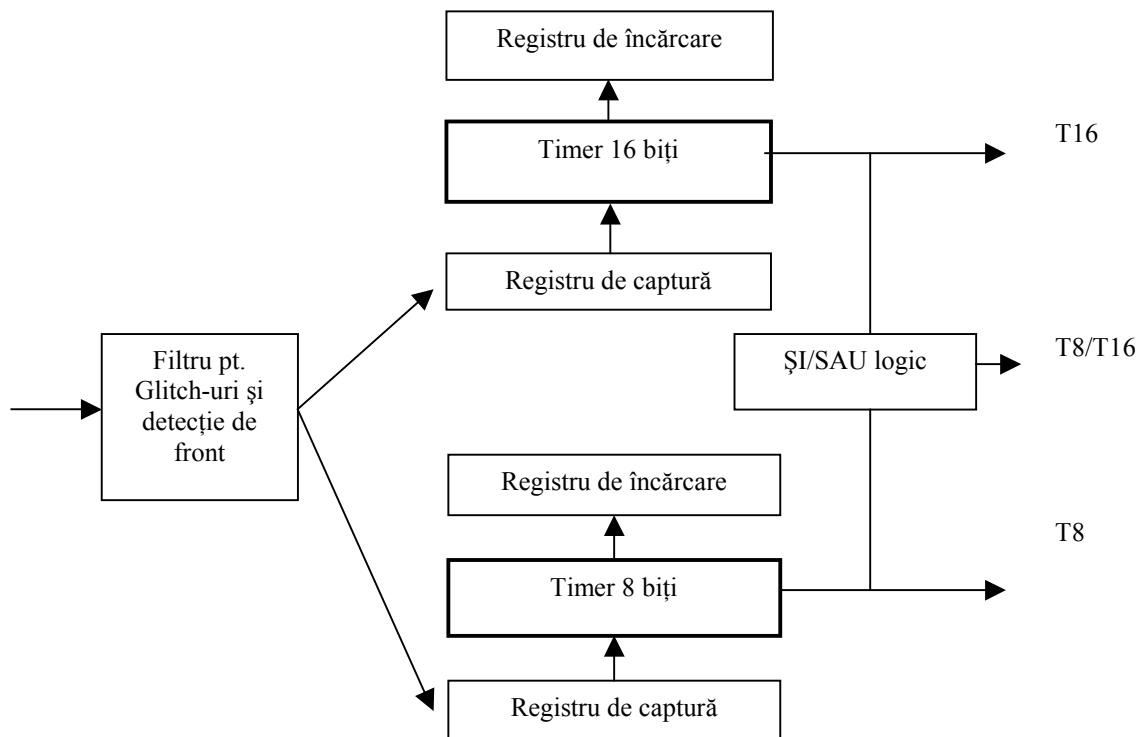


Fig. 10.48. Modul de generare și recepție automată a șirurilor de caractere

Modulul de generare și recepție se ocupă cu modularea și demodularea semnalelor pentru transfer în infraroșu. Modularea se face după un anumit algoritm și eliberează unitatea centrală de această sarcină.

Timerele au mai multe moduri de lucru:

- mod numărare - numără până la valoarea programată apoi se opresc sau pot relua numărarea;
- mod demodulare - încarcă serial șirul de date începând cu primul front.

În orice moment conținutul timerelor poate fi încărcat în registrele de încărcare și citit de UC. Ieșirea se poate face cu un ȘI/SAU logic între timere, ceea ce creează posibilitatea inserării unor semnale de tact în semnalul emis.

Un alt MC a fost conceput pentru aplicații de televiziune digitală (DTC) pentru a echipa și controla receptoare TV de televiziune digitală sau receptoare de satelit. În jurul nucleului Z8 au fost integrate un generator de caractere, o memorie video RAM și canale PWM. Memoria ROM pentru generatorul de caractere și RAM sunt utilizate la suprapunerea pe ecran a unor informații (OSD On Screen Display) iar canalele PWM pentru obținerea tensiunii de acord și nivelul semnalului audio.

Schema bloc a circuitului este dată în Fig. 10.49.

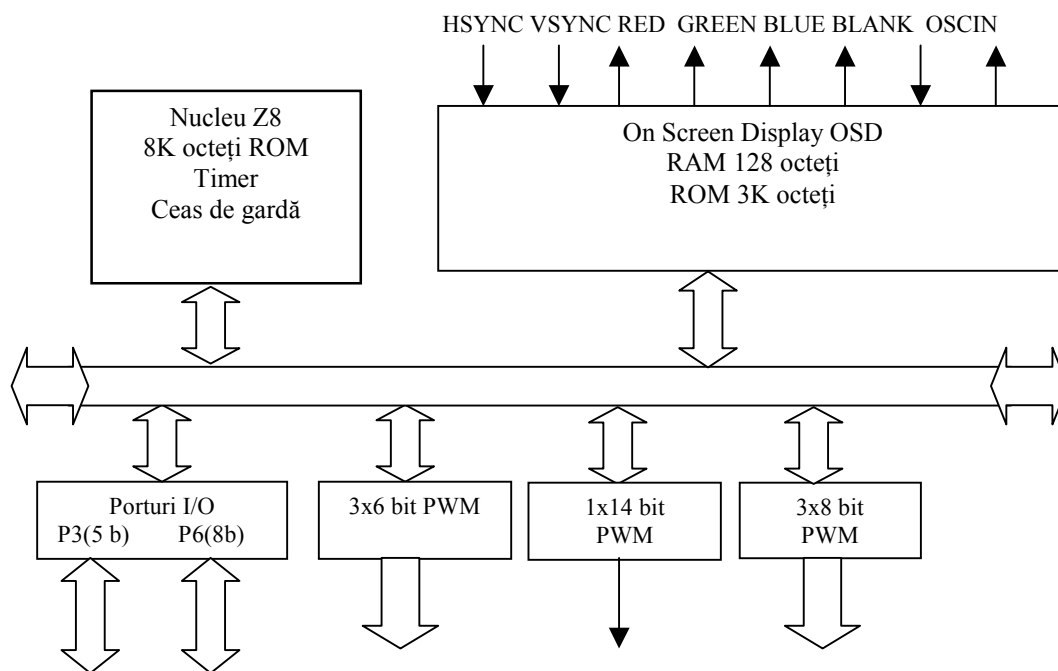


Fig. 10.49. Schema bloc a MC Z90102 folosit în aplicații de televiziune digitală

10.4.3. Familia COP8 (National Semiconductor)

MC COP8 sunt circuite avansate care pot include un număr însemnat de interfețe speciale, ca SPI, convertoare A/D, CAN, MICROWIRE, și sunt proiectate în vederea EMC, cu o radiație emisă mică (Quiet Design) (www.national.com/cop8).

Schema bloc a acestui MC (COP888) este dată în Fig. 10.50.

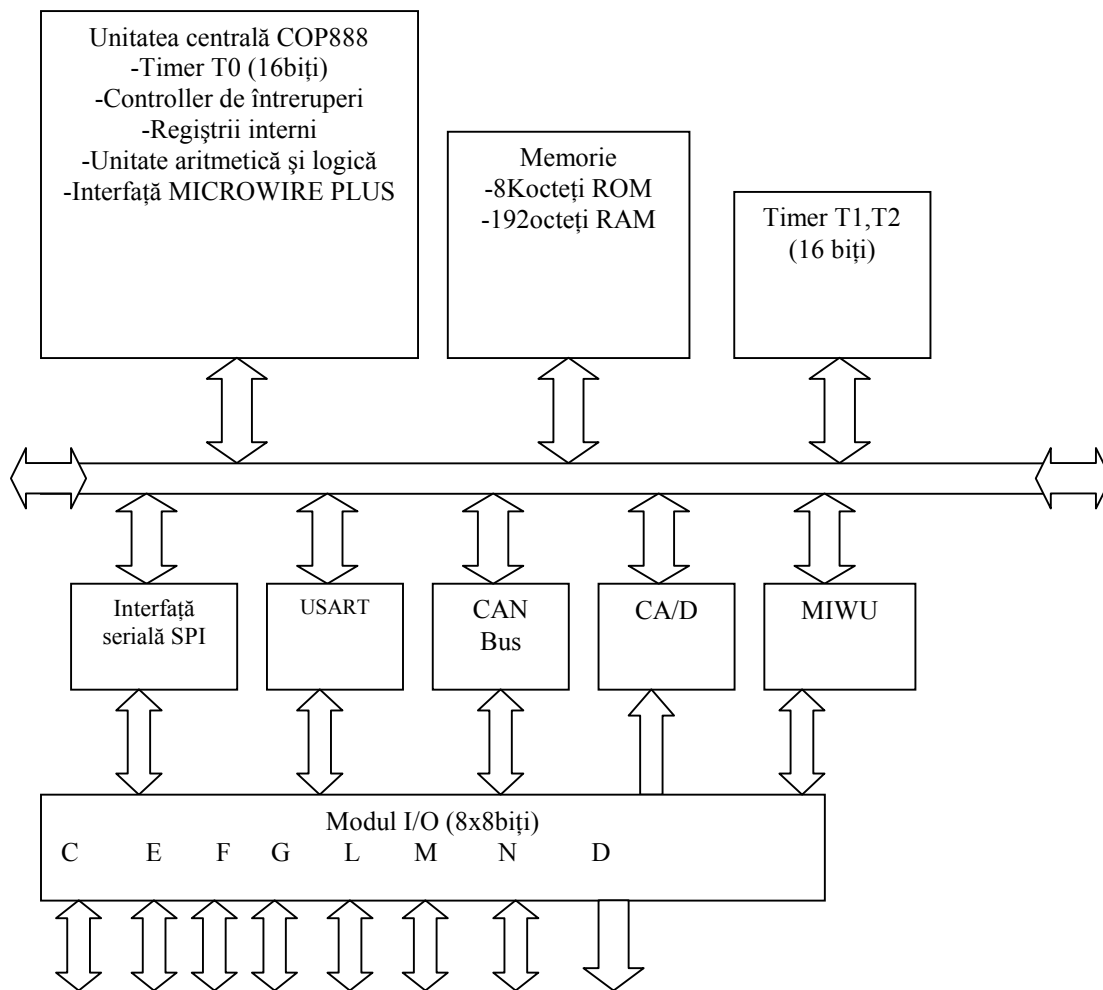


Fig. 10.50. Schema bloc a MC din familia COP8

Circuitul are o arhitectură Harvard modificată. Ca și în arhitectura Harvard, memoria RAM pentru date și memoria ROM pentru program au propriile spații de adrese și magistrale proprii de adresare. Frecvența maximă la care poate lucra circuitul este 10MHz, stabilită din exterior cu un cristal de cuarț.

Unitatea centrală poate executa anumite instrucțiuni (adunare, scădere, operațiile logice și deplasarea) într-un singur tact (1μs). UC are 5 registre: un acumulator A de 8 biți, PC de 15 biți (separat în două registre PU și PL), un registru index pentru adresare B care poate fi incrementat/decrementat automat, un registru pentru adresare alternativ X, indicatorul de stivă SP. Registrele sunt mapate în zona de memorie, mai puțin A și PC. UC permite 10 modurile de adresare, dintre care modurile indirecte pot fi cu autoincrementare sau autodecrementare. Modurile de adresare sunt:

- indirectă prin registru - operandul din RAM este adresat cu conținutul registrului B sau X
- indirectă prin registru cu autoincrementare sau autodecrementare
- directă
- imediată
- imediată scurtă - conține un câmp de 4 biți pentru operand (are 1 ciclu)

- indirectă - folosind ca adresă registrul acumulator ca 8 biți mai puțin semnificativi
- relativă (pentru salturi)
- absolută pentru salturi (se poate introduce o adresă de 12 biți pentru salt)
- absolută lungă (se poate introduce o adresă de 15 biți de salt)
- indirectă - adresa de salt este indicată de acumulator (cei mai puțini semnificativi biți).

MC are 55 de instrucțiuni:

ADD- și ADC adunare

SUBC- scădere cu Carry

AND, OR, XOR- ȘI, SAU, SAU EXCLUSIV logic

IFEQ, IFNE, IFBNE - instrucțiuni de verificare pentru salt, dacă este egal, dacă nu, dacă B nu este egal

SBIT, RBIT, IFBIT- poziționare bit, Reset bit, dacă bit

RPND- Reset intern

LD- încărcare

X- schimbare conținut cu memoria

CLR- ștergere A

INC, DEC- incrementare, decrementare

LAID- încărcare direct din ROM

RRC, RLC- rotație

SWAP- interschimbarea niblurilor în A

SC, RC, IFC, IFNC- poziționare Carry, Reset, dacă, dacă nu

POP, PUSH- operații cu stiva

JMPL, JMP, JP, JID- salt absolut lung, salt absolut, salt relativ, salt indirect

JSRL, JSR- salt la subrutină lung, scurt

RET- întoarcere din subrutină

RETI- întoarcere din întrerupere

NOP- nici o operație

Porturile I/O sunt portul C de 8 biți bidirecțional, portul D de 8 biți de ieșire cu posibilitatea unui curent mare de ieșire (10mA), port F de 8 biți bidirecțional, port G de 8 biți bidirecțional (cu semnificații duble pentru MICROWIRE, timer și ceas de gardă), portul I de 8 biți folosit și pentru intrările convertorului A/D, port L de 8 biți folosit și pentru USART și sistemul MIWU (Multi-input Wake up), portul M de 8 biți bidirecțional folosit și pentru SPI, MIWU, CAN și timer și portul N de 8 biți bidirecțional folosit și ca expander pentru comanda mai multor dispozitive SPI slave.

MC COP8 dispune de 3 timere (T0, T1, T2) asociate cu registre de încărcare și captură. Timerul T0 este un timer de 16 biți care numără tactul sistemului, folosit pentru stările cu economie de energie (starea inactivă). Utilizatorul nu poate scrie sau citi acest timer. Timerele 1 și 2 sunt identice, de 16 biți, asociate fiecare cu 2 registre R1A și R1B (R2A și R2B). Fiecare timer are asociați 2 pini T1A și T1B (T2A și T2B). Timerele au 3 moduri de lucru:

- generare PWM independent de procesor. UC trebuie să încarce parametrii semnalului PWM, și apoi generarea este continuă. La fiecare depășire timerul este încărcat alternativ din registrele RA sau RB în care sunt stocate datele pentru factorul de umplere;

- numărare a evenimentelor externe, în care timerul numără având ca tact de intrare pinul extern TA (pe frontul pozitiv sau negativ, programabil). Când timerul s-a umplut este posibilă generarea unei cereri de întrerupere;
- mod de captură, în care circuitul poate măsura perioade de timp sau frecvențe din exterior. Timerul numără cu tact intern. Registrele RA și RB pot fi încărcate cu conținutul timerului, încărcarea fiind comandată de cei doi pini externi.

Circuitul admite moduri de lucru cu economie de energie, modul inactiv (Idle) în care oscilatorul și timerul 0 funcționează și modul HALT în care toate activitățile MC sunt oprite. Ieșirea din modul HALT se poate face prin RESET, prin modalitatea Multi Wakeup sau de la CAN. În modul inactiv consumul de energie scade la o treime din consumul normal. Revenirea din starea inactivă se poate face la fel, prin RESET, prin sistemul Multi Wakeup sau de la interfața CAN. Intrarea în mod inactiv poate fi întârziată cu o perioadă de timp programată cu timerul T0. Sistemul Multi Wakeup permite ca ieșirea din stările cu economie de energie să fie comandate de la pini exteriori, aceștia fiind pini portului L și M. Biții care pot solicita trezirea pot fi validați individual printr-un registru de validare. De asemenea se poate programa și frontul care poate solicita trezirea MC. Trezirea MC nu este bruscă, întâi este pornit timerul 0 care numără 256 tacte, permițând astfel tactului să treacă de unele variații de formă tranzitorii. Circuitul poate fi trezit și de o activitate pe magistrala CAN, dar cadrul de date care produce trezirea circuitului se pierde.

MC COP8 sunt prevăzute cu monitor de tact, care este un circuit de protecție cu rolul de a rejecta un tact cu frecvența foarte mică. Astfel se garantează rejectia unui tact de 10Hz și se garantează că un tact de min. 10kHz nu este rejectat. În modurile de economie de energie unde se oprește tactul se semnalizează o eroare de către monitorul de tact. Semnalizarea erorii se realizează prin pinul exterior G1 al portului G.

10.4.3.1. Interfața serială USART

Spre deosebire de majoritatea MC care au interfața serială sincronă diferită de cea asincronă, COP8 are un modul USART. Transmisia poate avea loc cu tact intern (asincron) sau cu tact extern (sincron). La transmisia sincronă sunt posibile mai multe tipuri de cadre, formate dintr-un bit de START, 7, 8 sau 9 biți de date, cu paritate sau fără și biți de STOP. Schema bloc a blocului USART este dată în Fig. 10.51.

Caracterele seriale sunt transmise sau recepționate serial în registrele de transmisie sau recepție. La recepția unui caracter, acesta se încarcă în bufferul de recepție și se cere o întrerupere și eventual se comandă intrarea MC în stare activă dacă era în stare inactivă, prin MIWU. La emisie, un caracter se introduce în bufferul de transmisie de unde este trecut în registrul de deplasare și se transmite serial, cerându-se și o întrerupere.

Ceasul se poate selecta intern sau extern. Dacă este selectat ceasul intern, el se formează din tactul sistemului cu o divizare printr-un numărator de 16 biți (prescalare) și apoi un numărator de 11 biți.

Comanda USART se realizează cu un registru de stare și control.

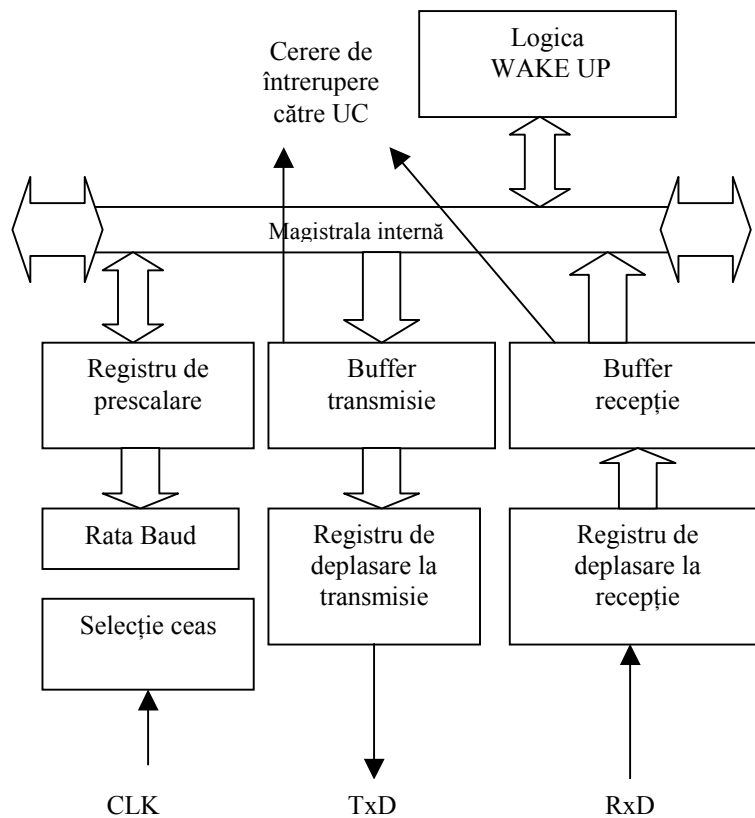


Fig. 10.51. Schema bloc a USART

10.4.3.2. Convertorul A/D

Circuitul COP888 conține un convertor A/D cu aproximații succesive, cu 8 canale și intrări multiplexate. Convertorul admite atât intrări cât și unipolare. Convertorul poate face o singură achiziție și se oprește sau poate fi comandat să facă achiziții continue (în acest mod rezultatul ultimei achiziții este întotdeauna în registrul cu rezultatul achiziției). Convertorul este comandat de un registru de comandă ENAD care conține selecția canalului, selecția modului de lucru, tactul pentru convertor (tactul sistemului divizat cu 2, 4, 6, 12) și startul conversiei. Când se termină o conversie, convertorul poziționează un bit în registrul de comandă ENAD și pune rezultatul în registrul rezultat ADRSLT. Achiziția se face pe 8 biți, iar timpul minim pentru o conversie este de 600ns.

Unul din membrii familiei (COP888EK) este echipat cu un bloc analogic care permite implementarea funcției de convertor cu integrare cu o singură pantă, Fig. 10.52. Modulul analogic permite comutarea la intrarea unui comparator a unuia dintre cele 6 canale analogice sau a unei tensiuni de referință. La cealaltă intrare a comparatorului se conectează un condensator în exterior. Condensatorul este încărcat de un generator de curent. Perioadele de timp în care comparatorul este în una sau alta dintre stări se pot determina cu modulul timer.

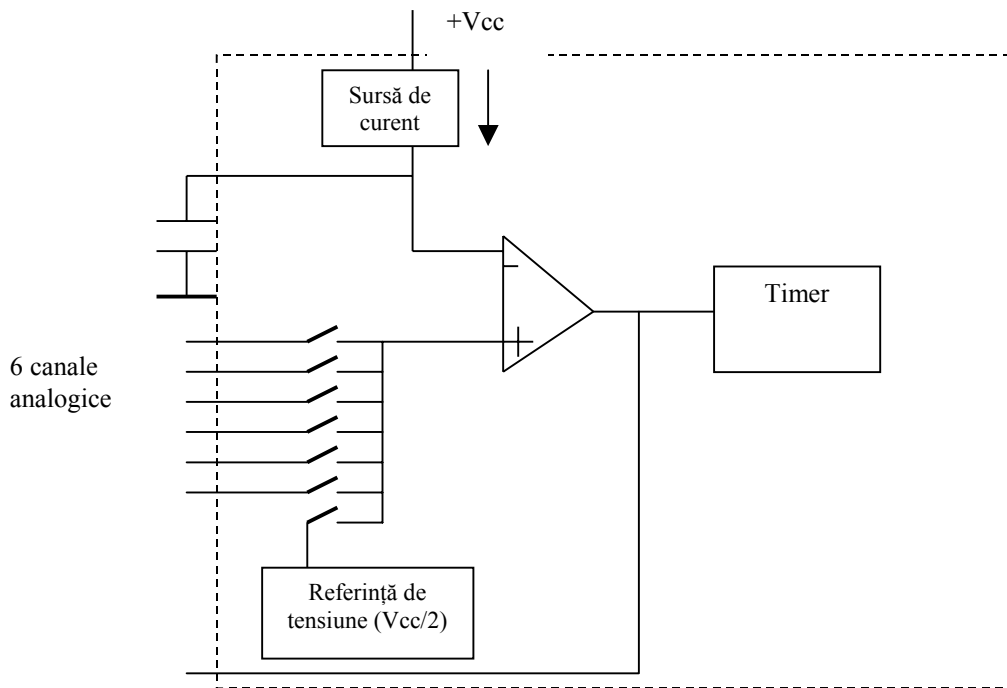


Fig. 10.52. Schema bloc a modului analogic

10.4.3.3. Interfața CAN (Controller Area Network)

În acest MC este implementată o interfață CAN de joasă viteză (1Mbps cu un oscilator de 10MHz - specificațiile CAN 2.0 B) pentru cuplarea la magistrala CAN. Circuitul este echipat cu câte 2 registre pentru emisie și 2 pentru recepție, ceea ce înseamnă că pot fi recepționate automat doar cadrele de 16 biți. Pentru recepționarea sau emisia cadrelor mai lungi trebuie testat bitul de buffer de recepție plin (RBF) sau buffer de transmisie gol (TBE). La recepția sau emisia unui caracter se poate genera o întrerupere.

La transmisia CAN datele sunt codificate pentru a fi trimise pe linie în cod NRZ, iar la fiecare grup consecutiv de 5 biți cu aceeași valoare logică se introduce un bit (deci o tranziție) care se extrage la decodificare. Nivelele pe linie sunt numite dominant (0) și recesiv (1).

Transferul de date prin CAN se face cu cadre (blocuri de date) care sunt citite de toate dispozitivele cuplate la CAN dar sunt reținute de acestea doar dacă le sunt adresate.

Structura unui cadru CAN este:

- un bit de START OF FRAME (un bit dominant) - care se poate emite doar dacă magistrala este în stare inactivă;
- câmpul de arbitrare - conține câmpul de identificare și bitul RTR (Remote Transmission Request);
- câmpul de control - conține lungimea câmpului de date și mărimea cadrului;
- câmpul de date - poate conține 1-8 octeți de date;
- câmpul CRC - se termină cu un bit recesiv.

Cadrele pot fi:

- de date - transmise de orice dispozitiv CAN;
- cadre de comandă (Remote) - dacă un master poziționează bitul RTR, dispozitivul CAN adresat poate trimite date după transmisia cadrului curent. Un cadru de comandă nu conține date.
- cadre de control - pot indica o eroare sau o suprascriere. Un cadru de suprascriere poate fi emis de orice dispozitiv care nu a putut prelua mesajul și următorii octeți s-au înscris peste primii.

Fiecare dispozitiv CAN recepționează toate cadrele și dispune de un filtru de acceptare care selectează cadrul cu adresa proprie a dispozitivului. În configurație se pot adăuga noi dispozitive, cu adresă proprie, fără nici un efort. Dacă se recepționează un cadru eronat, toate dispozitivele CAN trimit un cadru de control care indică o eroare. Fiecare cadru eronat incrementează în dispozitiv un numărător de erori (care este decrementat de cadrele valide). Un număr de erori mai mare de o anumită limită produce decuplarea dispozitivului de la magistrala CAN.

Schema bloc a modului de interfață CAN este dată în Fig. 10.53.

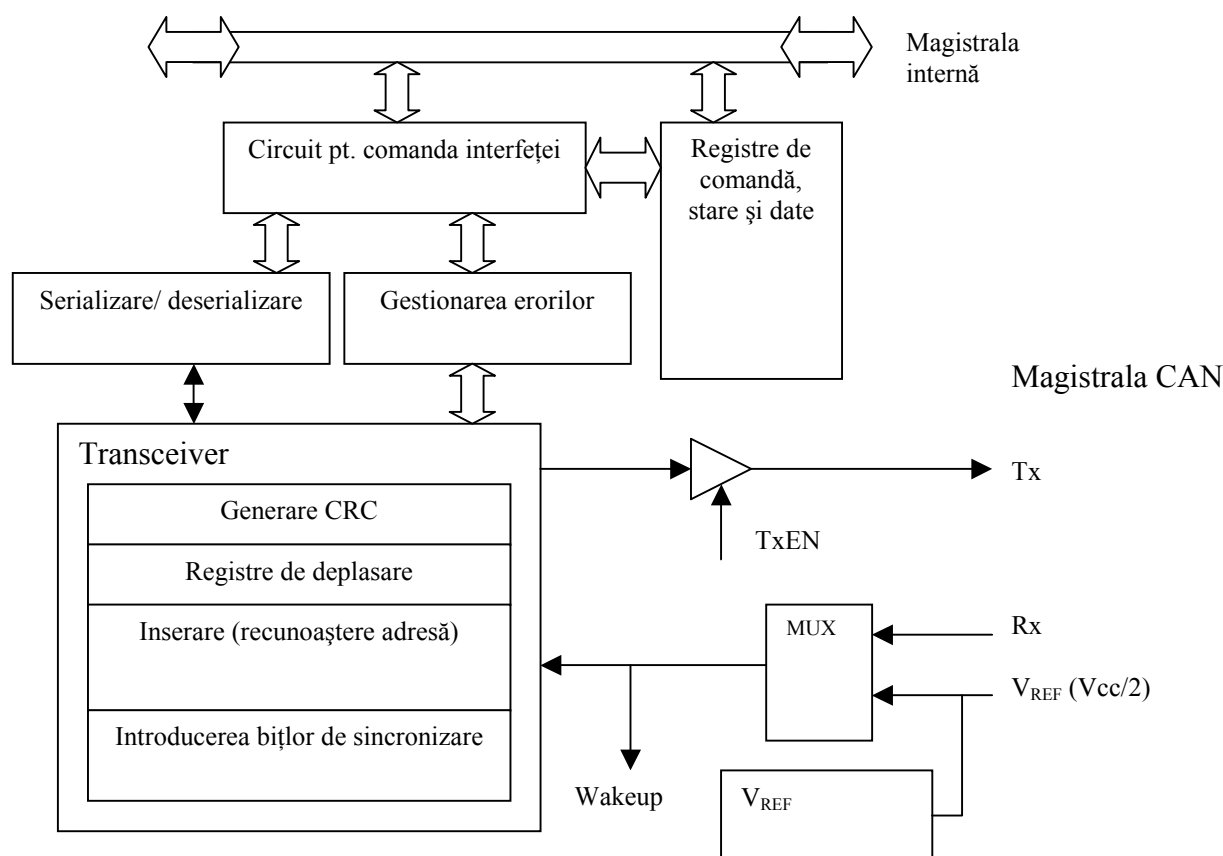


Fig. 10.53. Schema bloc a modului de interfață CAN

Datele de emis sunt serializate, se calculează CRC, se inserează biții de sincronizare și adresa dispozitivului de destinație, apoi datele sunt validate de TxEN într-o poartă care admite trecerea în înaltă impedanță. La recepție se poate face compararea cu un nivel de tensiune de referință, apoi șirul de date este trecut prin filtrul de acceptare, se extrag biții de sincronizare și se verifică CRC. Dacă se recepționează un cadru cu erori este incrementat numărătorul de erori, iar dacă nu, informația este deserializată și este informată unitatea centrală că un cadru (2 oceți) poate fi citit.

Funcționarea interfeței poate fi programată cu 15 registre de comandă/ stare/ date.

10.4.3.4. Interfața MICROWIRE

MICROWIRE PLUS este o magistrală serială sincronă introdusă de National Semiconductor pentru a conecta dispozitivele din familie: MC, convertoare, interfețe, memorii. Această magistrală a fost introdusă odată cu familia COP4. Structura este foarte asemănătoare cu cea a interfeței SPI, deci conectarea între elemente este foarte simplă. Ca și la SPI, dispozitivul Slave cu care se face transferul trebuie selectat cu o linie specială de selecție. Transmisia fiecărui bit este sincronă cu un impuls de tact.

Magistrala constă în 3 linii, una de intrare de date, una de ieșire de date și o linie de tact. Tactul poate fi intern sau extern. Operarea cu tact intern se numește operare în mod Master, iar cea cu tact extern Slave. Schema bloc a interfeței MICROWIRE este dată în Fig. 10.54.

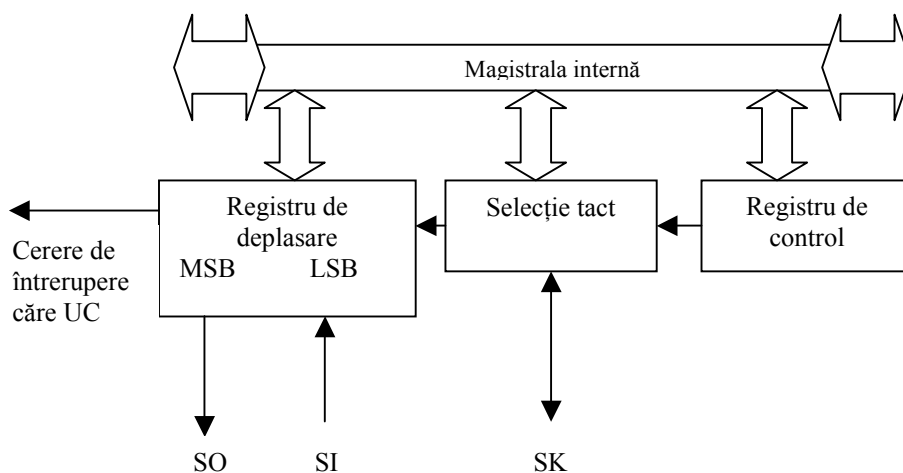


Fig. 10.54. Schema bloc a interfeței MICROWIRE

În modul Master și Slave trebuie definite liniile de intrare ieșire corespunzător (în mod Master tactul este de ieșire) ca linii speciale ale portului G. Poziționarea bitului MSEL în registrul de control validează funcționarea interfeței. Selecția tactului cu care se face emisia/recepția se poate face prin selecția unui ceas extern sau ceas intern (tactul sistemului divizat cu 2,4,8) tot în registrul de control.

Umplerea registrului de deserializare este indicată automat prin poziționarea bitului BUSY din registrul PSW (Processor Status Word), pentru ca datele să poată fi preluate.

În Fig. 10.55. se arată conectarea mai multor dispozitive MICROWIRE pe magistrală.

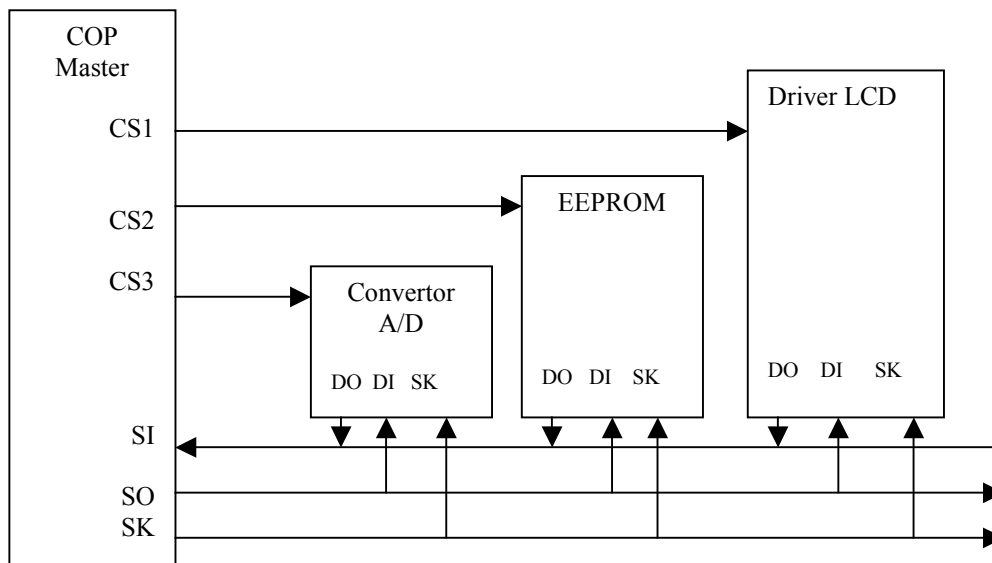


Fig. 10.55. Conectarea dispozitivelor la magistrala MICROWIRE

Interfața MICROWIRE este importantă și pentru că permite încărcarea unui program la pornirea MC dintr-un EEPROM cu interfață MICROWIRE, de exemplu NMC9306 (256 biți) printr-o conexiune simplă, Fig. 10.56.

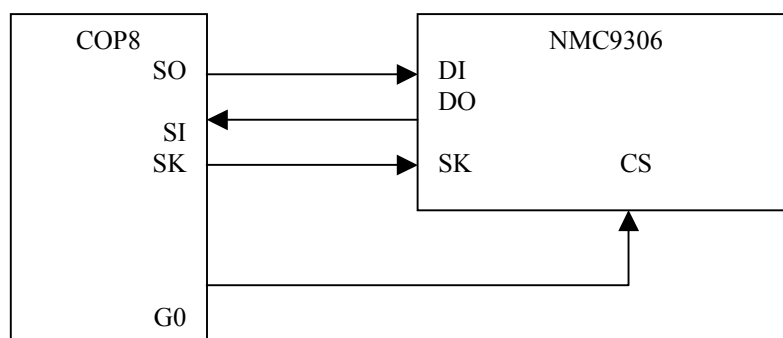


Fig. 10.56. Schemă de conectare a unui EPROM prin magistrala MICROWIRE

10.4.4. Familia TMS370 (Texas Instruments)

Familia TMS 370 constă în 130 de MC standard și 27 de module funcționale diferite, cu care se pot realiza la cerere noi MC, bazate pe o arhitectură von Neumann. Memoria și dispozitivele I/O împart aceeași zonă de adresare. Frecvența maximă de lucru este de 5MHz. Schema bloc a MC din familia TMS 370 este dată în Fig. 10.57.

Unitatea centrală este pe 8 biți de date, are un numărător de program (PC), indicator de stivă (SP), un registru de stare și registre de lucru. Registrele de lucru (256 situate în RAM) pot fi accesate într-un singur ciclu și sunt mapate la începutul memoriei. Arhitectura unității centrale, numită registru la registru, permite executarea de instrucțiuni aritmetice și logice direct între 2 registre, fără intermediul acumulatorului, de exemplu instrucțiunea:

ADD R24, R47 adună conținutul registrului 24 cu conținutul registrului 47,
cu rezultatul în 47.

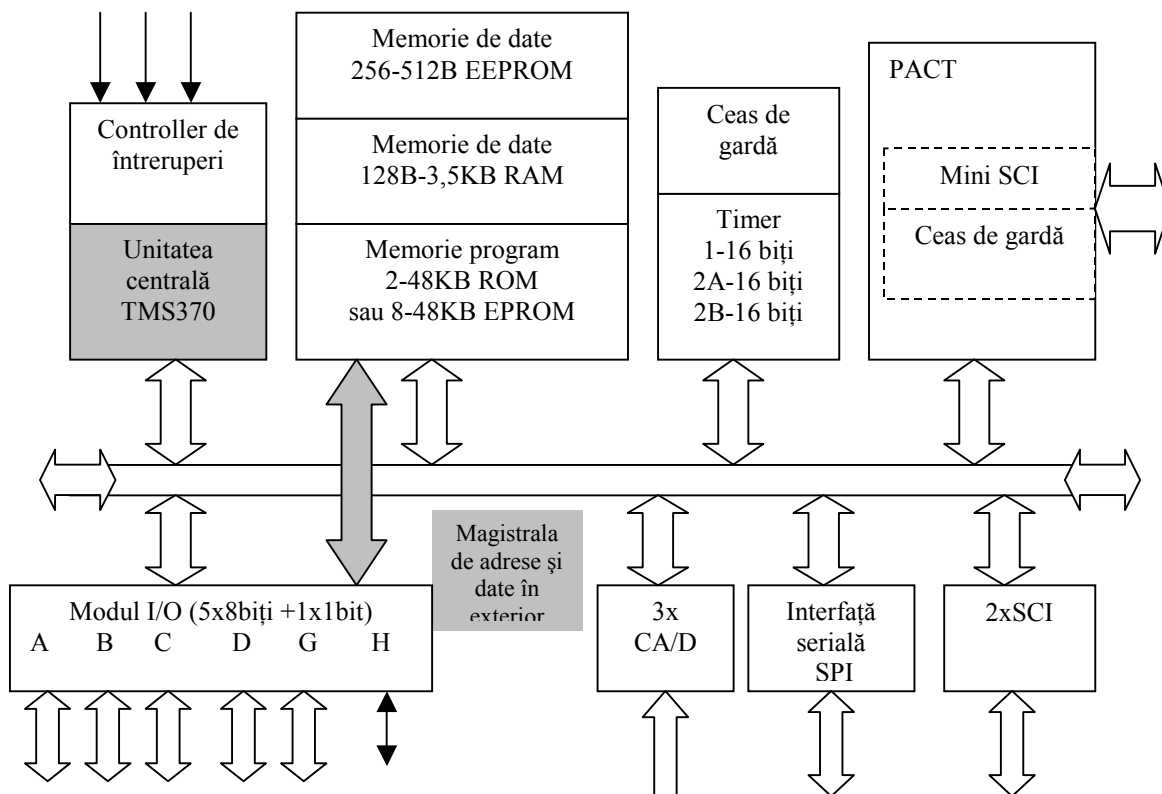


Fig. 10.57. Schema bloc a MC din familia TMS 370

Controlerul de întreruperi poate gestiona 11 nivele de întrerupere, din care 3 externe.

Memoria EEPROM este de 256 sau 512 octeți și poate fi programată atât cu inscripție comercială cât și de MC în circuit (MC are integrată sursa de tensiune pentru programare). Memoria ROM/OTP/EPROM poate fi de 2-48K octeți.

TMS370 are un număr maxim de 41 de pini I/O, funcție de tipul circuitului și funcție de capsulă, grupați în 6 porturi, A, B, C, D, G, H, programabili bit cu bit, ca intrare sau ca ieșire.

Timerul 1 este un timer pe 16 biți și poate fi configurat ca:

- numărător de prescalare pe 8 biți care reprezintă tactul pentru celelalte timere și pentru ceasul de gardă;
- numărător de evenimente pe 16 biți, în care numără impulsurile de la un pin exterior;
- acumulator de impulsuri în care poate măsura lățimea impulsurilor;
- intrare de captură, în care poate stoca valoarea numărătorului la un impuls exterior;
- 2 registre de comparare care semnalizează printr-o cerere de întrerupere egalitatea numărătorului cu a celui alt registru de comparare;
- generator independent PWM.

Timerul 2A și 2B sunt 2 timere de 16 biți care pot fi configurate ca:

- tacte de uz general;
- numărător de evenimente pe 16 biți, în care numără impulsurile de la un pin exterior;
- acumulator de impulsuri în care poate măsura lățimea impulsurilor;
- intrare de captură, în care poate stoca valoarea numărătorului la un impuls exterior;
- 2 registre de comparare care semnalizează printr-o cerere de întrerupere egalitatea numărătorului cu a celui alt registru de comparare;
- generator independent PWM.

Ceasul de gardă este implementat separat de timer și dacă nu este folosit ca ceas de gardă poate fi folosit ca timer.

Unele MC din familie au un modul timer programabil (PACT Programmable Acquisition and Control Timer) care, odată programat nu mai necesită intervenția UC decât la servirea întreruperilor. PACT conține:

- un pin de captură și un registru de 8 biți de captură pentru numărarea evenimentelor externe;
- timer de 20 de biți;
- ceas de gardă;
- interfață serială SCI full duplex, cu implementare minimă.

Interfața serială SCI este compusă din 2 interfețe, SCI1 este pe 3 linii, iar SCI2 este pe 2 linii. Aceste interfețe oferă posibilitatea transferurilor asincrone cu viteză de maxim 156kBauds, full duplex, cu buffere duble atât la recepție cât și la transmisie. Modulul serial controlează formatul datelor, protocolul și detecția de erori. UC trebuie doar să scrie octetul de transmis în registrul de transmisie sau să preia octetul recepționat din registrul de recepție când a fost întreruptă de canalul SCI.

Modulul serial SPI realizează transferul de date sincron.

Convertorul A/D este un convertor cu aproximații succesive, pe 8 biți. Numărul de canale de conversie diferă în funcție de tipul circuitului și capsulă, 4 canale la capsula cu 40 de pini și 8 canale la capsula cu 44 de pini sau mai mare. Un MC poate avea maxim 3 module de conversie (ADC1, ADC2, ADC3).

Circuitul admite 2 moduri de lucru cu economie de energie, modul inactiv, în care rămân active tactul și timerul și modul HALT, în care este oprit și tactul și timerul. Conținutul memoriei RAM se păstrează în ambele moduri.

10.4.5. Familia ST Microelectronics

Firma ST provine din fuziunea firmelor franceze Thomson și SGS din Italia. (www.st.com).

10.4.5.1. MC cu logică duală (ST5xx)

MC cu logică duală (Dual Logic) realizează atât operații logice și aritmetice booleene cât și operații fuzzy. Datorită posibilității de lucru cu algoritmi fuzzy, care folosesc o descriere lingvistică a modelului și nu una matematică, aceste MC pot controla sisteme complexe cu o mare acuratețe. Schema bloc (ST52T301) este dată în Fig. 10.58.

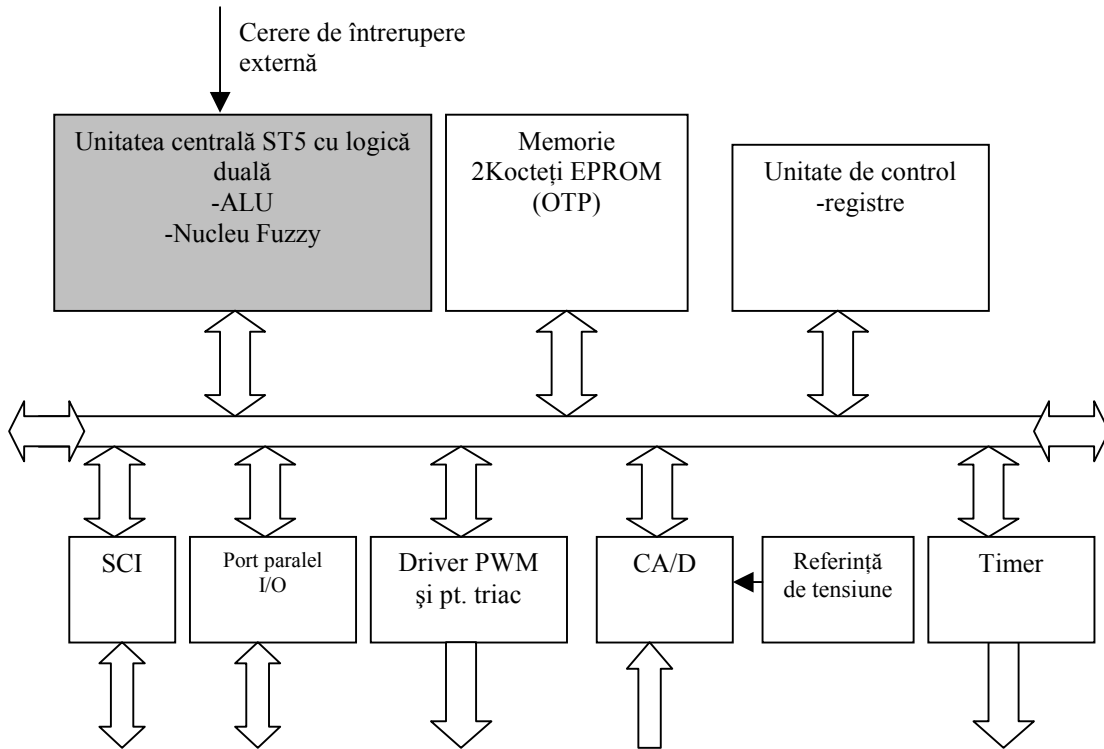


Fig. 10.58. MC cu logică (ST52T301) -Schema bloc

MC admit un tact de 5, 10 sau 20MHz, depinde de circuit. Există variante cu EPROM pentru prototip și cu OTP pentru serii mici, echivalente funcțional. Conexiunea cu exteriorul este realizată de un port paralel de 8 biți, un port serial asincron SCI și un convertor analog digital cu 4 canale. Circuitul formează intern și referința de tensiune pentru convertor. Driverul pentru triac și canalul PWM pot comanda direct dispozitive de putere. Timerul poate lucra cu ceas intern sau extern și are un registru de prescalare. Circuitul nu are magistralele accesibile la pini externi.

UC citește instrucțiunea din EPROM și dacă este aritmetică sau logică o execută direct, iar dacă este instrucțiune fuzzy transferă controlul nucleului fuzzy, care citește în continuare instrucțiunile din EPROM și le execută până la prima instrucțiune STOP. Este posibilă amestecarea instrucțiunilor fuzzy cu cele aritmetice și logice. Este disponibil un set de 26 de instrucțiuni aritmatice și logice care pot fi executate în 4-7 tacte de ceas. Registrele unității centrale sunt PC (11 biți) și un registru de flag-uri.

Există 4 spații de adresare diferite:

- 16 registre de uz general de 8 biți, care pot fi referite printr-o adresă zecimală, Reg0-Reg15. Reg0-Reg3 sunt conectate direct la intrarea fuzzy;

- 11 registre de intrare de 8 biți, IR0-IR10 conțin date sau starea unor interfețe. De exemplu primele 4 sunt alocate convertorului A/D pentru valoarea convertită, 2 pentru timer, unul pentru portul paralel, etc.;
- 16 registre de configurare de 8 biți care permit configurarea interfețelor;
- 3 registre pentru interfețe de 8 biți care conțin datele de inițializare pentru interfețe;
- memoria program de 2K octeți.

Nucleul Fuzzy are 4 intrări cu rezoluția de 8 biți, 2 ieșiri cu aceeași rezoluție și posibilitatea de a procesa regula fuzzy cu număr maxim de 8 antecedente și 16 funcții pentru fiecare intrare. Nucleul fuzzy este format dintr-o unitate de calcul ALPHA care realizează intersecția dintre valoarea de intrare și funcția aferentă (fuzzyficare), unitatea de calcul care calculează valoarea de adevăr pentru fiecare regulă și defuzzyficator care stochează rezultatul în 2 din registrele de intrare RI. Nucleul fuzzy are 11 instrucțiuni.

Memoria EPROM este împărțită în 3 zone:

- locații între 0 și 191 - conține funcții fuzzy;
- locații între 192-201 - conține vectori de întrerupere;
- locații între 202-2048 - conține programul utilizator.

ST5 lucrează în 2 moduri, mod Programare sau mod Lucru, funcție de 3 semnale de la pini externi. În modul de Programare se poate realiza scrierea EPROM-ului, cu o sursă externă de +12V. Tot în modul de programare se poate verifica conținutul EPROM-ului.

Convertorul A/D este un convertor cu aproximații succesive cu timp de conversie de 32μs, cu tact fix, provenind de la oscilator. În registrul de configurare se specifică comenzi pentru multiplexor, de exemplu ordinea de conversie a celor 4 canale analogice. Rezultatele se depun în 4 registre de intrare RI. La sfârșitul unei conversii, convertorul poziționează un bit care poate fi folosit ca și cerere de întrerupere. Prin execuția instrucțiunii:

LDRI Reg0 In0 intrarea analogică In0 este convertită și rezultatul trecut în registrul Reg0.

Puterea consumată de circuit poate fi redusă oprind convertorul A/D, ceea ce se poate realiza cu un bit într-un registru de configurare. Tensiunea de alimentare a convertorului este diferită de cea a restului circuitului, asigurând precizia conversiei.

Timerul este un numărător de 8 biți asociat cu un registru de prescalare de 16 biți. Conținutul registrului de 8 biți poate fi citit sau scris. Timerul are nevoie de 3 semnale, CLK, Reset Timer și START care pot fi generate intern sau extern. Timerul poate genera o întrerupere la sfârșitul numărării sau la apariția unui semnal de START. Se pot astfel realiza mai multe moduri de lucru ale timerului.

Portul paralel este un port de 8 biți, bidirecțional, la care sensul transferului se poate programa într-un registru de configurare. Portul paralel este asociat cu o linie (READY) cu ajutorul careia se poate face un transfer cu protocol handshake.

Blocul SCI este un bloc standard UART, cu viteza de maximum 38400 Bauds. Formatul datelor este: 1 bit de START, 8/9 biți de date, 1 bit de STOP. Blocul SCI este format din 3 părți: receptor, transmițător și generator de rată de transfer. Blocul de recepție este cu buffer dublu, și testează bitul de START cu frecvența de 16x frecvența de transfer, eliminând astfel recepțiile false. Mai mult, există posibilitatea de a testa fiecare bit recepționat de 3 ori. Eșantioanele obținute se compară și dacă nu sunt egale se atribuie bitului valoarea logică obținută din majoritatea eșantioanelor (votare majoritară) și se poziționează un bit numit bit de recepție cu zgomot (NSERR). Când s-a recepționat un cuvânt se poziționează un bit care poate cere o întrerupere.

Modulul triac/PWM permite comanda directă a unor dispozitive de putere cum ar fi triacul, IGBT, tranzistoare MOS de putere. Acest modul admite 3 moduri de funcționare:

- mod PWM, se generează un semnal PWM cu frecvența fixă și factor de umplere variabil. Factorul de umplere poate rezulta din calcule sau fuzzy;
- mod salvă pentru comanda dispozitivelor de putere, în care se generează un semnal de perioada rețelei, cu lățime care poate rezulta din calcule. Pentru acest mod de lucru trebuie să existe un circuit exterior pentru detectarea trecerilor prin 0 ale tensiunii rețelei;
- mod de reglare a fazei pentru comanda dispozitivelor de putere, în care se generează un semnal de perioada rețelei, cu defazaj variabil, care poate rezulta din calcule. Pentru acest mod de lucru trebuie să existe un circuit exterior pentru detectarea trecerilor prin 0 ale tensiunii rețelei.

10.4.5.2. MC din familia ST6

Aceste MC sunt dedicate aplicațiilor cu costuri reduse. Schema bloc este dată în Fig. 10.59.

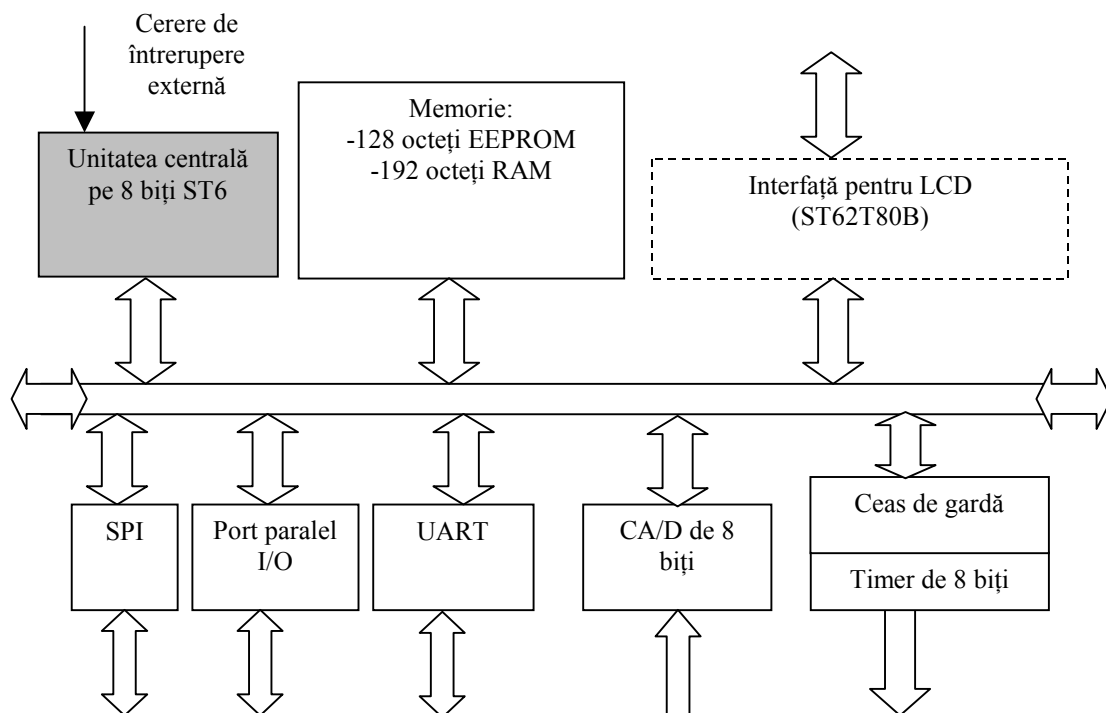


Fig. 10.59. MC ST6 - schema bloc

Frecvența maximă este de 8MHz. Circuitul este echipat cu 22 de linii I/O, programabile ca intrări sau ieșiri, cu sau fără rezistențe de pull-up.

Unitatea centrală ST6 are 6 registre: acumulatorul (A), 2 registre pentru adresare indirectă (X, Y), 2 registre pentru adresare directă (V,W) și PC. Stiva este realizată hardware, nu consumă din memoria RAM și nu este nevoie de indicator de stivă. Există 3 spații de adresare diferite: spațiul de date (în RAM), spațiul pentru stivă și spațiul de program (în EEPROM).

Familia este echipată cu 2 timere de 8 biți și un registru de prescalare de 7 biți.

Circuitul ST62T80B are o interfață pentru LCD. Pentru aceasta, circuitul generează un tact separat de 32 KHz, care nu este afectat de modurile de economie de energie.

Cu aceeași unitate centrală (ST6) sunt echipate MC pentru aplicații TV (ST6391-99), cu schema bloc din Fig. 10.60.

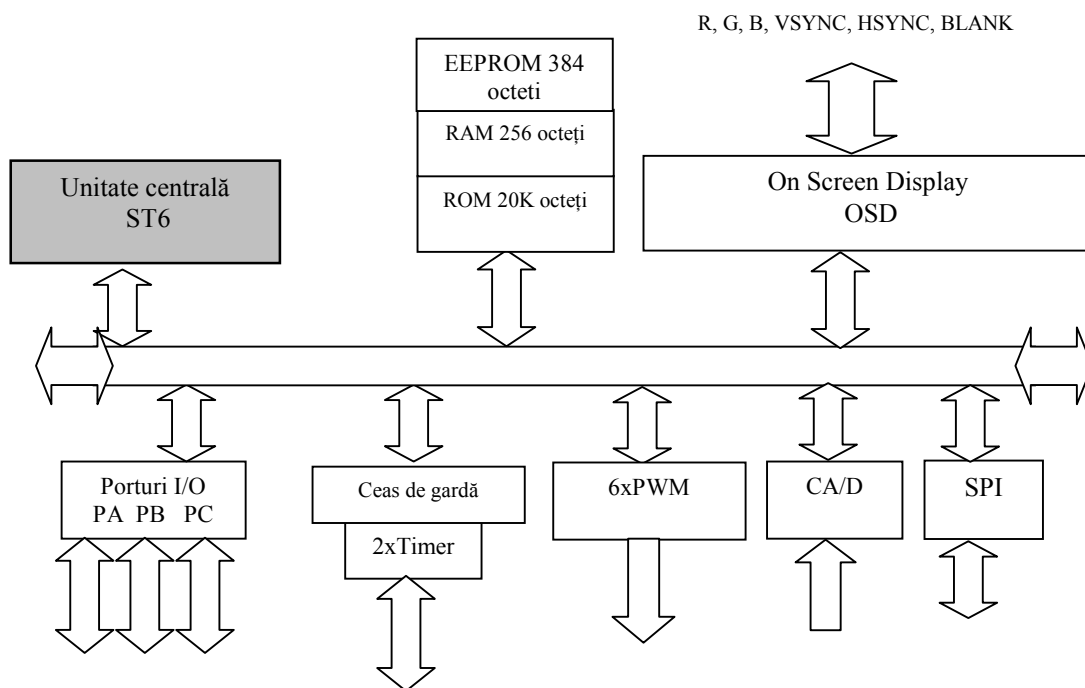


Fig. 10.60. MC pentru aplicații TV (ST6391-99) – schema bloc

Pe lângă nucleul ST6, acest MC are inclus un modul OSD, un bloc cu 6 canale PWM și un bloc de conversie A/D prin comparație cu 5 nivele de tensiune.

10.4.5.3. MC din familia ST9

Această familie cuprinde MC puternice, echipate cu interfață USB, cu frecvențe de până la 24MHz. Configurația este dată în Fig. 9.61.

Unitatea centrală conține 256 de registre de uz general și poate executa instrucțiuni aritmetice, logice, schimburi între registre și memorie sau între locații de memorie. Stiva se definește în RAM. Unitatea centrală controlează o magistrală de adrese de 22 de biți pentru memorie, una de 8 biți pentru registre și una pentru DMA și întreruperi. Setul de

instrucțiuni constă în 94 de tipuri de instrucțiuni cu care se poate lucra pe bit, pe octet sau pe 16 biți, în 14 moduri de adresare.

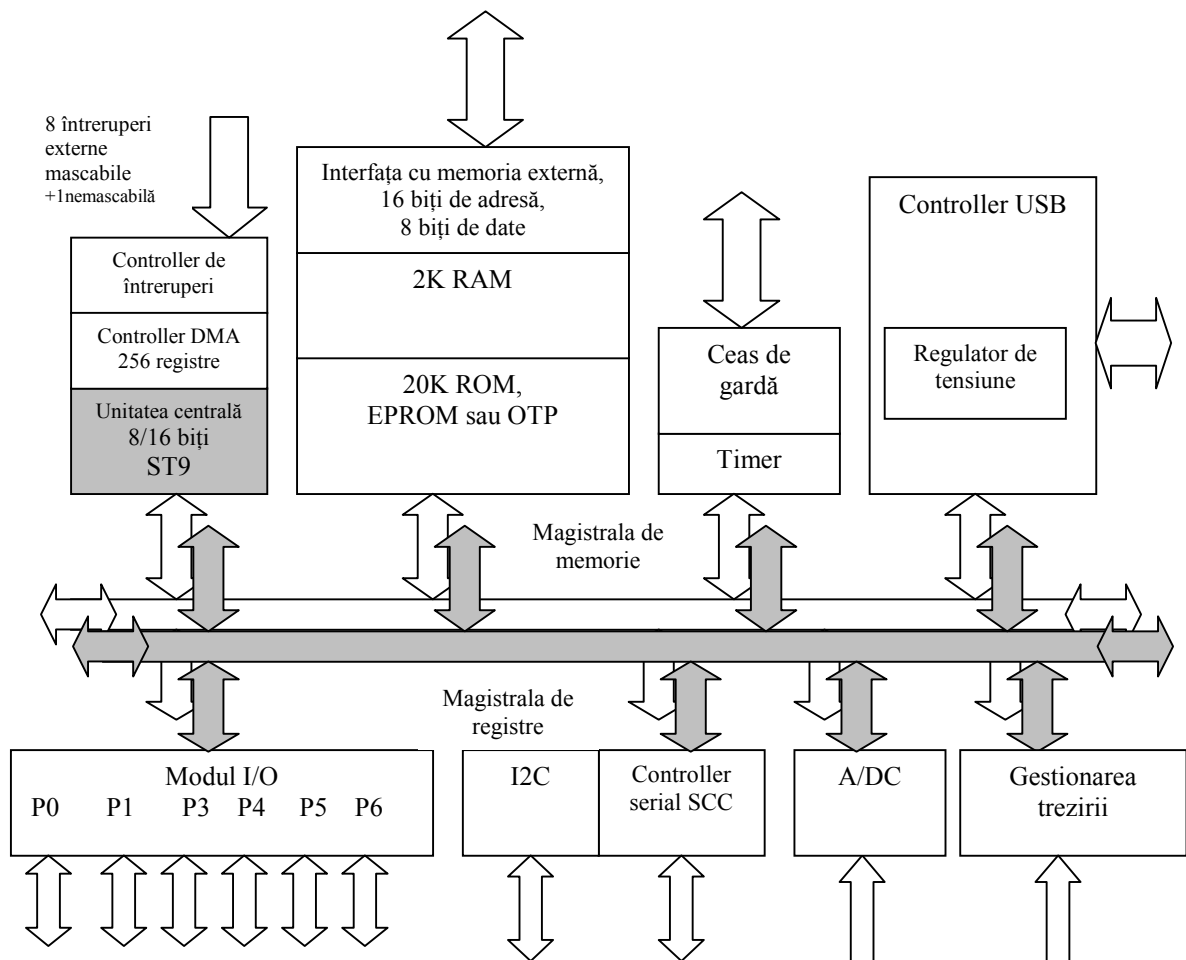


Fig. 10.61. MC ST9 – schema bloc

Circuitul admite 5 moduri de lucru, din care 4 cu economie de energie:

- **modul RUN** este modul normal de funcționare;
- **modul SLOW** este un mod de lucru în care energia consumată se reduce pe baza încetinirii funcționării, adică funcționarea la un tact mai mic, obținut prin divizarea tactului sistemului;
- **modul de așteptare** a întreruperilor suspendă activitatea MC până la sosirea unei întreruperi. UC nu mai are tact, rămân active doar interfețele și controlerul de întreruperi;
- **modul HALT** în care se poate intra prin execuția instrucțiunii HALT. Tactul se oprește pentru tot circuitul, și ieșirea din această stare se poate face doar cu RESET;
- **modul STOP** în care se poate intra din program și se oprește tactul pentru tot circuitul. Ieșirea din această stare se poate realiza prin trezirea circuitului de la un pin de trezire cu semnal aplicat din exterior.

Interfața USB admite transfer la viteza maximă a USB (USB 1.1) și are integrat transceiverul și regulatorul de tensiune. Sunt posibile 16 puncte de sfârșit și se pot conecta maximum 8 circuite USB. Interfața USB are canale DMA pentru transferul de date rapid cu memoria.

Modulul I/O are 44 de linii bidirecționale, cu rezistențe pull-up sau pull-down, programabil. Sunt prevăzute linii de curent mare pentru a putea conecta direct LED-uri.

Timerul are la bază un numărător de 16 biți care poate număra înainte sau înapoi, asociat cu 2 registre de comparație de 16 biți. Există și un registru de prescalare de 8 biți. Cu acest timer sunt posibile 12 moduri de operare, cum ar fi generarea de forme de undă complexe, măsurări de timp sau generări de semnale PWM.

Ceasul de gardă este un timer de 16 biți care, dacă nu se folosește ca ceas de gardă, poate îndeplini funcții generale de timp.

Controlerul serial SCC (Serial Communications Controller) poate transfera date serial sincron sau asincron, cu posibilitatea unei game largi de formate. Pentru a se putea lucra cu viteze mari de transfer se folosesc două canale DMA asociate.

Interfața I²C poate opera în mod multimaster sau slave și funcționează până la o viteză de 400KHz. Orice eveniment pe magistrală (magistrală ocupată, recunoașterea adresei proprii) poate genera o întrerupere.

Convertorul A/D este un convertor cu aproximații succesive de 8 biți care admite 6 intrări analogice multiplexate.

10.4.5.4. MC pentru cartele inteligente (ST19)

Familia ST19 cuprinde MC cu acces serial special concepute pentru a avea prețuri mici la cantități mari și pentru a asigura măsuri de protecție a informației. Schema bloc a MC este dată în Fig. 10.62.

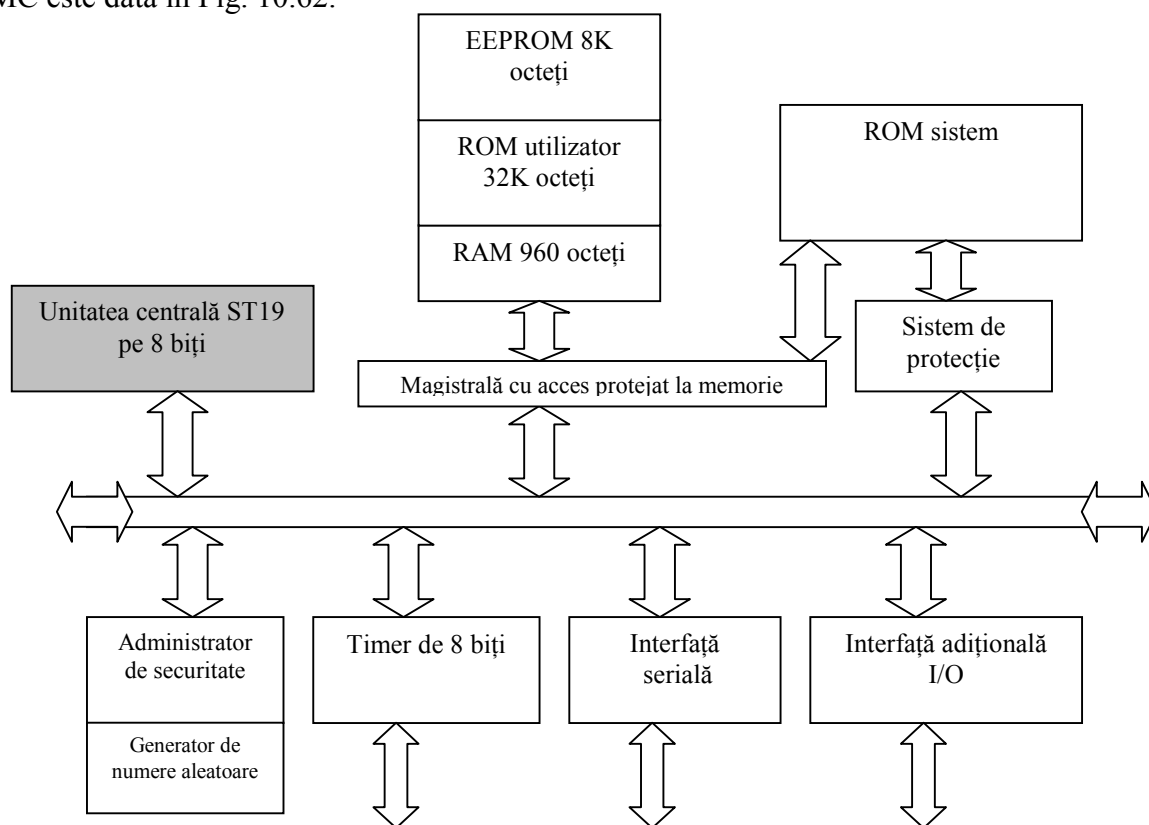


Fig. 10.62. MC ST19 – schema bloc

Memoria nu este cuplată direct la magistrală, ci prin intermediul unei magistrale securizate gestionate de administratorul de securitate pe baza generării unor numere aleatoare.

Interfața serială este compatibilă ISO 7816-3, un standard special pentru cartele inteligente. Alocarea contactelor este de asemenea standard (ISO 7816-2). Tensiunea de alimentare poate fi între 3 și 5V.

9.4.6. Date comparative pentru MC Low-cost (Z8, COP8, TMS, ST)

Tabel 10.20. Tabel comparativ Z8, COP, TMS, ST

MC	Magistrala de date	Frecvența (MHz)	Linii I/O	Interfețe speciale	Preț (USD)
Z8	8	8	14	2	0,9
COP87xx	8	10	33	6	10
TMS370C712	8	5	41	4	9
ST62T15	8	8	20	3	5

10.5. MC RISC

10.5.1. Microcontroller PIC

Începem prezentarea MC cu arhitectură RISC cu microcontrollerul PIC. Producătorul plasat cel mai bine pe piața MC PIC este Microchip (www.microchip.com). Un alt producător important de MC PIC este Motorola. Există mai multe familii de MC PIC; PIC12, PIC16, PIC17.

10.5.1.1. PIC12

Sunt MC cu prețuri mici și ușor de utilizat datorită arhitecturii RISC. MC are un număr de 33 de instrucțiuni cu un grad mare de ortogonalitate, din care majoritatea se execută într-un singur ciclu, iar cele de salt în două cicluri. Spațiul mic ocupat (capsulă de 8 pini) fac aceste MC foarte potrivite aplicațiilor miniatură precum și aplicațiilor casnice. Pentru a putea fi realizată o și mai mare economie de spațiu, circuitul de RESET este integrat. Sunt disponibile circuite cu OTP, cu EPROM sau EEPROM inclus, care fac posibilă atât realizarea seriilor mari cât și a prototipurilor sau a aplicațiilor cu elemente care se modifică (de exemplu aplicații de asigurare a securității cu coduri variabile). Aceste MC admit o frecvență de până la 4MHz.

MC PIC12 are o arhitectură Harvard, cu magistrale diferite pentru date și pentru instrucțiuni. Acest lucru permite ca magistrala de instrucțiuni să fie mai mare (de 12 biți) și ca urmare majoritatea instrucțiunilor pot fi de un cuvânt și pot fi executate într-un singur ciclu.

Unitatea centrală este o unitate pe 8 biți care poate realiza funcții aritmetice și booleene: adunare, scădere, deplasare și operații logice cu date care se găsesc în registrul de lucru (W) și în oricare registru de uz general. Setul de instrucțiuni are un mare grad de ortogonalitate, ceea ce reduce mult timpul necesitat de realizarea unei aplicații. O operație poate afecta biții de stare: Carry (C), Digit Carry (C) și Zero (Z). Numărătorul de program

(PC) este un registru de 12 biți, ceea ce înseamnă că poate adresa un spațiu de 2K cuvinte de 12 biți.

Schema bloc a acestui MC este dată în Fig. 10.63.

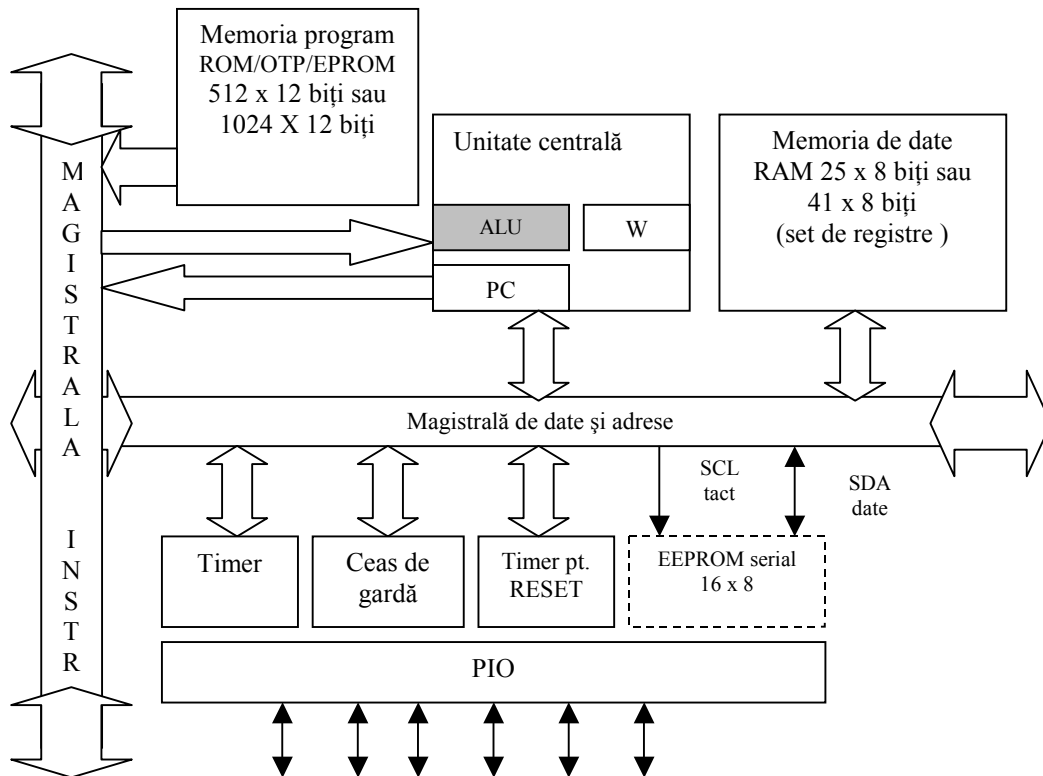


Fig. 10.63. PIC12 –Schema bloc

Setul de registre localizat în RAM conține registre cu funcții speciale și registre de uz general. Registrele generale pot fi apelate direct sau indirect, prin intermediul registrului special FSR (File Select Register). Registrele și adresele lor sunt date în tabelul 10.21. (pentru circuitul PIC12C509):

Tabel 10.21. Setul de registre PIC12C509

Registru	Adresa(H)
INDF	00
TMR0	01
PCL	02
STATUS	03
FSR	04
OSCCAL	05
GPIO	06
Registre generale	07-1F

INDF nu este un registru fizic, el folosește registrul FSR pentru adresări indirecte;

TMR0 este registrul pentru controlul timerului;

PCL partea mai puțin semnificativă a PC;

STATUS arată starea MC;

FSR registru pentru adresare indirectă;

OSCCAL registru de calibrare a oscilatorului intern, poate modifica frecvența de 4MHz a oscilatorului între anumite limite;

GPIO pentru programarea pinilor I/O.

Stiva este de 12 biți și este realizată hard. Nu există indicator de stivă și nu sunt instrucțiuni de PUSH și POP, lucrul cu stiva fiind automat la instrucțiunile CALL și RETLW. Stiva admite o adâncime de 2 nivele.

Setul de instrucțiuni pentru acest MC este dat în tabelul 10.22.

Tabel 10.22. Setul de instrucțiuni PIC 12

Mnemonic operanzi	și	Descriere
ADDWF f,d		Adună W cu f
ANDWF f,d		ȘI LOGIC între W și f
CLRF f		Face în f toți biții 0
CLRW		Face în W toți biții 0
COMF f,d		Complementează f
DECF f,d		Decrementează f
DECFSZ f,d		Decrementează f și trece mai departe dacă este 0
INCF f,d		Incrementează f
INCFSZ f,d		Incrementează f și trece mai departe dacă este 0
IORWF f,d		SAU W cu f
MOVF f,d		Mută f
MOVWF f		Mută W în f
NOP		Nici o operație
RLF f,d		Rotație la stânga prin Carry
RRF f,d		Rotație la dreapta prin Carry
SUBWF f,d		Scădere W din f
SWAPF f,d		Schimbă f
XORWF f,d		SAU EXCLUSIV W cu f
BCF f,b		Bitul b din f este făcut 0
BSF f,b		Bitul b din f este făcut 1
BTFSC f,b		Se testează bitul b din f și face salt dacă bitul este 0
BTFSS f,b		Se testează bitul b din f și face salt dacă bitul este 1
ANDLW k		ȘI între W și constanta k
CALL k		Chemare subrutină
CLRWDT k		Resetare ceas de gardă
GOTO k		Salt necondiționat
IORLW k		SAU între W și k
MOVLW k		Încărcare imediată a constantei k în W
OPTION k		Încărcare registru de opțiuni
RETLW k		Întoarcere din subrutină cu plasarea k în W
SLEEP		Intrarea în mod inactiv
TRIS f		Încărcarea registrului TRIS
XORLW k		SAU EXCLUSIV între k și W

Dacă valoarea bitului d este 0, rezultatul se stochează în W iar dacă este 1, rezultatul se stochează în f.

Registrul de opțiuni (OPTION) este un registru special de configurare. Registrul TRIS este folosit pentru a controla liniile I/O. Un 1 în TRIS pune linia corespunzătoare în înaltă impedanță, iar un 0 validează linia.

Liniile de intrare/ieșire pot fi programate ca intrări sau ieșiri cu registrul special GPIO. Pini pot avea semnificații duble. La RESET toate liniile se definesc ca intrări. Unii pini pot trezi MC din starea inactivă (Wake up). Operațiile de intrare ieșire se fac prin intermediul registrului GPIO, de exemplu instrucțiunea:

BCF GPIO,5 ;stabilește un 0 pe linia 5 de ieșire

Modulul timer 0 poate fi utilizat în următoarele moduri:

- temporizator/numărător pe 8 biți;
- numărător pentru prescalare de 8 biți;
- ceas din exterior sau din interior.

Schema bloc a temporizatorului cu semnalele de comandă este dată în Fig. 10.64.

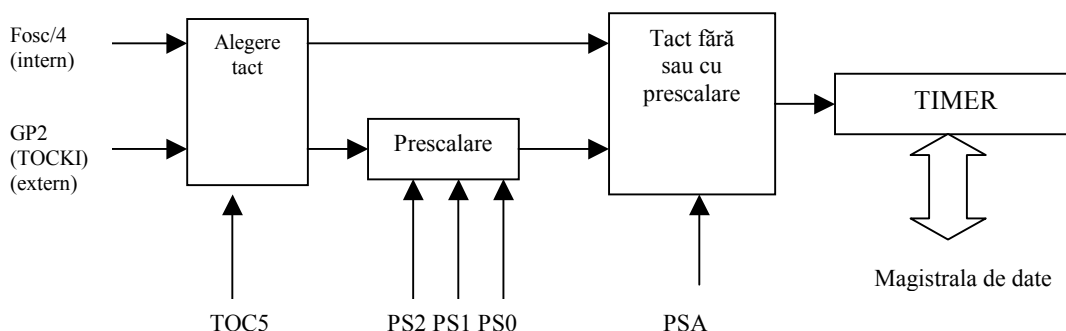


Fig. 10.64. Schema bloc a temporizatorului PIC12

Cu bitul TOC5 se alege sursa tactului, externă (de la un pin cu semnificație dublă) sau internă. Tacul merge direct la timer sau prin registrul de prescalare (registru de 8 biți), programabil cu bitul PSA. Registrul de prescalare poate fi încărcat cu biții PS2, PS1 și PS0. Toți acești biți de comandă se află în registrul de opțiuni. Registrul de prescalare poate fi folosit și de ceasul de gardă, dar nu simultan cu timerul 0.

Memoria EEPROM cu care sunt echipate anumite circuite din familie poate fi de 16 octeți, poate fi supusă la peste 1 mil. de cicluri de scriere/ștergere și poate reține informația mai mult de 40 de ani. Transmisia se face serial sincron pe două fire, unul de tact (SCL) și unul de date, bidirecțional (SDA), mapate în registrul GPIO ca bit 6 și bit 7, fără a avea conexiune în exterior. Protocolul pentru transferul de date poate avea loc doar dacă magistrala de date nu este ocupată, cu SDA și SCL=1. Un START este determinat de frontul SDA din 1 în 0, iar un front SDA din 0 în 1 reprezintă un STOP. Data trebuie să fie stabilă pe SDA pe durata unui impuls de tact SCL (o tranziție din 1 în 0, urmată de una din 0 în 1). Subrutinele de scriere/citire a EEPROM-ului sunt disponibile pe site-ul firmei.

Pentru a asigura siguranța rulării corecte a programului, circuitul este echipat cu un ceas de gardă, care poate fi resetat printr-o instrucțiune specială, asigurând o întârziere de 18ms până să declanșeze un RESET.

Familia PIC12 are posibilitatea de lucru într-un mod cu economie de energie, numit SLEEP. În modul SLEEP oscilatorul este oprit, iar pinii I/O își păstrează starea. Intrarea în SLEEP se face cu o instrucțiune specială. MC poate fi scos din acest mod de lucru printr-un front aplicat la pin extern sau de ceasul de gardă.

Ca și mod de generare a tactului extern, circuitul poate lucra în mai multe feluri:

- cu cristal extern conectat la GP5/OSC1 și GP4/OSC2 după o schemă standard;
- cu generator de tact extern, cuplat între GP5/OSC1 și masă;
- pentru aplicații care nu sunt critice la timp, se poate conecta în exterior la GP5 un grup RC, cu R (3k-100k) la +5V și C (20pF) la masă;
- MC are un generator intern de 4MHz, a cărui frecvență poate fi modificată prin scrierea registrului OSCCAL.

Alegerea sursei tactului, precum și activarea ceasului de gardă se fac cu un registru de configurare (de 12 biți) care nu este accesibil utilizatorului, fiind o informație scrisă în PROM/ EPROM la adresa FFFh.

Un RESET poate fi generat de una din următoarele surse:

- la conectarea tensiunii de alimentare, POR Power On Reset;
- un RESET extern /MCLR pe pinul GP3;
- un RESET când circuitul este în mod SLEEP pe /MCLR;
- de la ceasul de timp real în operare normală;
- de la ceasul de timp real în mod SLEEP;
- trezirea din mod SLEEP prin schimbarea stării unui pin extern.

Identificarea sursei de RESET se face prin poziționarea unor biți în registrul de stare, registru al cărui conținut nu se modifică prin RESET.

Memoria poate fi programată în circuit (variantele cu EPROM). Aceasta se realizează simplu, cu 2 linii, una de date și una de tact, conform Fig. 10.65.

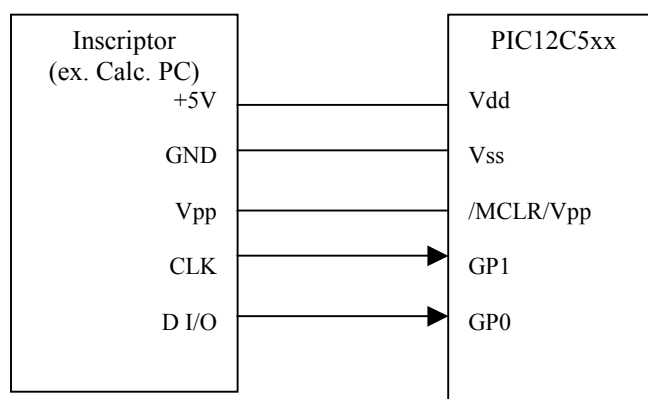


Fig. 10.65. Conexiune pentru programarea EPROM

Intrarea în mod programare se face cu GP1 și GP0 ținute la 0 pe un front crescător al /MCLR.

Pentru a sublinia dimensiunea și simplitatea de utilizare a acestui MC, în Fig. 10.66. este descrisă capsula circuitului.

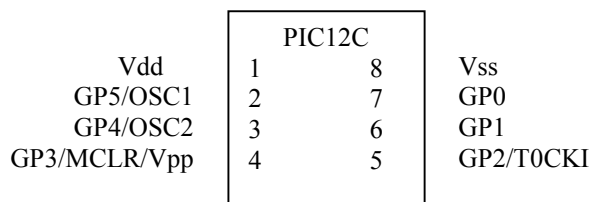


Fig. 10.66. Capsula PIC12

10.5.1.2. PIC16

Cu o arhitectură asemănătoare familiei PIC12, aceste MC au câteva îmbunătățiri:

- 35 de instrucțiuni față de 33;
- frecvența maximă 20MHz față de 4;
- posibilitatea de lucru în întreruperi, cu 7 surse interne și o sursă externă;
- stivă automată cu 8 nivele;
- 13 linii I/O cu posibilitatea stabilirii individuale a sensului de transfer și cu o linie de putere pentru comanda directă a unui LED;
- magistrala de instrucțiuni este pe 14 biți, față de 12 biți;
- memoria ROM este de 512 x 14 cuvinte până la 2K x 14 cuvinte;
- memoria RAM este de 80-128 de octeți.

Aceste MC sunt livrate în capsule cu 20 de pini.

Întreruperile sunt controlate de un registru de comandă a întreruperilor care poate valida sau invalida global sistemul de întreruperi și individual pe fiecare linie. Fiecare interfață care poate cere întrerupere are atașat un bit care poate fi testat pentru a determina sursa întreruperii.

Datorită posibilității de lucru în întreruperi, timerul 0, care funcționează la fel ca la PIC12 poate cere întrerupere la trecerea număratorului de la FFh la 00h. Întreruperea poate fi mascată.

Pentru creșterea siguranței în funcționare familia PIC16 are integrat un circuit de protecție care generează un RESET la scăderea tensiunii de alimentare (Brown-Out Reset). Acest circuit poate fi validat sau invalidat cu un bit de comandă.

MC din familia PIC 16 pot fi echipate cu o diversitate mult mai mare de interfețe, cum ar fi comparatoare, convertoare ADC și DAC, USART, I²C, SPI, PWM etc. Circuitul PIC16C64x este echipat cu 2 comparatoare analogice. Intrările lor sunt multiplexate cu pini I/O 0-3 și cu o referință de tensiune care poate fi folosită pentru comaparatoare. Cu un registru de comandă în zona registrelor cu funcții speciale se poate programa modul de comparare. Se poate programa ca ieșirea comparatoarelor să ceară întrerupere. Comparatoarele pot fi programate să lucreze cu referință externă sau internă. În modul SLEEP comparatoarele rămân active și pot trezi circuitul. Dacă curentul consumat de comparatoare în mod SLEEP este prea mare, ele pot fi dezactivate prin registrul de comandă. Modulul care generează referința de tensiune este un grup de 16 rezistențe care

divizează tensiunea de intrare cu un factor programabil. Modulul poate fi validat sau invalidat pentru economia de energie.

Circuitul PIC16C71x este echipat cu convertor A/D și un bloc suplimentar de timere. Convertorul A/D este un convertor cu aproximații succesive pe 8 biți, cu 4 intrări analogice multiplexate și cu circuit de eșantionare-memorare. Tensiunea de referință poate fi cea de alimentare sau o referință externă la un pin I/O cu semnificație dublă. Convertorul A/D poate lucra și în modul SLEEP, pentru acest mod de lucru fiind integrat în circuit un oscilator propriu pentru convertor. Convertorului îi sunt atașate 3 registre, 2 de comandă și unul de date. Cu registrele de comandă se poate programa:

- selecția tactului pentru convertor ($F_{osc}/2$, $/8$, $/32$ sau ceas propriu);
- selecția canalului analogic;
- un bit pentru START conversie;
- un bit pentru terminare conversiei - poate fi citit și testat prin program, sau poate cere o întrerupere;
- un bit pentru oprirea convertorului pentru a nu mai consuma curent, dacă nu este folosit în mod SLEEP.

Modulul suplimentar de timere este numit CCP (Capture Compare PWM), după funcțiile pe care le poate îndeplini (un MC poate avea unul sau mai multe module CCP). Modulul CCP conține un registru de 16 biți și folosește timerele suplimentare 1 și 2. Modurile de lucru posibile pentru modulul CCP sunt:

- **mod captură** - la apariția unui eveniment la pinul exterior 3, registrul CCP se încarcă cu valoarea din timerul 1. Un eveniment poate fi un front crescător, unul descrescător, la fiecare 4 sau 16 fronturi crescătoare (prescalare). În momentul evenimentului se poate cere o întrerupere.
- **mod comparare** - registrul CCP este permanent comparat cu conținutul timerului 1. Dacă apare o coincidență, se semnalizează prin schimbarea stării pinului extern 3. În același moment se poate cere o întrerupere.
- **mod PWM** - se folosesc 2 timere, 1 și 2, unul pentru a determina perioada semnalului și celălalt factorul de umplere. Ieșirea PWM se face tot la pinul 3.

10.5.1.3. PIC17

PIC17 are următoarele îmbunătățiri față de PIC16:

- 58 de instrucțiuni față de 38;
- frecvența maximă 33MHz față de 20;
- stivă automată cu 16 nivele față de 8;
- 33 de linii I/O cu posibilitatea stabilirii individuale a sensului de transfer și cu o linie de putere pentru comanda directă a unui LED;
- magistrala de instrucțiuni este pe 16 biți, față de 14 biți;
- memoria ROM este de 2048 x 16 cuvinte;
- memoria RAM este de 232 de octeți;
- magistralele de date, și adrese (multiplexate) sunt accesibile la pin;
- unitatea centrală poate executa înmulțiri;
- sunt admise 11 surse de întreruperi față de 8.

Aceste MC sunt livrate în capsule cu 44 de pini.
Schema bloc este dată în Fig. 10.67.

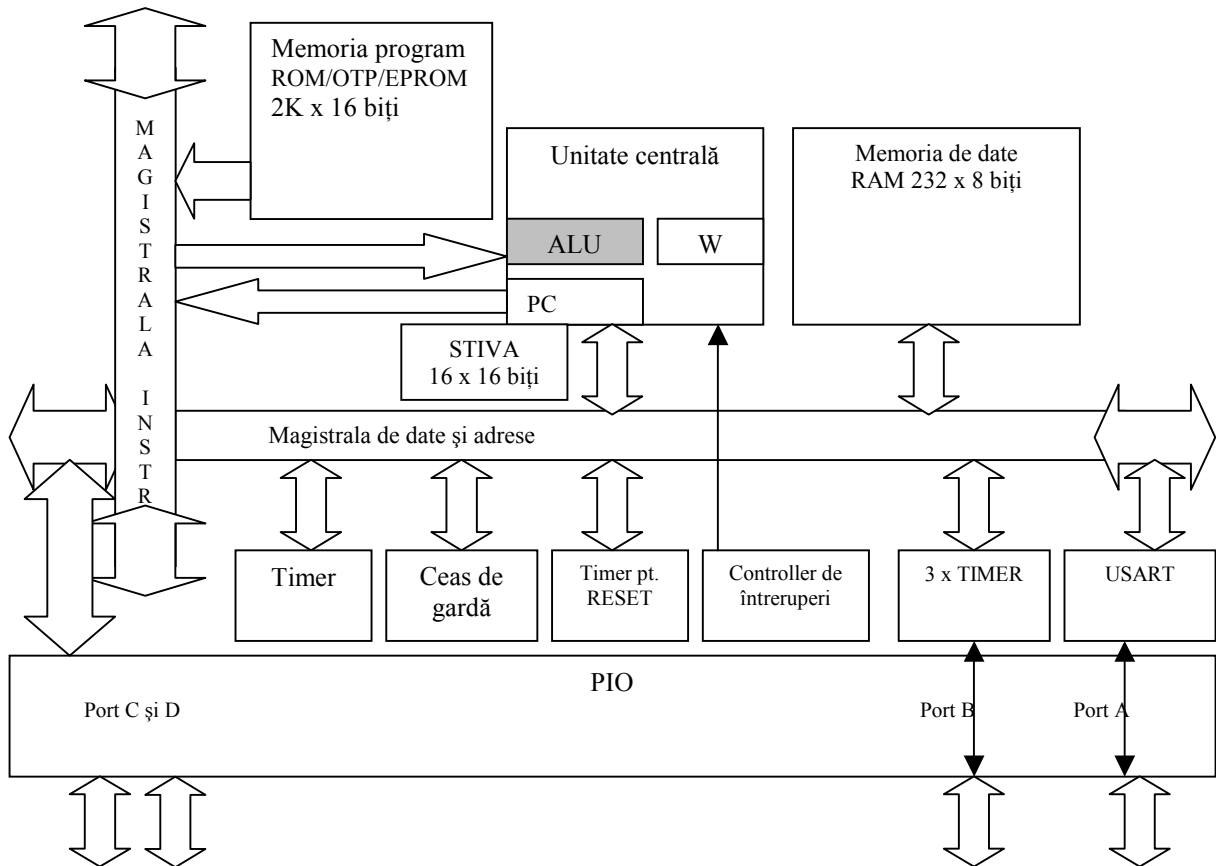


Fig. 10.67. Schema bloc PIC17

Și circuitele din familia PIC17 pot fi echipate cu o gamă largă de interfețe.

Sistemul de timere este compus din mai multe timere:

- Timer 0 este un numărător de 16 biți cu sursă de numărare externă sau internă. Poate lucra cu un registru de prescalare care dă un tact divizat cu 1/1 până la 1/256;
- Timer 1 este un timer pe 8 biți care poate lucra împreună cu Timerul 2 pentru a forma un timer pe 16 biți. Poate lucra în regim de numărare a unor evenimente externe. Timerul are asociat un registru, deci poate lucra în regim de comparare;
- Timer 2 este la fel cu timerul 1. Timerul 1 și 2 pot lucra în mod PWM;
- Timer 3 este pe 16 biți, cu un registru asociat.

Modulul USART poate fi configurat să lucreze în mod serial asincron full- duplex (pentru a transfera date cu un terminal sau un PC), sau în mod sincron full-duplex (de ex. pentru a lucra cu memorii externe EEPROM).

Observație: este de remarcat la MC din familia PIC faptul că nu au nevoie de componente externe pentru RESET și pentru ceas, ceea ce poate fi un avantaj.

10.5.2. MC ATMEL

Foarte bine plasate pe piață în zona aplicațiilor low cost sunt MC ale firmei ATMEL. Firma fabrică și MC echivalente 8051.

9.5.2.1. Familia AVR

Aceste MC sunt realizate de producător în diverse variante, începând cu modelele low cost AT90S2323, AT90S1200 și terminând cu modele complexe AT90S4414, AT90S8515, diferențele între acestea constând în principal în mărimea și tipurile memoriei RAM, FLASH, ROM, EPROM, EEPROM și a facilităților oferite la interfața cu utilizatorul.

Seria de MC ATMEL este susținută de o campanie puternică de promovare astfel încât producătorul oferă gratuit software de dezvoltare ce include asamblor, debugger, documentație, exemple și note de aplicație pe site-ul său www.atmel.com. Softul este disponibil atât în variantă ce rulează sub sistemul de operare MS-DOS cât și în varianta WINDOWS.

Toate MC din familie au o arhitectură Harvard, adică au spații de adresă și magistrale diferite pentru memoria de date și memoria program. Dispun de o prelucrare de tip pipe line a instrucțiunilor (în 2 trepte) astfel încât în timp ce o instrucțiune este executată, cealaltă se află în ciclu de aducere din memorie (fetch) și astfel se execută câte o instrucțiune în fiecare ciclu.

Schema bloc a unui circuit din familie este dată în Fig. 10.68.

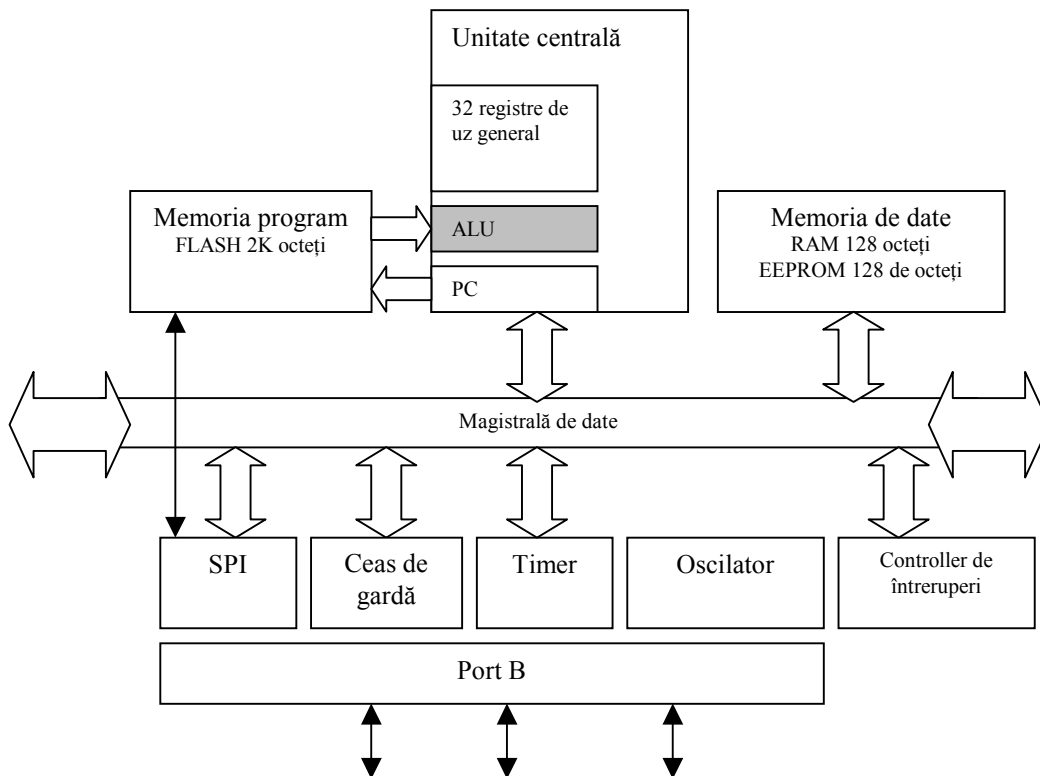


Fig. 10.68. MC din familia AVR – schema bloc

Unul dintre cele mai mici MC este AT90S2323. Circuitul se alimentează (în funcție de variantă) la 5V sau la 3V și funcționează până la frecvența de 10MHz. Curentul absorbit este de 2,4mA în stare activă, 0,5mA în stare inactivă și 1μA în starea Power Down. În principal, circuitul este compus din:

- unitatea centrală, în arhitectură RISC cu 118 instrucțiuni, majoritatea de un ciclu și 32 de registre de uz general;
- blocul de memorie, compus din memoria de program (FLASH de 2K octeți care suportă în jur de 1000 de programări) și din memoria de date (128 octeți de RAM) și 128 octeți de EEPROM, care suportă în jur de 100.000 de programări;
- interfețele sunt reprezentate de un timer de 8 biți cu prescalare, un timer pentru ceasul de gardă și o interfață serială SPI pentru programarea în circuit. Liniile I/O sunt de regulă cu semnificație dublă.

Unitatea centrală poate executa majoritatea operațiilor într-un ciclu, ceea ce înseamnă că operanzii sunt în registrele generale, are loc operația și rezultatul este stocat în unul dintre registre. Se pot realiza și adresări indirecte cu 6 dintre cele 32 de registre, grupate câte 2 (ca să formeze registre de 16 biți); registrele duble sunt referite cu X, Y, Z. Se pot face operații între registre sau cu o constantă. Instrucțiunile au formatul pe 16 biți, iar indicatorul de program PC este pe 10 biți.

Memoria de date poate fi accesată tot ca registre, în același spațiu. Spațiul I/O conține 64 de adrese unde se găsesc registrele de control și de stare ale interfețelor. Stiva este definită în RAM, deci există un registru indicator de stivă SP de 8 biți. O imagine sugestivă a spațiilor de memorie și I/O este dată în Fig. 10.69.

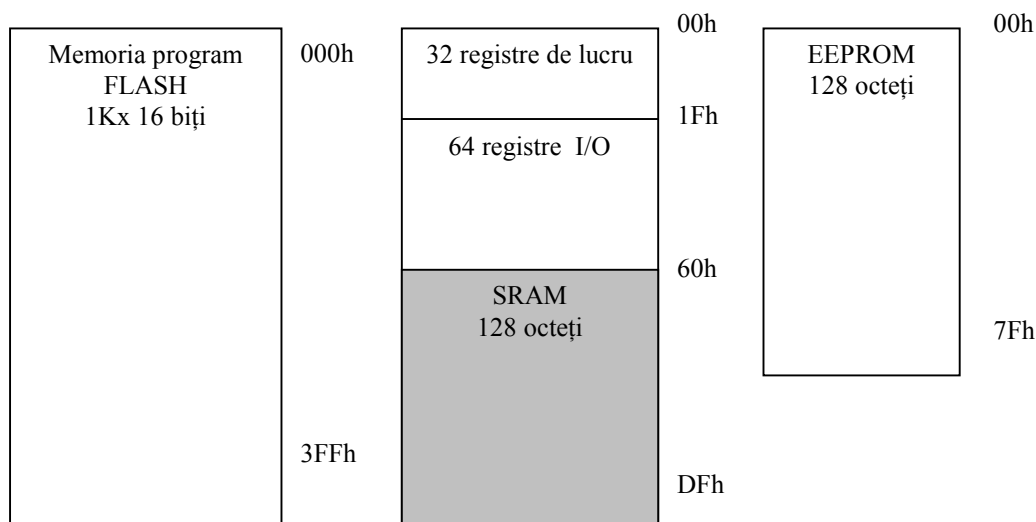


Fig. 10.69. Harta spațiilor de memorie și I/O

Memoria EEPROM dispune de un spațiu propriu de adresare, în care fiecare octet dintr-o locație poate fi citit sau scris. Accesul se face specificând adresa, data și comanda în registre speciale.

Acest MC permite 5 moduri de adresare:

- adresare directă - adresa operandului este conținută în instrucțiune. Se pot executa instrucțiuni cu un registru sau între 2 registre. Este accesibil astfel tot spațiul de date;
- adresare indirectă - adresa operandului este în X, Y sau Z;
- adresare indirectă cu deplasament - adresa operandului este rezultatul adunării registrelor Y sau Z cu adresa de 6 biți conținută în instrucțiune. Se acoperă astfel doar 63 de locații față de baza dată de registrele Y sau Z;
- adresare indirectă cu pre decrementare - registrele X, Y sau Z sunt decrementate înainte de adresare;
- adresare indirectă cu post incrementare.

Setul de instrucțiuni este dat în tabelul 10.23.

Tabel 10.23. Setul de instrucțiuni al familiei AVR

Mnemonică	Operanzi	Operație	Operație
ADD	Rd,Rr	$Rd=Rd+Rr$	Sumă
ADC	Rd,Rr	$Rd=Rd+Rr+C$	Sumă plus carry
SUB	Rd,Rr	$Rd=Rd-Rr$	Diferență
SUBI	Rd,K	$Rd=Rd-K$	Diferență cu o constantă
SBC	Rd,Rr	$Rd=Rd-Rr-C$	Diferență cu carry
SBCI	Rd,K	$Rd=Rd-K-C$	Dif. cu const. și carry
AND	Rd,Rr	$Rd=Rd * Rr$	SI logic
ANDI	Rd,K	$Rd=Rd * K$	SI logic cu const.
OR	Rd,Rr	$Rd=Rd \vee Rr$	SAU logic
ORI	Rd,K	$Rd=Rd \vee K$	SAU logic cu const.
EOR	Rd,Rr	$Rd=Rd \oplus Rr$	SAU exclusiv
COM	Rd	$Rd=\$FF-Rd$	Complement față de 1
NEG	Rd	$Rd=\$00-Rd$	Complement față de 2
SBR	Rd,K	$Rd=Rd \vee K$	Set bit K în registru
CBR	Rd,K	$Rd=Rd * (\$FF-K)$	Clear bit K în registru
INC	Rd	$RD=Rd+1$	Increment
DEC	Rd	$Rd=Rd-1$	Decrement
TST	Rd	$Rd=Rd * Rd$	Test de 0 sau -
CLR	Rd	$Rd=Rd \oplus Rd$	Clear registru
SER	Rd	$Rd=\$FF$	Set registru
RJMP	k	$PC=PC+k+1$	Salt relativ la k
RCALL	k	$PC=PC+k+1$	Salt la subrutină
RET		$PC=STACK$	Return din subrutină
RETI		$PC=STACK$	Ret. din subrutină de tratare a întreruperii
CPSE	Rd,Rr	if (RD=Rr) PC=PC+2 or 3	Compară , skip dacă egal
CP	Rd,Rr	$Rd-Rr$	Compară
CPC	Rd,Rr	$Rd-Rr-C$	Compară cu carry
CPI	Rd,K	$Rd-K$	Compară cu constantă
SBRC	Rr,b	if (Rr(b)=0) PC=Pc+2 or 3	Skip dacă bitul b din Rr este 0
SBRS	Rr,b	if (Rr(b)=1) PC=Pc+2 or 3	Skip dacă bitul b din Rr este 1

Mnemonică	Operanzi	Operație	Operație
SBIC	P,b	if (P(b)=0) PC=PC+2 or 3	Skip dacă bitul B din I/O este 0
SBIS	P,b	if (P(b)=1) PC=PC+2 or 3	Skip dacă bitul B din I/O este 1
BRBS	s,k	if(SREG(s)=1) PC=PC+k+1	Salt dacă SF este 1
BRBC	s,k	if(SREG(s)=0) PC=PC+k+1	Salt dacă SF este 0
BREQ	k	if (Z=1) PC=PC+k+1	Salt: egalitate
BRNE	k	if (Z=0) PC=PC+k+1	Salt: diferit
BRCS	k	if (C=1) PC=PC+k+1	Salt: carry setat
BRCC	k	if (C=0) PC=PC+k+1	Salt: carry este zero
BRSH	k	if (C=0) PC=PC+k+1	Salt: mai mare sau egal
BRLO	k	if (C=1) PC=PC+k+1	Salt: mai mic
BRMI	k	if (N=1) PC=PC+k+1	Salt: minus
BRPL	k	if (N=0) PC=PC+k+1	Salt: plus
BRGE	k	if (N⊕V=0) PC=PC+k+1	Salt : mai mare sau egal, cu semn
BRLT	k	if (N⊕V=1) PC=PC+k+1	Salt : mai mic decât 0, cu semn
BRHS	k	if (H=1) PC=PC+k+1	Salt dacă CF este setat
BRHC	k	if (H=0) PC=PC+k+1	Salt dacă CF este zero
BRTS	k	if (T=1) PC=PC+k+1	Salt dacă T este setat
BRTC	k	if (T=0) PC=PC+k+1	Salt dacă T este zero
BRVS	k	if (V=1) PC=PC+k+1	Salt dacă este overflow
BRVC	k	if (V=0) PC=PC+k+1	Salt dacă nu este overflow
BRIE	k	if (I=1) PC=PC+k+1	Salt dacă întreruperea e activată
BRID	k	if (I=0) PC=PC+k+1	Salt dacă întreruperea e dezactivată
LD	Rd,Z	Rd=(Z)	Incarcă registru indirect
ST	Z,Rr	(Z)=Rr	Stochează registru indirect
MOV	Rd,Rr	Rd=Rr	Mută Rr în Rd
LDI	Rd,K	Rd=K	Mută constanta K în Rd
IN	Rd,P	Rd=P	IN din portul P
OUT	P,Rr	P=Rr	OUT la portul P
SBI	P,b	I/O (p,B)=1	Set bit b din portul P
CBI	P,b	I/O (p,B)=0	Reset bit b din portul P
LSL	Rd	Rd(n+1)=Rd(n),Rd(0)=0	Shift logic stânga
LSR	Rd	Rd(n)=Rd(n+1),Rd(7)=0	Shift logic dreapta
ROL	Rd	Rd(0)=C,Rd(n+1)=Rd(n), C=Rd(7)	Rotire spre stânga prin carry
ROR	Rd	Rd(7)=C,Rd(n)=Rd(n+1), C=Rd(0)	Rotire spre dreapta prin carry
ASR	Rd	Rd(n)=Rd(n+1), n=0..6	Shift aritmetic spre dreapta
SWAP	Rd	Rd(3..0)=Rd(7..4), Rd(7..4)=Rd(3..0)	Inversează jumătățile
BSET	s	SREG(s)=1	Setează flag s
BCLR	s	SREG(s)=0	Resetează flagul s
BST	Rr,b	T=Rr(b)	Stochează bitul b din Rr în T
BLD	Rd,b	Rd(b)=T	Incarcă T în bitul b din Rd

Mnemonică	Operanzi	Operație	Operație
SEC		C=1	Setează Carry flag
CLC		C=0	Reset Carry flag
SEN		N=1	Setează Negative flag
CLN		N=0	Resetează Negative flag
SEZ		Z=1	Setează Zero flag
CLZ		Z=0	Resetează Zero flag
SEI		I=1	Activează întrerupere
CLI		I=0	Dezactivează întrerupere
SES		S=1	Setează flagul de semn
CLS		S=0	Resetează flagul de semn
SEV		V=1	Setează flagul overflow complement față de 2
CLV		V=0	Resetează flagul overflow complement față de 2
SET		T=1	Setează T în SREG
CLT		T=0	Resetează T în SREG
SEH		H=1	Setează Half Carry Flag în SREG
CLH		H=0	Resetează Half Carry Flag în SREG
NOP			No operation
SLEEP			Sleep
WDR			Watch dog reset

Anumite modele au și o instrucțiune de înmulțire, MUL.

MC AVR au 3 surse de întrerupere:

- de la RESET, (din exterior, la punerea sub tensiune sau de la ceasul de gardă);
- de la un pin extern;
- de la timer, la o depășire.

Întreruperile pot fi mascate cu 2 registre de 8 biți, GIMSK- General Interrupt Mask și TIMSK- Timer/Counter Interrupt Mask. La primirea unei întreruperi se invalidează sistemul de întreruperi. Totuși este posibilă primirea încă a unei întreruperi în timp ce este servită prima, dacă se revalidează sistemul de întreruperi. Răspunsul la o cerere de întrerupere durează minimum 4 cicluri, timp în care PC este salvat în stivă, SP este incrementat cu 2 și se setează invalidarea întreruperilor.

Sursele de RESET pot fi:

- la punerea sub tensiune (Power On Reset), dacă tensiunea crește și atinge un anumit prag;
- de la un pin extern, dacă un nivel LOW este prezent mai mult de 50ns;
- de la ceasul de gardă dacă este validat și a expirat perioada de timp pentru care a fost programat să aștepte o inițializare.

După RESET execuția programului începe de la adresa 000h. Un RESET pornește un numărator care contorizează un anumit număr de impulsuri ale ceasului intern al

circuitului. Contorul stabilește durata impulsului RESET intern pentru ca acesta să fie suficient de lung pentru inițializarea tuturor circuitelor interne, Fig. 10.70.

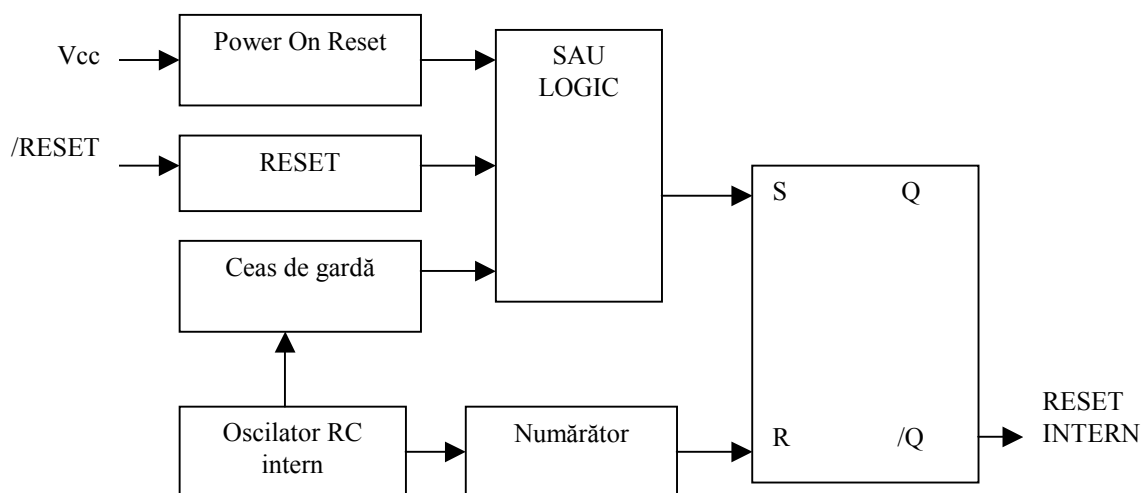


Fig. 10.70. Circuit intern pentru generarea semnalului RESET

Nu mai este astfel necesară nici o componentă exterioară pentru semnalul de RESET.

MC admite moduri de lucru cu economie de energie:

- modul adormit (Power Down), în care se intră prin execuția instrucțiunii SLEEP. Dacă în modul SLEEP apare o întrerupere externă, una de la ceasul de gardă sau un RESET, acestea sunt executate, circuitul trezindu-se. În acest mod de lucru este oprit oscilatorul extern. Trezirea durează un interval de timp egal cu cel necesar pentru un RESET.
- modul inactiv, în care se intră cu aceeași instrucțiune, dar poziționând un bit din registrul de control. În acest mod unitatea centrală este oprită, dar timerul, ceasul de gardă și sistemul de întreruperi continuă să funcționeze. O întrerupere internă, una externă sau un RESET trezesc circuitul.

Circuitul admite ca surse de tact:

- un cristal de cuarț sau un rezonator ceramic, pentru aplicații cu pretenții la stabilitatea frecvenței, (elemente conectate la pinii Xtal1 și Xtal2);
- un generator extern la un pin I/O (PB3);
- generatorul RC intern, la 1MHz.

Selecția sursei ceasului pentru tact intern sau extern se face cu un bit în memoria FLASH. Circuitul este programat implicit pentru tact extern. Lucrul cu ceas intern determină posibilitatea utilizării acestor MC cu componente externe extrem de puține.

Timerul care echează circuitele AT902323 este un timer pe 8 biți cu un registru de prescalare pe 10 biți. Timerul poate fi folosit cu tact intern (tactul sistemului divizat cu 8, 64, 256 sau 1024) sau cu tact extern. Sursa de tact pentru timer poate fi ceasul sistemului, ceasul prescalat sau un tact extern. Funcționarea timerului este controlată de biți din două registre (registru de măști pentru întreruperi și registru de control al timerului). La depășire, numărătorul poate cere o întrerupere.

Ceasul de gardă are ca și tact un oscilator separat, integrat în MC și este complet separat de timer. Ca și timerul, ceasul de gardă are posibilitatea de prescalare. Controlul ceasului de gardă se face cu registrul WDTCR (Watchdog Timer Control Register). Pentru a evita dezactivarea întâmplătoare a ceasului de gardă, acesta trebuie dezactivat cu o secvență de program specifică.

EEPROM este accesibil în spațiul I/O, prin următoarele registre:

- registru de adrese EEPROM;
- registru de date EEPROM;
- registru de control EEPROM, care comandă sensul transferului.

MC ATMEL AVR au linii I/O de uz general (AT902323 are 3 linii, AT902343 are 5 linii, iar modelul AT90S1200 dispune de două porturi: B de 8 biți și D de 7 biți). Fiecare linie de port poate fi configurată independent față de celelalte, atât ca linie de intrare cât și ca linie de ieșire. De asemenea în modul de utilizare ca linie de intrare, fiecare linie poate fi configurată cu un rezistor de pull-up intern (valoarea aprox 40KΩ). Fiecare linie de ieșire poate susține un curent de 20mA (max 40mA valoare limită absolută) astfel încât se poate folosi direct la comandarea de LED-uri. Fiecărui port îi este alocat un registru de sens, (DDRx, Port x Data Direction). Pinii I/O admit semnificații duble.

Programarea memoriei FLASH și EEPROM se poate face serial, într-un mod cu tensiune mare (12V) și un mod cu tensiune joasă. Circuitele vin de la fabricant gata de a fi înscrise (au conținutul FFh în fiecare locație). În modul de programare cu tensiune înaltă, tensiunea de 12V validează programarea, nu are un rol funcțional. Modul de programare în cele 2 variante este arătat în Fig. 10.71.

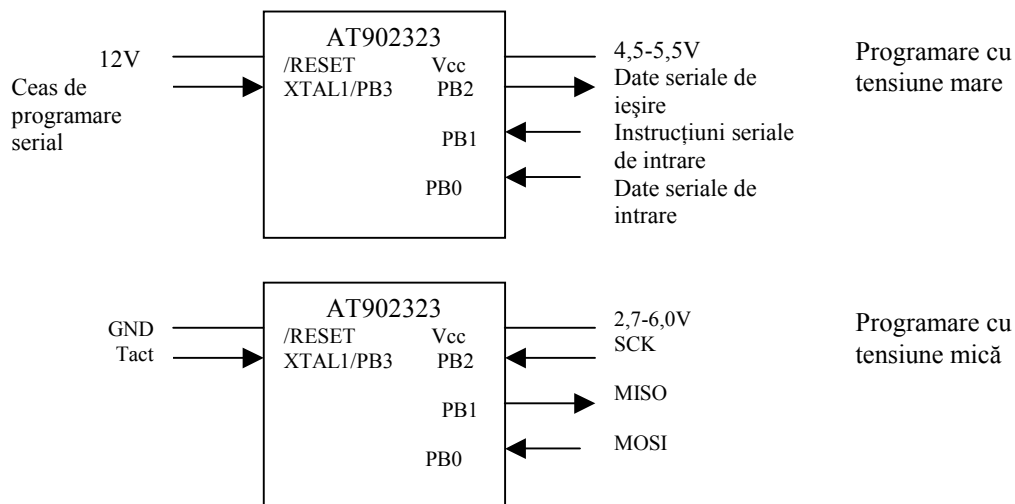


Fig. 10.71. Programarea serială a memoriei EPROM (FLASH)

La programarea cu tensiune mare se poate programa memoria FLASH (intrarea pe PB1) și memoria de date EEPROM (intrarea pe PB0). Pentru programarea memoriei FLASH se trimite întâi adresa apoi data (octetul LOW apoi cel HIGH). Confirmarea se obține prin trecerea lui PB2 în HIGH. Memoria EEPROM se programează trimițând întâi adresa apoi octetul de date, confirmarea fiind pe pinul PB2. Orice locație poate fi citită folosind instrucțiunea de citire și adresa, obținând pe pinul PB2 conținutul respectiv. Tactul serial este activ pe front crescător. Scrierea, citirea și unele comenzi speciale (ștergerea întregii

memorii, scrierea biților de securitate etc.) se comandă prin trimiterea înaintea adresei a codului serial al comenzii respective (se găsește în foile de catalog).

La programarea cu tensiune mică se poate programa memoria FLASH și memoria EEPROM tot serial, prin interfața SPI. Datele se înscriu pe frontul crescător a lui SCK. În acest mod de lucru, confirmarea scrierii unei locații se face prin trimiterea în ecou a octetului scris. Comenzile se trimit la fel, prin coduri seriale.

Un programator pentru astfel de MC (mod de programare cu tensiune mare) se poate realiza simplu, folosind interfața CENTRONICS a unui PC, Fig. 10.72.

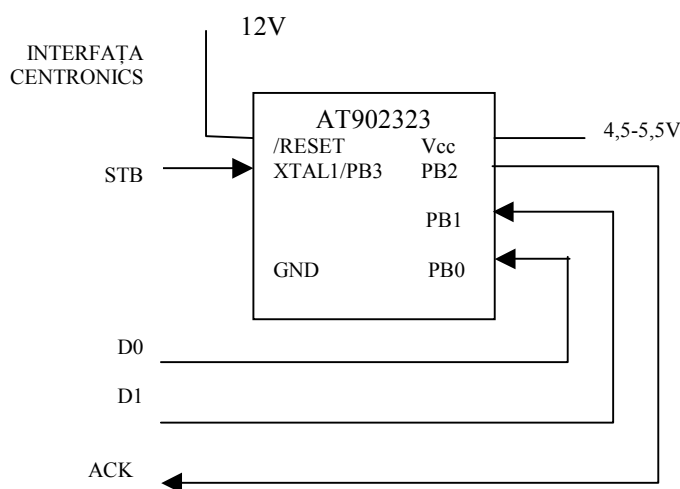


Fig. 10.72. Programarea unui circuit AVR folosind interfața CENTRONICS

Memoria este prevăzută cu posibilitatea de protecție a programelor înscrise. Astfel, există 2 biți de blocare în FLASH care nu pot fi șterși decât prin ștergerea întregului program. Acești doi biți pot comanda:

- dezactivarea unor viitoare programări ale memoriei FLASH sau EEPROM;
- dezactivarea unor viitoare programări ale memoriei FLASH sau EEPROM și blocarea verificării.

Memoria mai este prevăzută cu 2 biți care nu pot fi șterși (fuzibili) care pot comanda:

- dezactivarea modului serial de programare;
- sursa internă sau externă pentru tact.

Modelul ATiny 10 este echipat cu un comparator analogic, care compară valoarea analogică de la pinul PB0 cu cea de la pinul PB1. Ieșirea comparatorului poate declanșa o întrerupere. Comparatorul este controlat de un registru de control și stare.

Modelul AT90S4433 este echipat cu 6 canale de conversie A/D pe 10 biți. Acest model este un MC cu o echipare superioară: un timer suplimentar de 16 biți cu posibilitatea de comparare, captură și generare PWM, un comparator analogic, un canal UART, un convertor A/D pe 10 biți cu 6 canale și un sistem de întreruperi care admite 14 surse de

întrerupere din care 2 externe. Acest circuit are și posibilitatea de programare paralelă, deoarece are suficiente linii I/O. Schema bloc a acestui MC este dată în Fig. 10.73.

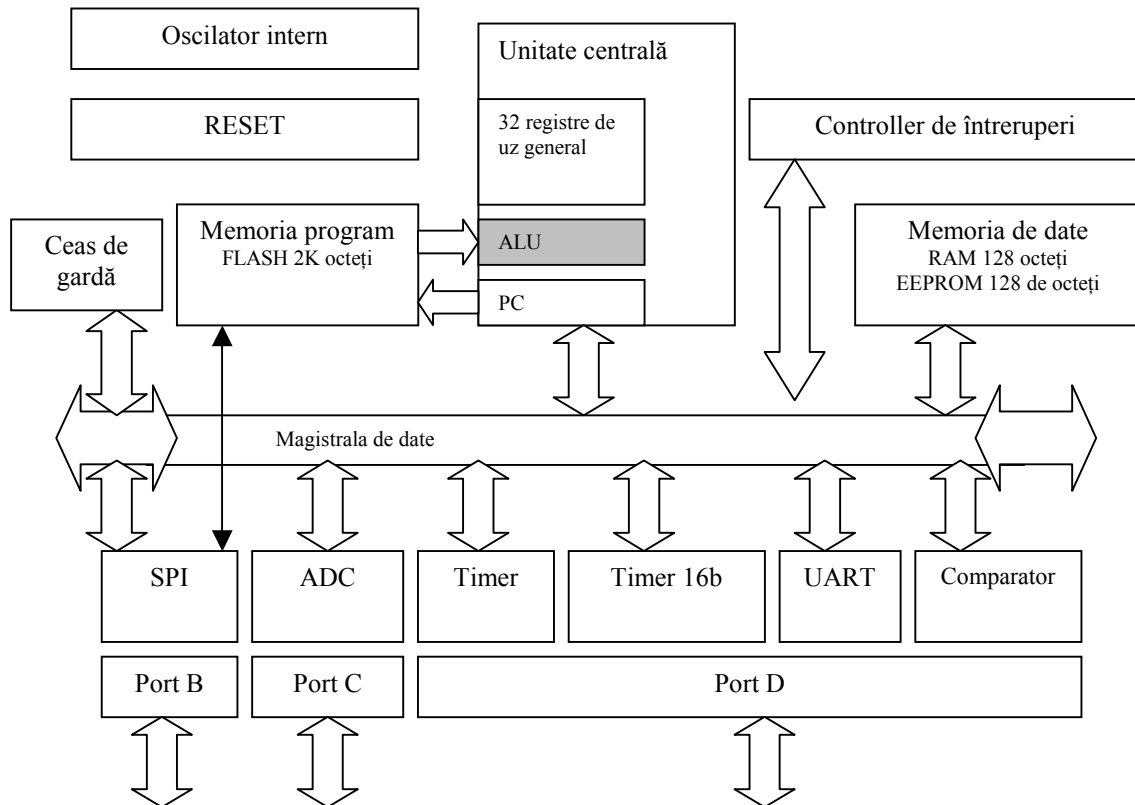


Fig. 10.73. MC AT90S4433 – Schema bloc

Canalul serial UART permite transferul de date full duplex, cu 8 sau 9 biți de date, cu generarea de rată de transfer. Canalul serial poate cere întrerupere la transmisie completă, registru de transmisie gol sau recepție completă. Recepția și transmisia se fac ca și la celelalte MC, cu un registru de deplasare pentru serializare/deserializare și un registru de date. Se poate realiza și o comunicație serială multiprocesor (Multi-Processor Communication Mode), prin transmisia în mesaj întâi a adresei unui destinatar și apoi a mesajului propriu-zis. Se poate astfel realiza o comunicație în care un procesor este MASTER iar celelalte SLAVE. Canalul serial este controlat de un registru de comandă și stare.

Comparatorul analogic, pe lângă întreruperea pe care o poate genera, poate să declanșeze o captură la timerul de 16 biți la acest tip de MC.

Convertorul A/D este un convertor cu aproximații succesive cu eșantionare memorare și cu un bloc de multiplexare analogică pe 6 canale la intrare. Convertorul poate lucra cu conversie singulară sau conversie continuă. Convertorul are pini de alimentare separați din exterior și un pin pentru conectarea tensiunii de referință. Ca și tact de conversie, convertorul acceptă tactul sistemului divizat cu un registru de prescalare. Tactul se poate încadra în valorile optime 50-200kHz. La terminarea unei conversii convertorul poate cere o întrerupere. Schema bloc a convertorului este dată în Fig. 10.74.

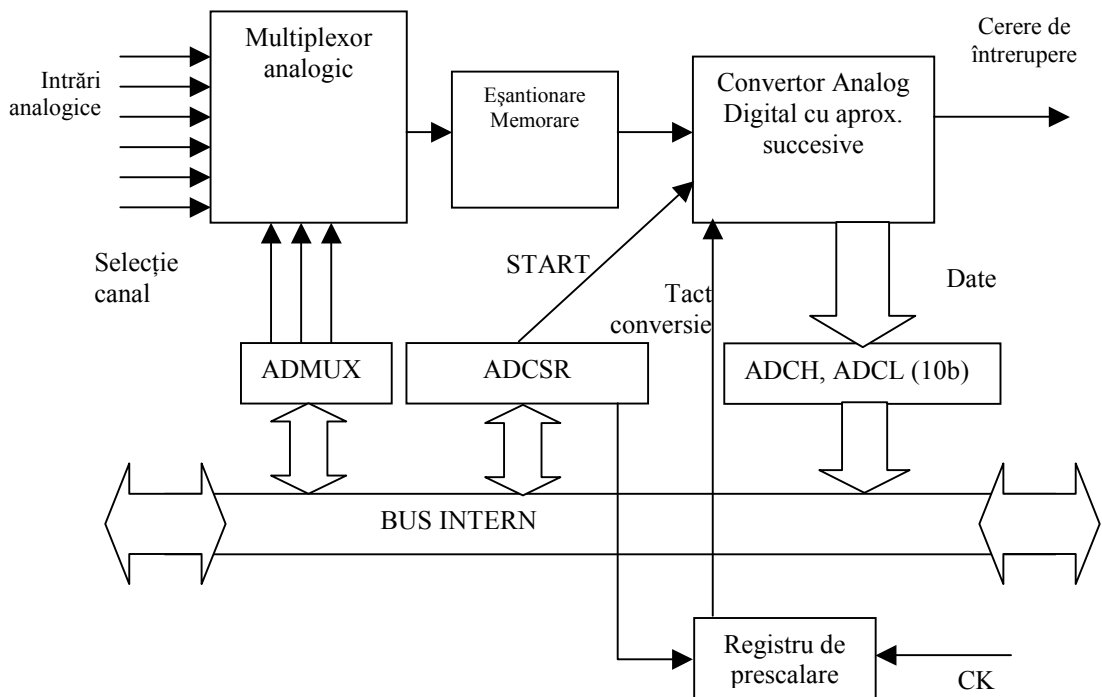


Fig. 10.74. Convertorul analog-numeric

Prin registrul ADMUX se comandă cu 3 biți selecția unui canal din cele 6. Registrul de control și stare ADCSR poate declanșa o conversie prin poziționarea unui bit. Funcționarea convertorului poate fi validată/invalidată. Prin registrul de control se poate programa și rata de prescalare. Pentru a micșora perturbațiile introduse de unitatea centrală în timpul achiziției de date se poate comanda UC în stare inactivă. După efectuarea conversiei întreruperea de la convertor va trezi UC (ADC Noise Canceller Function).

Înscrierea memoriei FLASH și EEPROM se poate face și în mod paralel, ceea ce înseamnă o viteză mai mare de scriere și un plus de simplitate la programare. Semnalele folosite în acest mod de programare sunt date în Fig. 10.75.

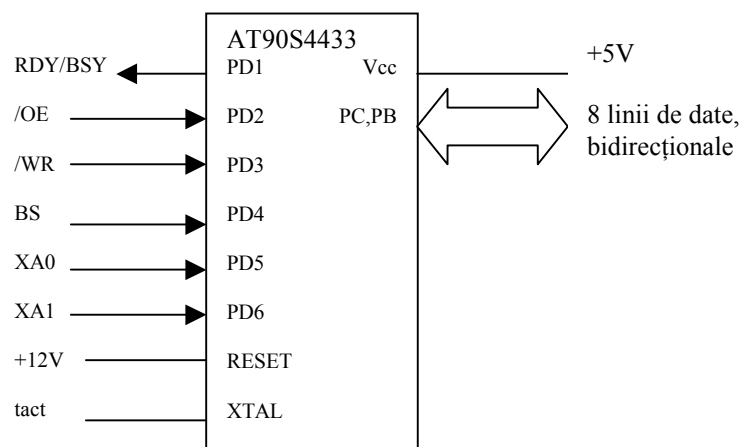


Fig. 10.75. Semnale folosite la înscrierea paralelă a memoriei EEPROM (FLASH)

Pentru înscrierea sau citirea datelor se folosesc 8 linii cu semnificații duble din porturile PC și PB. /OE stabilește dacă este vorba de scriere sau citire. Scrierea se face cu stroboul /WR. BS selectează octetul mai semnificativ sau mai puțin semnificativ. Semnalele XA0 și XA1 stabilesc dacă se încarcă memoria FLASH, sau o adresă a EEPROM, un octet de date sau o comandă. Sunt posibile 9 comenzi: ștergere memorie, scriere biți de securitate, scriere biți fuzibili, scriere FLASH, scriere EEPROM, citire biți de identificare, citire biți fuzibili și de securitate, citire FLASH, citire EEPROM. Modul de scriere paralel poate fi ușor realizat prin intermediul interfeței CENTRONICS; citirea pentru verificare este mai complicată.

Modelele AT90S4414 și AT90S8515 dispun de posibilitatea conectării în exterior a unei memorii SRAM suplimentare. Pentru aceasta sunt disponibile la portul A magistrala de adrese (octet mai puțin semnificativ) și magistrala de date multiplexate, iar la portul C octetul mai semnificativ al magistralei de adrese. De asemenea sunt disponibile și semnalele ALE (Address Latch Enable), /RD și /WR.

10.5.2.2. Familia ARM

Un nucleu cu arhitectură RISC de mare performanță este ARM7DMI. Este conceput cu o arhitectură von Neumann, cu magistrala de date pe 32 de biți, având 2 seturi de instrucțiuni (ARM pe 32 de biți și THUMB pe 16 biți). Spațiul adresabil este de 4G.

O schemă bloc sumară a acestui nucleu este dată în Fig. 10.76.

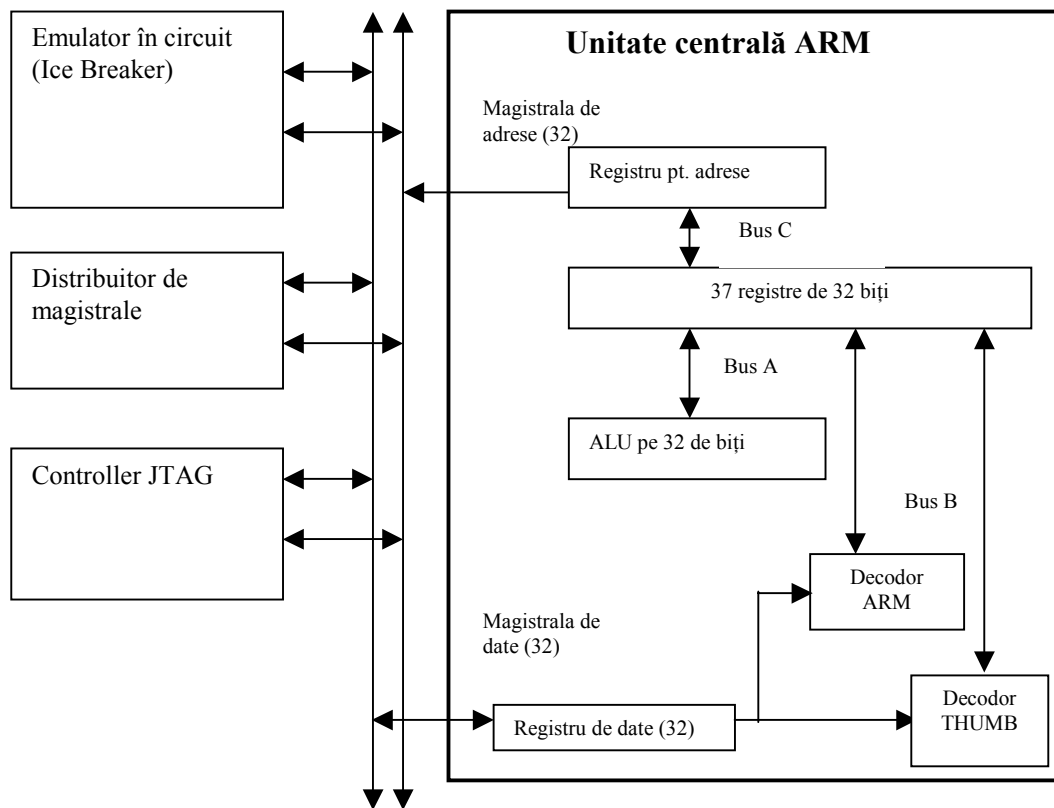


Fig. 10.76. MC ARM – schema bloc

Structura UC este pipe line pe 3 nivele; extragere cod, decodificare și execuție. UC poate lucra cu date pe 8, 16 sau 32 de biți și poate executa înmulțiri într-un singur ciclu. Nucleul are integrat și circuitul de testare JTAG și un emulator în circuit.

Setul de instrucțiuni THUMB pe 16 biți este un subset al setului pe 32 de biți, cele mai uzual folosite instrucțiuni. În acest fel se salvează spațiu de memorare și se câștigă viteză de prelucrare.

Pentru a asigura un grad mare de paralelism în UC, există mai multe magistrale de legătură. Instrucțiunile sunt analizate și distribuite decodoarelor corespunzătoare (THUMB sau ARM). UC este echipată cu un set de 32 de registre și registre suplimentare pentru înmulțire. Pentru a se putea conecta o varietate cât mai mare de interfețe, magistralele sunt accesibile prin distribuitor în mai multe forme: unidirecțional, bidirecțional, multiplexat etc.

10.5.3. MC AMD Am29

MC RISC ale familiei AMD sunt circuite complexe, de mare performanță. Astfel, MC Am29200 are o arhitectură pipeline pe 32 de biți cu 192 de registre generale, un spațiu de adrese de 304M, posibilitatea conectării memoriei ROM și DRAM organizate pe 8, 16 sau 32 de biți, controller DMA, 16 linii programabile I/O, port serial UART, registru de serializare/deserializare pentru aplicații video, controller de întreruperi, timer și port JTAG. Frecvențele de tact admise sunt până la 16MHz. Unele MC din familie realizează și înmulțiri, iar altele pot lucra în virgulă flotantă.

Schema bloc a acestui MC este dată în Fig. 10.77.

Controlerul de memorie ROM (sau orice fel de memorie statică) poate gestiona 4 bancuri de memorie cu caracteristici și dimensiune diferită. Memoria poate apărea ca o zonă continuă de 64M. Controllerul de DRAM poate gestiona tot 4 bancuri cu caracteristici și dimensiuni diferite, până la 64M.

Controlerul DMA are 2 canale și poate asigura transfer de date pe 32 de biți în interior și pe 16 biți în exterior. Canalul de serializare/deserializare poate fi folosit la interfațarea cu echipamente periferice rapide pe principiu serial, cum ar fi scrierea cu laser, semnale video pentru afișaje sau scannere.

Setul de instrucțiuni conține 117 instrucțiuni grupate în mai multe clase: aritmetice, logice, de comparație, de deplasare, cu constante, în virgulă flotantă, de salt și diverse. Toate instrucțiunile (mai puțin cele în virgulă flotantă și a salturilor) se execută într-un singur ciclu. Operanzii și rezultatul pot fi în oricare din cele 192 de registre. Se poate lucra cu date în format pe 32, 16 sau 8 biți.

Pentru punerea la punct a programelor sunt posibile diferite metode de control, cum ar fi execuția pas cu pas și observarea MC prin intermediul unor semnale externe. Un mod și mai avansat este prin interfața JTAG prin care se poate urmări funcționarea circuitului fără un hardware suplimentar.

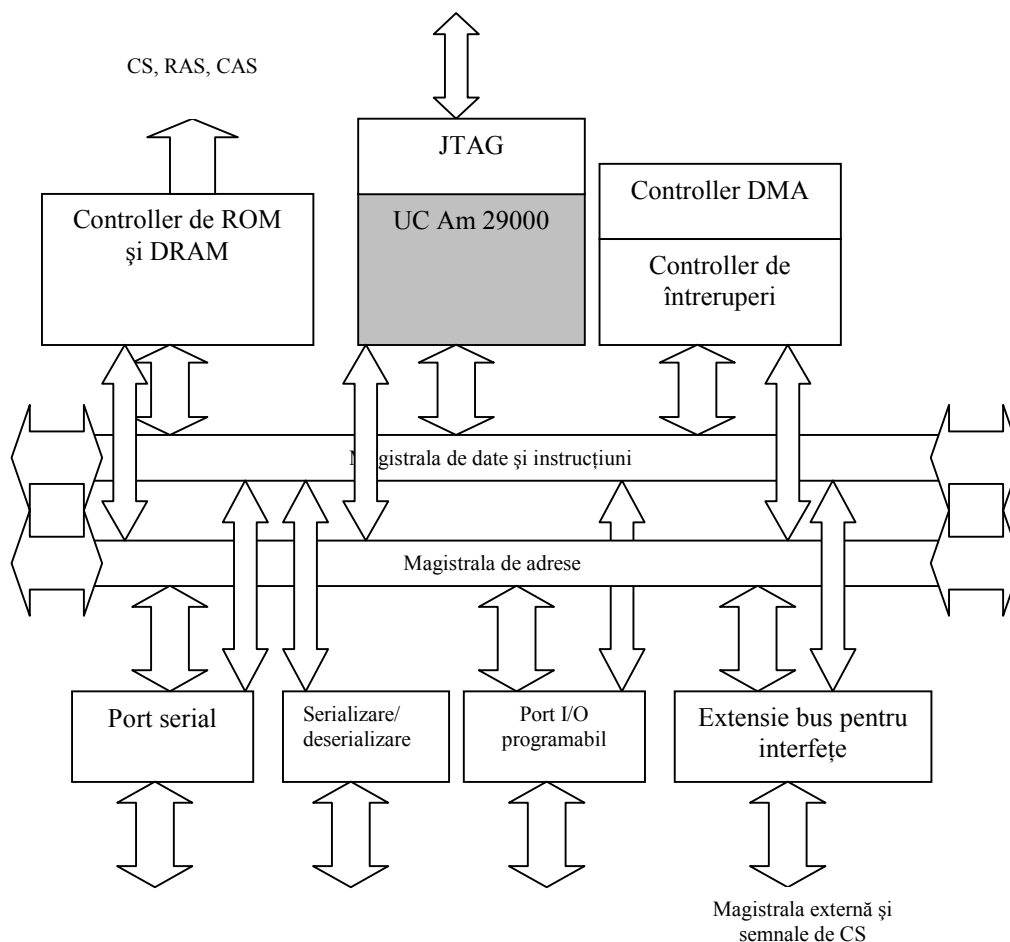


Fig. 10.77. MC Am29 – schema bloc

10.5.4. MC Super H (Hitachi)

O familie situată de asemenea la nivelul de sus al performanței este familia SuperH de la Hitachi; această familie este compusă din MC RISC pe 32 de biți.

Ca și caracteristici principale (SH7020) pot fi menționate:

- frecvența de până la 20MHz, tensiunea de alimentare 3,3V-5V;
- 16k octeți ROM/EPROM și 1k octet RAM;
- unitatea centrală are o structură pipeline cu 5 nivele, setul de instrucțiuni pe 16 biți, 60 de registre generale pe 32 de biți, 3 registre de control și 4 registre de sistem; poate executa înmulțiri;
- controlerul DMA are 4 canale;
- controlerul de întreruperi are 9 pini externi și 30 de surse interne, nivelul de prioritate este programabil;
- timerul are 5 canale pe 16 biți care pot lucra în mod numărător, captură, comparare sau PWM;
- controlerul de magistrală admite interfațarea de DRAM, ROM sau SRAM. suplimentar și alte interfețe, cu posibilitatea de conectare pe 16 sau 8 biți, cu sau fără stări de WAIT;

- ceas de gardă;
- 2 canale seriale SCI full duplex care pot lucra în mod sincron sau asincron;
- 2 de linii I/O.

Schema bloc a MC este dată în Fig. 10.78.

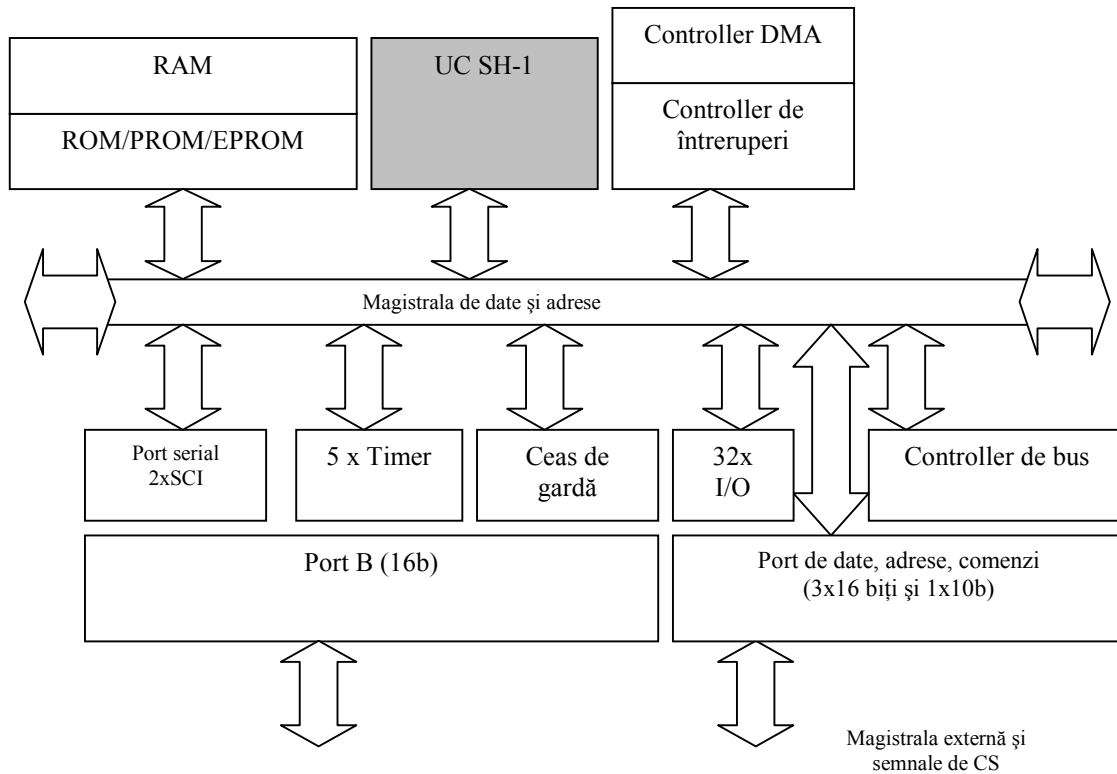


Fig. 10.78. MC Super H – schema bloc

10.5.5. MC Motorola PowerPC (MPC555)

Așa cum AMD a construit un MC în jurul unui nucleu compatibil x86, așa și Motorola a conceput acest MC în jurul unui nucleu PowerPC. Acest MC are următoarele caracteristici:

- nucleu RISC PowerPC cu unitate în virgulă flotantă;
- 26 K octeți memorie RAM și 448K octeți FLASH (EEPROM) cu programare la 5V;
- modul serial multicanal cu coadă de așteptare (QSMCM, Queued Serial Multi-Channel Module);
- interfață CAN 2.0;
- timer cu 50 de canale;
- 32 de intrări analogice într-un convertor analog digital dual;
- interfață JTAG;
- 2 unități de procesare a timpului (TPU, Time Processor Unit);
- magistralele sunt accesibile la pin (24 de linii de adresă, 32 de linii de date);
- frecvența de operare 40MHz.

Schema bloc este dată în Fig. 10.79.

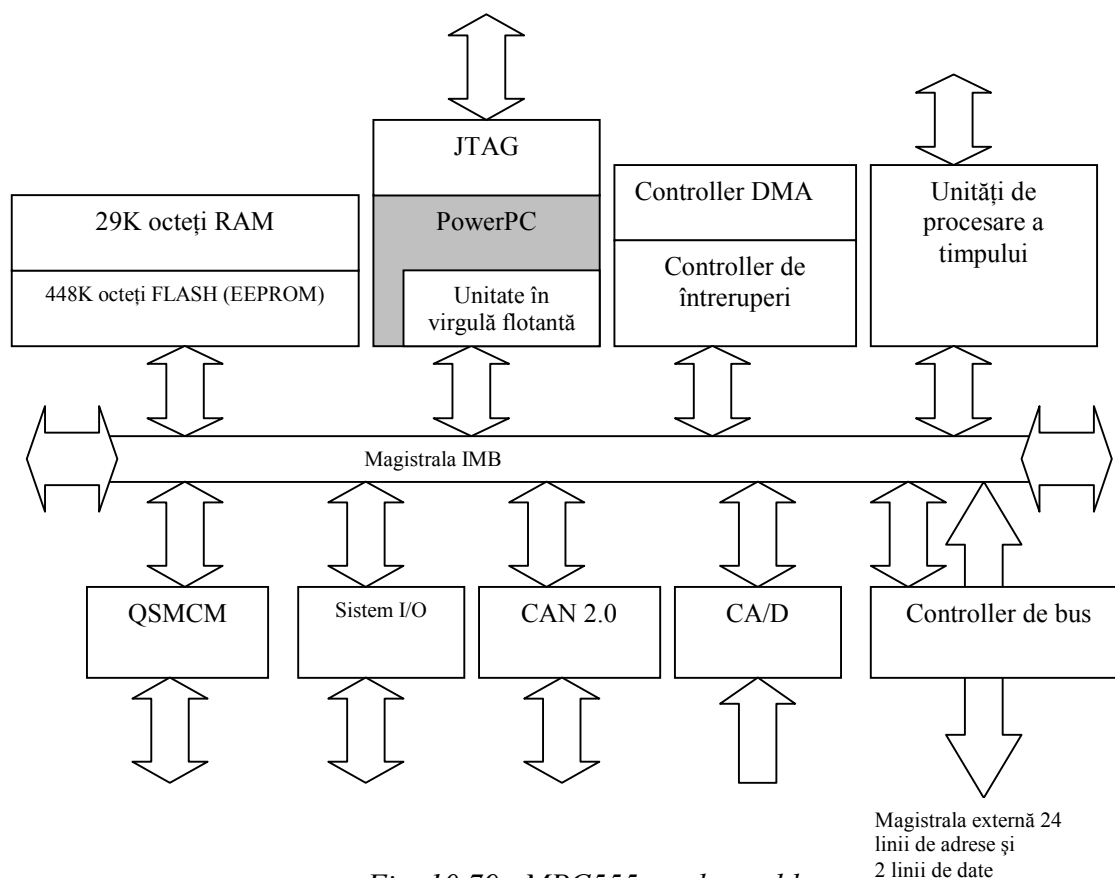


Fig. 10.79. MPC555 – schema bloc

Unitățile de procesare a timpului lucrează independent de UC și conțin fiecare 16 canale independente. Fiecare canal constă într-un numărător, un registru de captură și unul de comparare de 16 biți fiecare.

Convertorul A/D este cu aproximații succesive, cu eșantionare memorare și rezoluție de 10 biți.

Sistemul I/O conține 18 canale, din care 2 porturi paralele, 8 canale PWM și 2 canale timer.

10.5.6. Date comparative pentru MC RISC

Tabel 10.24. MC RISC – tabel comparativ

MC	Magistrala de date	Frecvența (MHz)	Linii I/O	Interfețe speciale	Preț (USD)
PIC12C508A	8	4	6	1	0.8
PIC16C71	8	20	20	7	3
PIC17C	8	33	33	3	10
ATMEL 90S1200	8	12	15	1	1,5
ATMEL 90S4433	8	8	20	5	7
AMD29200	32	16	16	3	47

10.6. CIRCUITE DSP ȘI MSP

De regulă circuitele DSP (Digital Signal Processor) și MSP (Mixed Signal Processor) sunt considerate altceva decât microcontrollere. Ele au o structură ceva mai deosebită; în jurul unei unități centrale mai complexe pentru domeniul aritmetic grupează interfețe speciale.

10.6.1. Circuitul DSP56156 (Motorola)

Structura acestui circuit este dată în Fig.10.80.

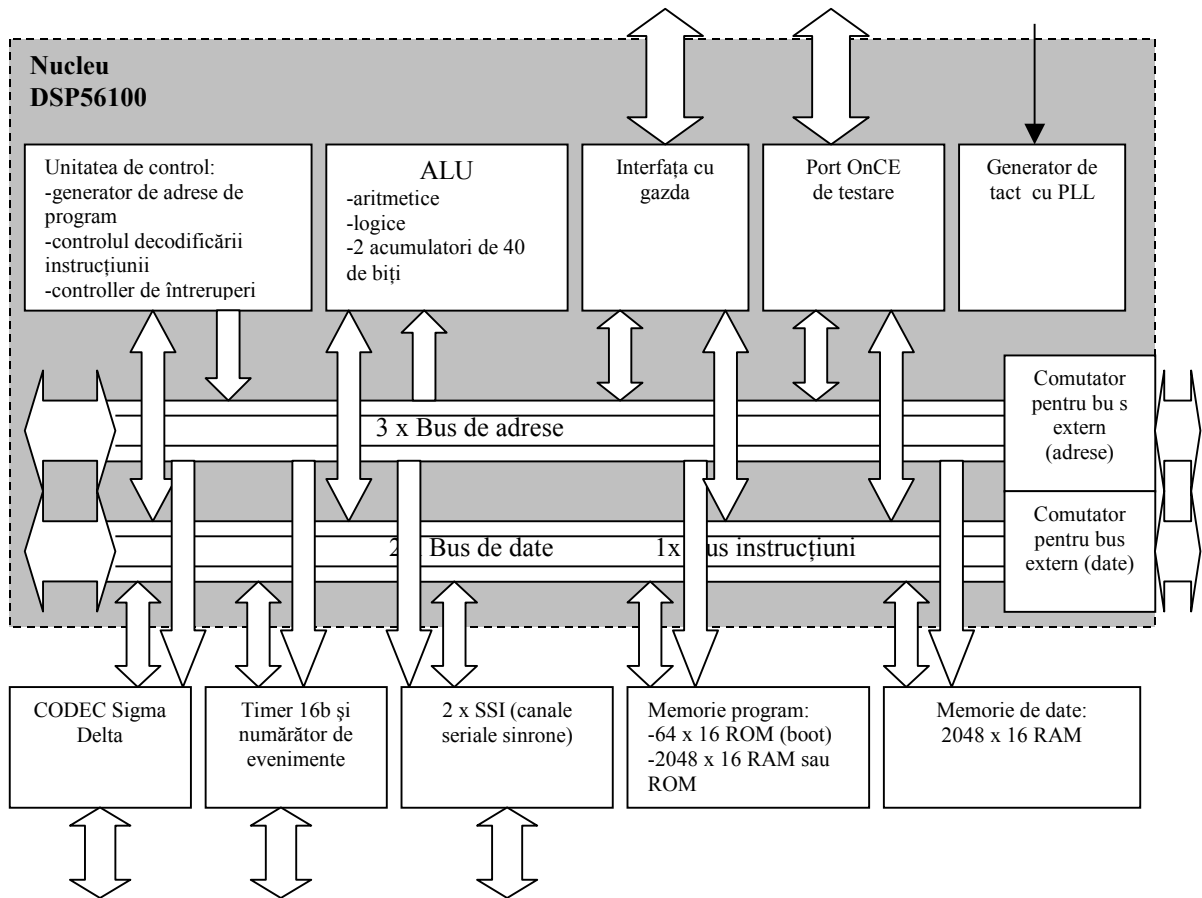


Fig. 10.80. SP56156 – schema bloc

În acest circuit sunt integrate un nucleu DSP56100 (CISC) și un set de interfețe și memorii. Arhitectura este Harvard, cu o magistrală de date de 16 biți, o magistrală de instrucțiuni de 16 biți și o magistrală de adrese. Nucleul are un mare grad de paralelism, având 3 unități de execuție care efectuează operații în paralel și 3 magistrale. Datorită arhitecturii Harvard accesul la date și instrucțiuni este simultan, iar execuția în paralel realizează șase operații într-un ciclu. Magistralele sunt accesibile la pin pentru extensii de interfețe.

Unitatea centrală poate funcționa la frecvențe de până la 60MHz și poate realiza la această frecvență de tact un ciclu de instrucțiune în 33ns. UC poate efectua înmulțiri de 16x 16 într-un ciclu (2 tacte sistem) sau de 32 x 32 cu rezultat de 72 în 6 cicluri, adunări și scăderi

de 40 biți într-un ciclu, operații aritmetice cu numere întregi și fracționare, transformată Fourier FFT.

Programul inițial se poate încărca în memoria RAM de program de pe magistrala externă, prin interfața serială SSI sau prin interfața cu gazda. Programul de încărcare se află în ROM-ul de încărcare (Boot ROM). Există modele cu ROM în loc de RAM pentru lucrul independent. Circuitul poate lucra atât independent după ce RAM-ul a fost încărcat cât și ca SLAVE, într-o conexiune cu un calculator gazdă. Interfața cu calculatorul gazdă se face pe 16 biți de date și admite mod de transfer prin DMA.

Pentru legătura cu exteriorul se pot folosi 27 de linii I/O, cu semnificații duble. Interfețele și liniile I/O sunt văzute de UC ca și locații în memoria de date.

Circuitul admite 2 moduri de lucru cu economie de energie, modul WAIT și modul STOP.

Sistemul de întreruperi admite 2 cereri de întrerupere externă.

Portul de depanare OnCE (On Chip Emulation) permite punerea la punct a programului fără să fie nevoie de un hardware suplimentar.

10.6.2. Circuitul MSP430 (Texas Instruments)

Acest circuit este numit de Texas Instruments Mixed Signal Microcontroller și are o structură mai apropiată de cea a unui MC. Aplicațiile tipice sunt cele în care este nevoie de achiziția cu precizie a unui semnal analogic și transmisia valorii numerice (eventual după anumite prelucrări primare) unui calculator gazdă. La modelul MSP430C32 rezultatul este prezentat pe un afișaj LCD. Schema bloc a circuitului este dată în Fig. 10.81.

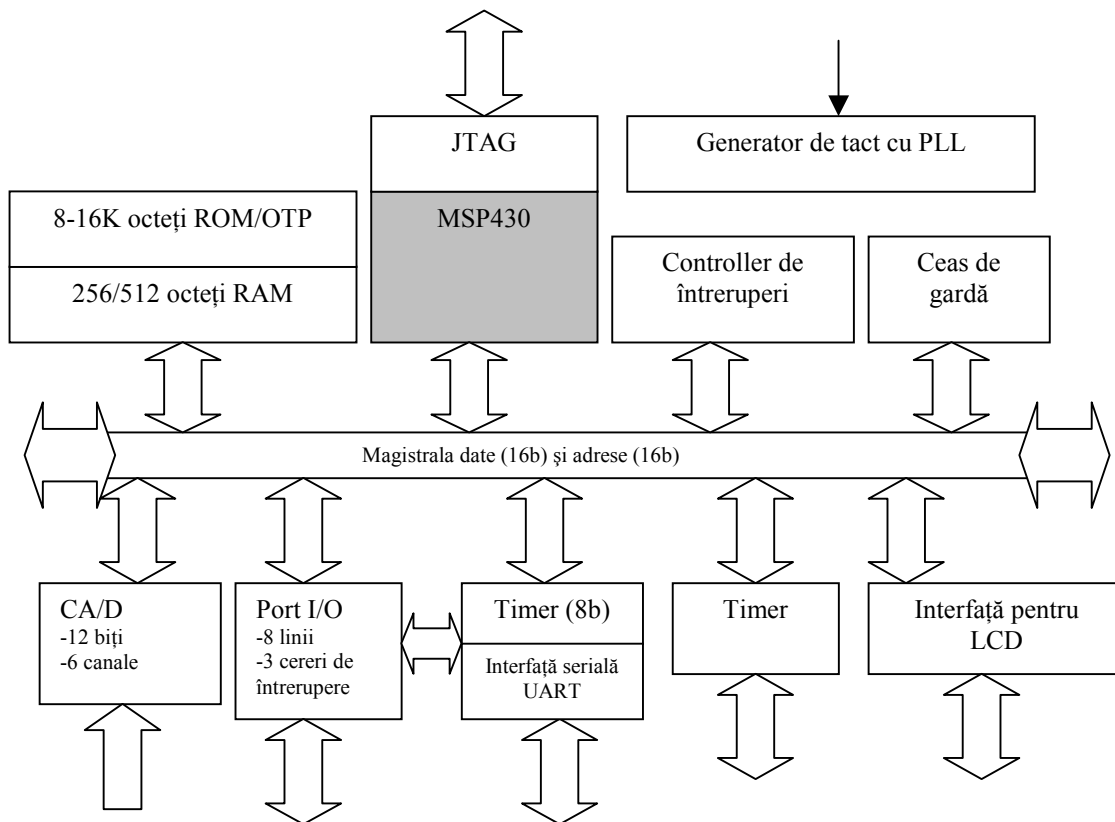


Fig. 10.81. MSP430 – schema bloc

Unitatea centrală RISC pe 16 biți are un numărător de program (PC), un indicator de stivă (SP), un registru pentru constante și 16 registre interne generale. Setul de instrucțiuni are 51 de instrucțiuni și 7 moduri de adresare posibile. Instrucțiunile au un mare grad de ortogonalitate. Instrucțiunile pot lucra cu date pe 8 biți sau date pe 16 biți.

Portul I/O pe 8 biți este foarte flexibil, fiecare bit poate fi programat individual ca intrare, ieșire sau cerere de întrerupere și este controlat de 6 registre:

- date de intrare;
- date de ieșire;
- registru de direcție;
- indicatori de întrerupere;
- selecția frontului care cere întrerupere;
- validarea întreruperilor.

Interfața cu LCD permite cuplarea unui afișaj static sau cu multiplexare. Modulul LCD are memorie proprie unde stochează informația de afișat. Modulul are 4 linii pentru planul din spate și 21 de linii pentru segmente.

10.7 APLICAȚII

10.7.1. Comanda motoarelor cu MC

Motoarele pot fi:

- de curent continuu cu perii sau fără perii;
- de curent alternativ cu inducție;
- motoare pas cu pas;
- motoare cu reluctanță comutată.

Cel mai simplu de comandat, pentru a obține o viteză variabilă, sunt motoarele de c.c. cu perii. Pentru a obține viteza variabilă este suficient să aplicăm o tensiune variabilă. Tensiunea variabilă poate fi aplicată în mai multe feluri:

- informația numerică este convertită într-o informație analogică și este aplicată unui tranzistor (pentru comanda într-un sens) sau la doi tranzistori (pentru comanda în ambele sensuri). Tensiunea variabilă astfel obținută se aplică motorului de c.c. Un dezavantaj este folosirea unui convertor D/A și puterea pierdută în tranzistorii care lucrează în zona liniară.
- informația numerică creează un semnal PWM, cu frecvența destul de mare ca motorul, datorită inerției, să integreze impulsurile. Motorul va avea o viteză proporțională cu factorul de umplere. Acest mod de comandă este mult mai simplu și tranzistorul, fiind în regim de comutație nu disipă inutil.

Un motor poate fi comandat de către un microcontroller atât direct, cât și prin intermediul unor interfețe specializate, programabile.

10.7.1.1. Comanda PWM a unui motor de c.c. cu perii folosind un MC Motorola 6805

Schema bloc de control a unui motor de c.c. cu perii realizată de un MC68HC705 este dată în Fig. 10.82.

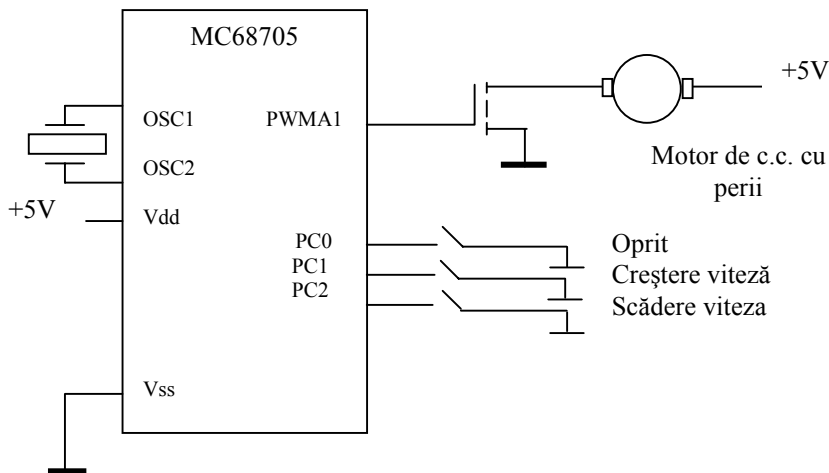


Fig. 10.82. Schema bloc de control a unui motor de c.c. cu perii realizată de MC68HC705

Controlul vitezei poate fi realizat:

- cu un program intern pentru un sistem care nu are nevoie de feedback sau de schimbări dese ale programului;
- cu un program intern ghidat de câteva intrări, cu funcționalitățile sugerate în figură.

Un program simplificat la maxim, care sugerează modul în care se comandă motorul este:

PORTA	EQU	\$00	Se alocă denumiri sugestive porturilor A și C
PORTC	EQU	\$02	precum și registrelor pentru stabilirea sensului
DRDA	EQU	\$04	
DRDC	EQU	\$06	
PWMAD	EQU	\$10	portul de date PWM (pe liniile port A
CTLA	EQU	\$14	portul de control al PWM

Start	EQU	*	
CLR	CTLA		registru de control al PWM este Resetat
LDA	#\$20		se trimite 20h în portul de date PWM
STA	PWMAD		(factor de umplere 50%)
LDA	#\$00		registru C este definit cu toate liniile de intrare
STA	DDRC		(se putea și cu CLR PORTC)

adr	BRSET 0,PORTC,adr1	bitul 0 este setat (buton apasat)?
	BSR adr_off	dacă da, salt la subrutina motor oprit (off)

adr1	BRSET 1,PORTC,adr2	dacă nu, se verifică următorul buton
.....		
	BRA adr	bucla se repetă continuu
Adr_off	LDA #00	se trimite 00h în portul de date PWM
	STA PWMAD	

Dezavantajul acestei scheme de control este că permite mișcarea motorului doar într-un sens. Pentru a fi posibilă schimbarea sensului este nevoie de un bit suplimentar pentru comanda schimbării polarității tensiunii de alimentare a motorului.

10.7.1.2. Comanda PWM a unui motor de c.c. fără perii folosind un MC Motorola 6805

Un motor de c.c. fără perii este format dintr-un rotor magnet permanent și un stator format din bobine aranjate în grupe de câte 3 (la motorul cu 3 faze). Bobinele trebuie alimentate într-o anumită succesiune pentru a obține sensul de rotație dorit (ca la motorul pas cu pas). Majoritatea motoarelor sunt echipate cu traductoare de poziție (Hall sau optice). Un astfel de motor poate fi comandat cu viteză variabilă prin modificarea factorului de umplere (PWM), dar în acest caz trebuie modificată și viteza de comutație. Un sistem de acționare este dat în Fig. 10.83.

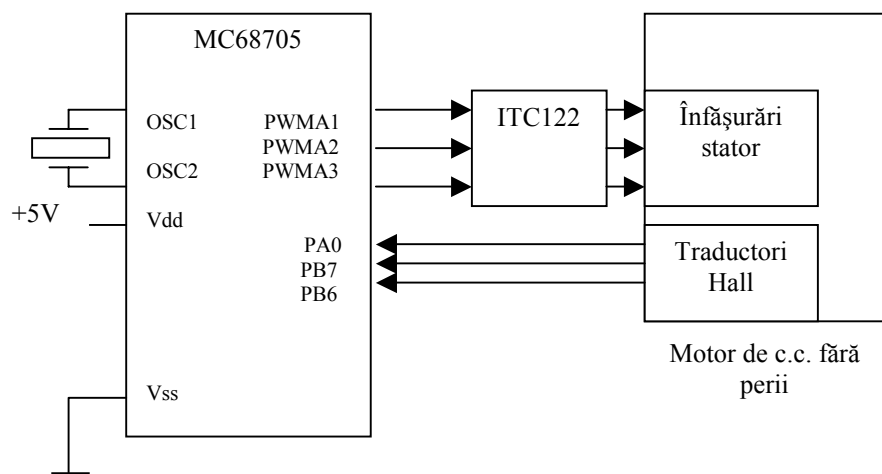


Fig. 10.83. Comanda PWM a unui motor de c.c. fără perii folosind MC Motorola 6805

Acest sistem asigură performanțe de reglare superioare, având o complexitate mai mare. Secvența de acționare pentru comanda motoarelor este transmisă prin intermediul unui amplificator de putere, ITC122. Semnalele digitale de la traductoare sunt citite pe 3 intrări digitale. Aplicația este detaliată în nota de aplicații Motorola AN1702/D, (<http://mcu.motps.com>).

10.7.1.3 Comanda PWM a unui motor de c.c. cu perii folosind un MC 8051

În această aplicație se folosește un MC cu arie de numărătoare programabilă (PCA - 83C51FA) care are posibilitatea de a programa 2 canale PWM. Unele aplicații solicită

obținerea unei viteze precis controlate (cum ar fi la un casetofon), iar altele a unei poziționări precise (cum ar fi la un plotter).

O comandă bidirecțională a unui motor folosind 2 canale PWM și o buclă de reacție prevăzută pentru a menține o viteză constantă este arătată în Fig. 10.84.

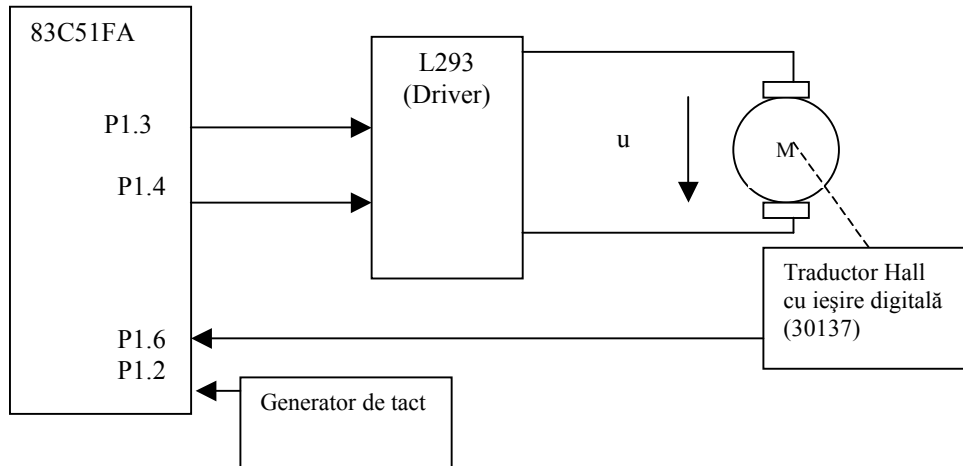


Fig. 10.84. Comanda PWM a unui motor de c.c. cu perii folosind MC 8051

MC comandă motorul folosind 2 canale PWM. Curentul necesar motorului nu poate fi furnizat de MC, de aceea se folosește un circuit driver L293 care conține 4 canale de amplificare, din care în acest caz sunt folosite 2 și un semnal de modificare a sensului. În acest montaj modificarea sensului se face prin modificarea factorului de umplere la cele 2 canale PWM, Fig.10.85.

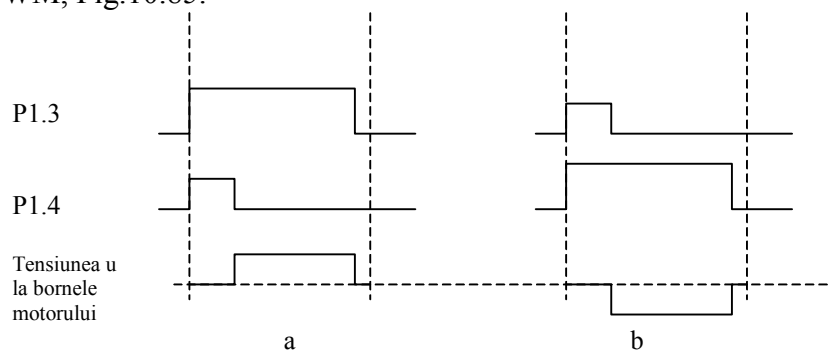


Fig. 10.85. Diagrama de semnal pentru comanda fazelor

Când P1.3 și P1.4 sunt egale diferență de potențial la bornele motorului este zero. În cazul (a), P1.3 este mai mult în 1 și motorul este alimentat cu +5V de la P1.3 la masă (P1.4) și se rotește într-un sens. În cazul B el este alimentat de la P1.4 și se rotește în celălalt sens. Viteza poate fi comandată prin variația factorului de umplere a celor 2 canale PWM, fiind proporțională cu diferența lor.

Bucula de feedback se poate închide montând pe rotorul motorului 2 piese magnetice, diametral opuse și formând 2 impulsuri, la fiecare rotire a motorului, cu un traductor Hall cu ieșire digitală. Semnalul este preluat de MC la un pin I/O de uz general, sau poate fi

preluat la un canal al PCA în mod numărător (cum s-a realizat în acest caz), sau poate genera o întrerupere.

Pentru că motorul cu perii este foarte perturbator, se impun măsuri de protecție. Se recomandă conectarea unor condensatori de $6,8\mu\text{F}$ între bornele motorului și masă și de $0,33\mu\text{F}$ între bornele motorului. De asemenea se recomandă decuplarea tensiunii de alimentare cu condensatori de $50\mu\text{F}$, $6,8\mu\text{F}$ și 100nF în paralel, diode pentru eliminarea vârfurilor de tensiune de la fiecare bornă a motorului la masă și +5V.

Câteva elemente din programul de comandă sunt prezentate în continuare:

MOV CMOD,#06	:se stabilește intrarea pentru PWM de la pin exterior
MOV CCAPM0,#42H	:stabilește canalul 0 din arie în mod PWM
MOV CCAPM1,#42H	:stabilește canalul 1 din arie în mod PWM
MOV CCAP0L,#0H	:stabilește un factor de umplere 100% pentru canalul 0
MOV CCAP1L,#0H	:stabilește un factor de umplere 100% pentru canalul 1, ceea ce înseamnă că motorul stă.

După inițializarea acestor registre de comenzi trebuie pornit timerul, ceea ce se realizează prin poziționarea bitului 6 (CR) din registrul de control CCON.

```
SETB CR
```

Rotirea cu viteză maximă într-un sens se comandă cu secvența:

```
MOV CCAP0L,#0FFH
MOV CCAP1L,#0H
SETB CR
```

Rotirea cu viteză maximă în celălalt sens se comandă cu secvența:

```
MOV CCAP0L,#0H
MOV CCAP1L,#0FFH
SETB CR
```

Traductorul de viteză dă impulsuri canalului 4 programat în mod de captură. La primirea unui impuls pe P1.6 se încarcă conținutul timerului în registrele CCAP3H și CCAP3L, conținutul acestor registre fiind proporțional cu timpul scurs între 2 impulsuri ale traductorului.

MOV CMOD,#0	:se stabilește tactul timerului ca $f_{osc}/12$
MOV CCAPM3	:canalul 4 în mod captură
SETB IP.6	:se setează întreruperea de la PCA la cea mai mare prioritate
MOV IE,0C0H	:se validează întreruperile de la PCA
SETB CR	:se pornește timerul

Când apare o întrerupere, în CCAP3L și CCAP3H apare conținutul timerului.

O aplicație asemănătoare este descrisă de Jafar Modares în nota de aplicații AP-425, de la INTEL (www.questlink.com).

10.7.1.4. Interfața inteligentă pentru comanda motoarelor HCTL 1100 (Hewlett Packard)

Comanda motoarelor este o aplicație de larg interes atât pentru specialiștii din domeniul electric cât și pentru specialiștii din domeniul mecanic sau din alte domenii. De exemplu multe echipamente periferice au în componență motoare (unitatea de hard disc, unitatea de disc flexibil, imprimanta etc.). Comanda motoarelor este necesară și la autovehicule sau în domeniul automatizărilor. Un circuit de interfață specializat în comanda motoarelor este circuitul HCTL 1100. Acesta poate comanda atât motoare pas cu pas cât și motoare de curent continuu cu traiectorie determinată de viteză. Schema bloc a interfeței HCTL-1100 este dată în Fig. 10.86.

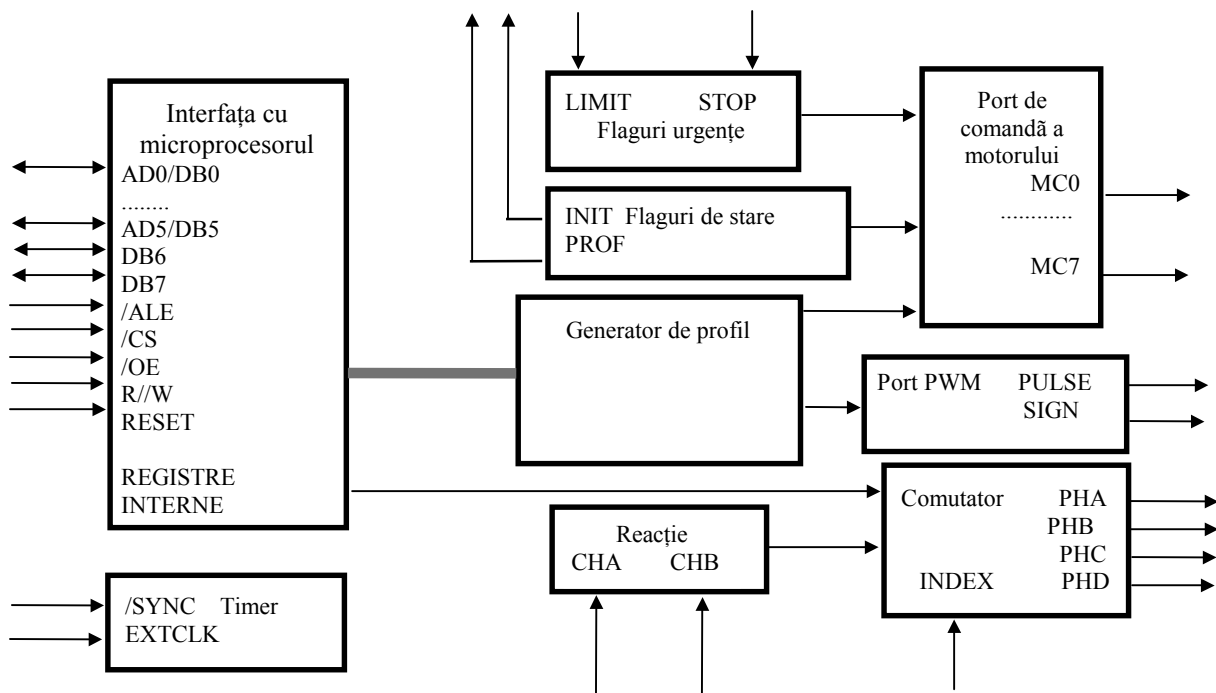


Fig. 10.86. Schema bloc a interfeței HCTL-1100

AD0/DB0- AD5/DB5- sunt 6 linii de adrese multiplexate cu date. Selecția adresei se face cu /ALE.

DB6, DB7- 2 linii de date

La început se stabilește adresa pe liniile de date, apoi cu /ALE, aceasta se stochează în registrele interne. Apoi se stabilesc datele și se validează cu R/W. Semnalul /OE stabilește momentul citirii datelor în registrul intern al lui HCTL1100.

Semnalele CHA, CHB și INDEX provin de la traductorul foto de turație. Aceste impulsuri incrementează un registru de poziție actuală de 24 de biți (se incrementează sau decrementează). Pentru evitarea impulsurilor eronate CHA și CHB, acestea trebuie să rămână active cel puțin 3 perioade EXTCLK pentru a fi luate în considerare.

Intrările LIMIT și STOP sunt semnale de urgență care comandă oprirea motorului independent de procesorul sau MC gazdă. Ieșirile PROF și INIT pot fi interogate de MC gazdă pentru a afla starea circuitului. Cu /SYNC se pot sincroniza între ele mai multe circuite HCTL 1100. Semnalul RESET aduce circuitul în starea inițială.

HCTL 1100 are 64 de registre interne pe 8 biți din care 35 utilizabile din exterior. Aceste registre sunt adresate pe liniile de adresă AD0-AD5.

10.7.1.5. Traductoare de poziție și sens

Traductorul optic de poziție și de sens este format dintr-un disc cu orificii dreptunghiulare dispuse pe circumferință. Orificiile sunt sesizate de două sisteme optice decalate. Din formele de undă generate de cele două sisteme decalate se poate deduce sensul rotației, ca în Fig. 10.87.

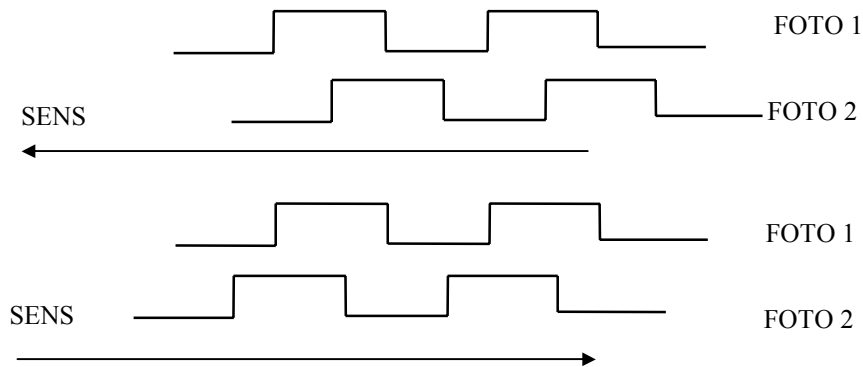


Fig. 10.87. Formele de undă generate de traductorul de poziție și sens

Pe disc mai este realizat un orificiu pentru impulsul de INDEX. La o rotație se generează un impuls INDEX. Impulsurile de la traductoare sunt sensibile la perturbații, de aceea se impun măsuri specifice EMC de protecție.

Aceste semnale pot constitui atât semnale pentru stabilirea poziției (prin numărarea impulsurilor), a sensului prin verificarea defazajului cât și a vitezei, printr-un convertor tensiune/frecvență.

10.7.1.6. Comanda unui motor de curent continuu printr-un convertor D/A

Cel mai simplu convertor este realizat cu un monostabil urmat de un FTJ. Impulsurile declanșează monostabilul care stabilește o perioadă fixă pentru starea HIGH a semnalului. Prin FTJ se obține o tensiune proporțională cu frecvența semnalului. La ieșirile MC0-MC7 se cuplează un convertor D/A, ca în Fig. 10.88.

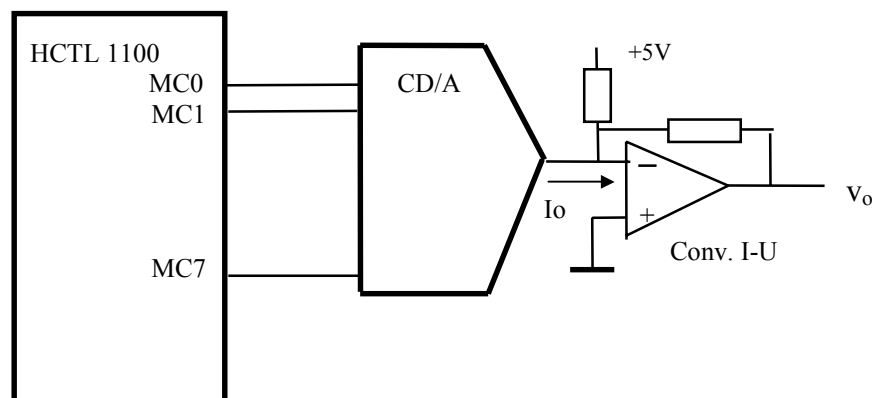


Fig. 10.88. Conectarea unui motor de c.c. la HCTL 1100

Datele se stochează în registrul 08H al HCTL pe 8 biți. Pentru a putea comanda motorul în ambele sensuri, se consideră tensiuni negative în intervalul de comandă 00H-7FH și valori pozitive în intervalul 80H-FFH, Fig. 10.89.

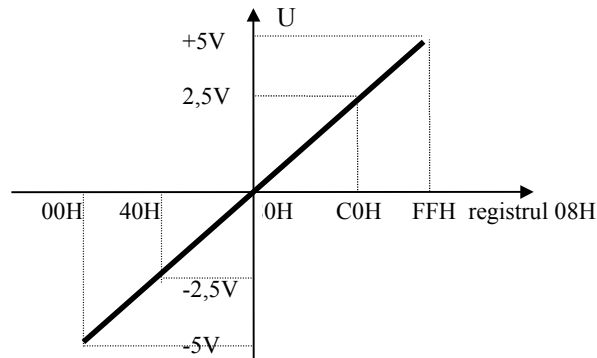


Fig. 10.89. Generarea tensiunilor de comandă

10.7.1.7. Comanda PWM a unui motor de c.c. folosind HCTL 1100

Comanda unui motor de c.c. se face cu semnalele PULSE. Frecvența acestuia este stabilită la EXTCLK/100. Semnalul SIGN comandă sensul de rotație. În registrul 09H al HCTL 1100 se încarcă lățimea impulsului, Fig. 10.90.

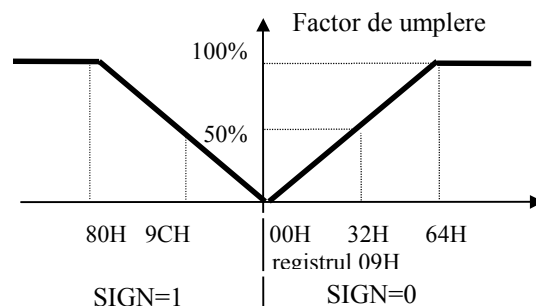


Fig. 10.90. Programarea HCTL 1100 pentru comanda unui motor de c.c. cu modulație PWM

Comanda se face cu valori zecimale, astfel 9CH=-100D înseamnă un factor de umplere de 100%, 32H=50D înseamnă 50% iar 64H=100D înseamnă 100%.

10.7.1.8. Comanda unui motor pas cu pas

Se pot comanda motoare pas cu pas cu 2,3 sau 4 faze, cu diferite succesiuni de comandă a fazelor. Semnalul INDEX servește la stabilirea poziției inițiale a motorului. Succesiunea fazelor se poate programa prin registrul 07H. Pentru o programare în care toate fazele sunt active se generează o secvență ca în Fig. 10.91.

Frecvența impulsurilor poate fi variabilă (programabilă). Ca urmare se pot comanda și motoare pas cu pas cu un anumit profil de viteză.

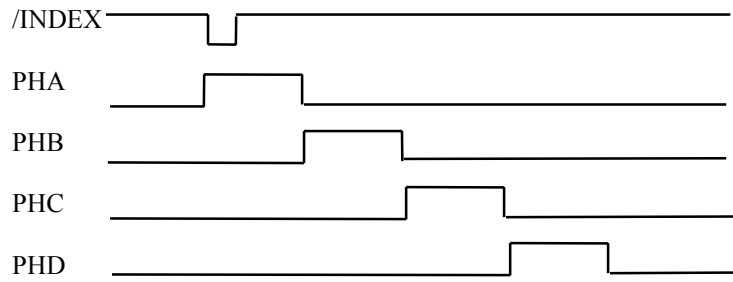


Fig. 10.91. Secvență de comandă a unui MPP cu patru faze

10.7.1.9. Cuplare circuitului HCTL 1100 la microcontroller

a. Cuplarea circuitului HCTL1100 la microcontrollerul AT90S1200

Circuitul driver pentru motoare pas cu pas și pentru motoare de curent continuu, HCTL-1100, primește semnalele de comandă și date de la microcontroller prin porturile acestuia. Pe portul B al microcontrollerului se trimit date către circuitul HCTL1100 și se citesc date din acesta, iar pe portul D se trimit comenzi (semnale) pentru circuitul HCTL1100, Fig. 10.92.

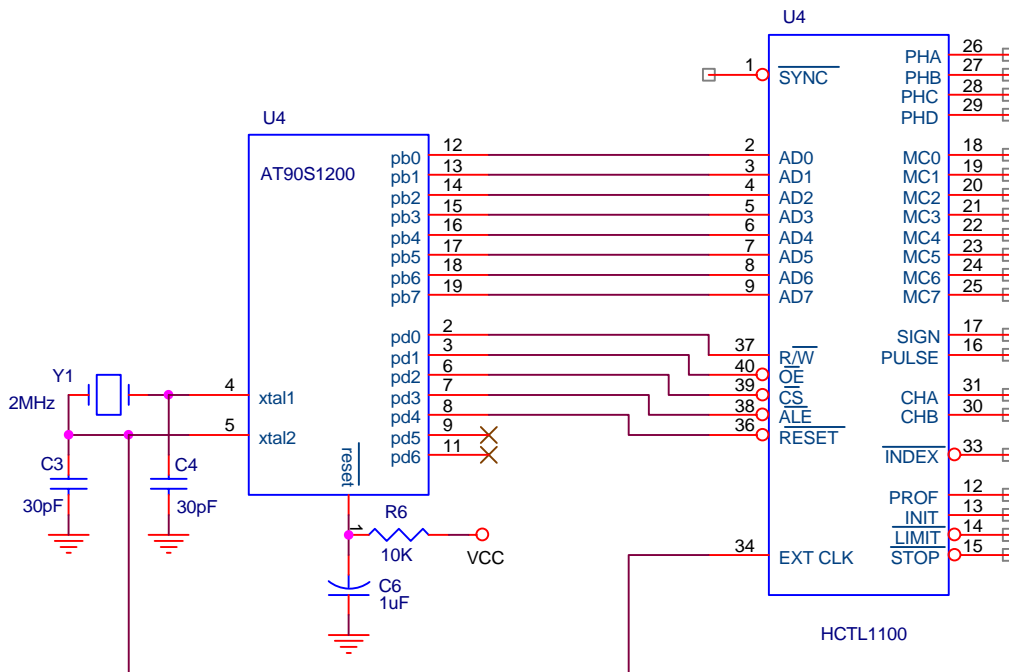


Fig. 10.92. Cuplarea HCTL 1100 la un MC AT90S1200

În continuare sunt prezentate rutine AT90S1200 pentru lucrul cu circuitul HCTL1100. Procedurile prezentate ca exemple realizează RESET-ul, simulează citirea și scrierea circuitului HCTL-1100.

.device AT90S1200

rjmp start

```
short_delay:          ;total 1+80*(1+1/2)-1+4=124
                    ;o întârziere de 124 perioade de tact
                    ldi r26,80          ;1 tact
sd:   dec r26         ;1 tact
      brne sd        ;1/2 tact
      ret            ;4 tact
```

#####

;PROCEDURA RESET HCTL-1100

#####

```
rst:   cbi $12,4      ;bitul de reset din portul D
      rcall short_delay ;se menține pinul de reset in 0 logic
      sbi $12,4      ;reset încheiat
      ret
```

#####

#####

;PROCEDURA CITIRE

#####

```
cit:   clr r16
      out $17,r16      ;portul B intrare
      sbi $12,0       ;comandă read
      ldi r17,0b00000001 ;s-a selectat un registru din HCTL
      out $18,r17
      cbi $12,3       ;puls pe ALE
      sbi $12,3
```

```
      cbi $12,2       ;puls pe CS
      sbi $12,2
```

rcall short_delay

```
      cbi $12,1       ;OE=0
      in r18,$18      ;citire propriuizisă din HCTL1100
      sbi $12,1       ;OE=1
      ret
```

#####

#####

;PROCEDURA SCRIERE IN HCTL1100

#####

```
scr:   ser r16
      out $17,r16      ;portul B ieșire
      ldi r17,0b00000001 ;selecție latch din HCTL1100
      out $18,r17
      cbi $12,3
```

```

sbi $12,3           ;puls ALE
cbi $12,0           ;selecție R/W pe scriere
ldi r18,0b11111111 ;date de trimis în HCTL1100
out $18,r18         ;scrierea propriuzisă
cbi $12,2
sbi $12,2           ;puls CS
sbi $12,0           ;revenire la modul citire din HCTL1100
ret

;#####
start :
ser r16
out $11,r16         ;portul D ieșire

rcall short_delay   ;se invocă o mică întârziere
rcall rst           ;se trimite comandă reset la HCTL1100
rcall cit
rcall scr

```

b. Cuplarea circuitului HCTL1100 la microcontrolerul INTEL 8051

Există două moduri de cuplare a lui HCTL-1100 la MC 8051, și anume legarea la magistrala de adrese/date/control sau la portul I/O. Alegerea uneia dintre metode sau a celeilalte depinde de modul în care este folosit MC 8051. Dacă MC 8051 folosește bus-ul în aplicația dată se recomandă cuplarea lui HCTL pe bus. Este necesar hard suplimentar (două circuite TTL). La legarea pe bus se pot cupla până la 4 circuite HCTL. Dacă circuitul nu folosește bus-ul, adică nu are conectată nici un fel de memorie exterioară se recomandă legarea lui HCTL la portul I/O, soluție care nu necesită hard suplimentar. În Fig.10.93. se arată modul de legare la portul de I/O.

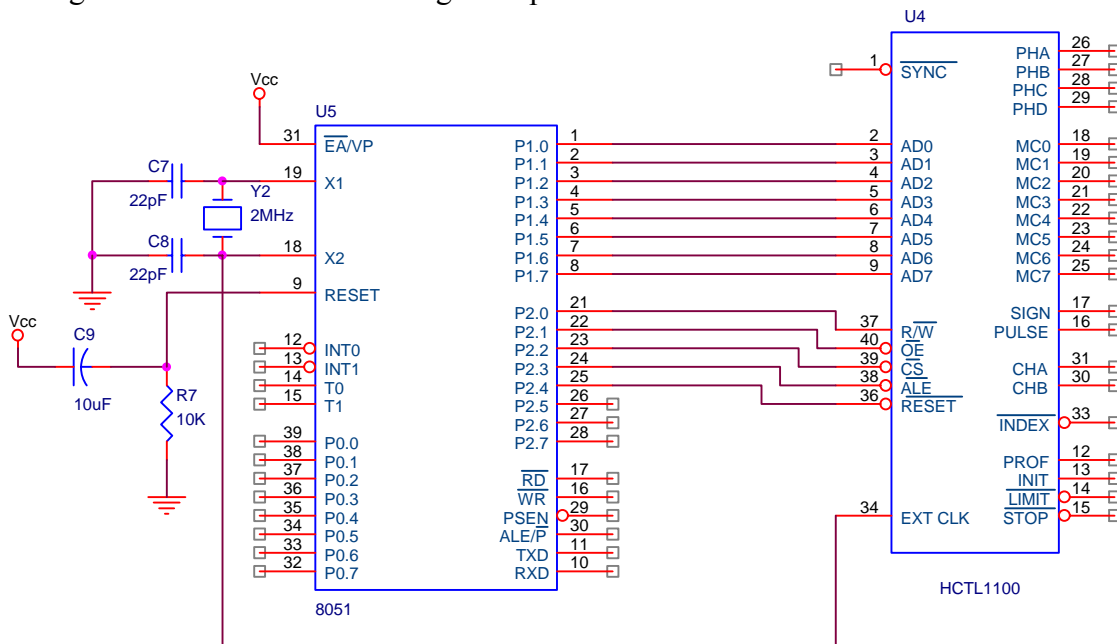


Fig. 10.93. Conectarea HCTL 1100 la MC 8051

Din această figură se remarcă simplitatea conectării și hardul suplimentar minimal utilizat. Un software minimal este prezentat în continuare (rutine de RESET, citire și scriere).

```

#####
;PROCEDURA RESET
#####
RS1100:   ORL  P2,#0FH      ;Setează liniile de R/W la citire, OE=1, CS=1,
AE=1
          MOV  P0,#0FFH    ;Setează P1=HIGH
          CLR  P2.4        ;Setează RESET pe LOW
          NOP              ;Întârziere corespunzătoare unui impuls de
5μs
          NOP
          NOP
          NOP
          SETB P2.4        ;Readuce linia RESET în HIGH
          RET
#####

#####
;PROCEDURA CITIRE (Citește registrul lui HCTL)
#####
RD1100   SETB P2.0        ;Setează liniile R/W pentru citire
          MOV  P1,B        ;Adresa de LATCH
          CLR  P2.3        ;Se generează un puls ALE
          SETB P2.3
          MOV  P1,#0FFH
          CLR  P2.2        ;Se generează un puls CS
          SETB P2.2
          NOP              ;Întârziere corespunzătoare unui impuls de
4μs
          NOP
          NOP
          CLR  P2.1        ;Setează OE=0
          MOV  A,P0        ;Se iau datele din HCTL 1100
          SETB P2.1        ;Setează OE=1
          RET
#####

#####
;PROCEDURA SCRIERE (Scrie în registrul lui HCTL)
#####
WR1100   MOV  P1,B        ;Adresa de LATCH
          CLR  P2.3        ;Se generează un puls ALE
          SETB P2.3
          MOV  P1,#0FFH
          CLR  P2.0        ;Setează liniile R/W pentru scriere
          MOV  P1,A        ;Se emit datele
          CLR  P2.2        ;Se generează un puls CS

```

```

SETB P2.2
SETB P2.0      ;Întoarcere la modul de citire
MOV P1,#0FFH
RET

```

```

;#####

```

10.7.2. Receptor radio cu acord digital cu 8051

Această aplicație folosește un circuit TEA5757 (producător PHILIPS) care este un radio cu acord digital pe un singur chip. Partea de receptor radio este un receptor stereo AM/FM. Partea de acord este bazată pe logica FUZZY. Circuitul necesită un minim de componente externe pentru a putea funcționa.

Interfața cu un MC este foarte simplă, se poate face pe 4 fire: ceas de date (BUS-CLOCK), date (DATA), validare la scriere (WRITE ENABLE) și mod stereo/mono (MO/ST). MC trebuie să dea 2 instrucțiuni: preset și căutare.

În mod preset MC trebuie să încarce în radio informații cum ar fi banda AM/FM, frecvența sau modul stereo/mono. Circuitul de acord încarcă frecvența dorită într-un registru și modifică tensiunea de acord până când frecvența de acord este egală cu frecvența dorită.

În mod căutare MC trimite doar banda AM/FM și direcția de căutare. Circuitul de acord modifică tensiunea de acord până când apare o reacție (câmp radio mare). Atunci se generează un semnal care blochează tensiunea de acord. Frecvența de acord este încărcată într-un registru și citită și memorată de către MC. Utilizatorul (MC) decide dacă frecvența corespunde unui post dorit; dacă da este memorată pentru a se putea realiza o operație de preset, iar dacă nu, se inițiază o nouă căutare.

Prin linia serială de date (DATA) MC încarcă în radio un registru de 25 de biți, cu următoarele semnificații ale biților:

- (MSB) start căutare;
- sens căutare (spre frecvențe mai mari sau mai mici);
- mono/stereo;
- 2 biți pentru selecție bandă (AM/FM); pot fi selectate și unde medii/unde lungi;
- 3 biți la dispoziția utilizatorului;
- 2 biți care stabilesc valoarea câmpului electric la care se produce oprirea căutării;
- 15 biți care stabilesc frecvența de acord.

Un aparat de radio cât mai reușit comercial presupune un număr minim de componente. Se poate folosi un MC din familia MCS-51 care are și interfață pentru LCD, având astfel un radio cu afișaj. Schema bloc este dată în Fig. 10.94.

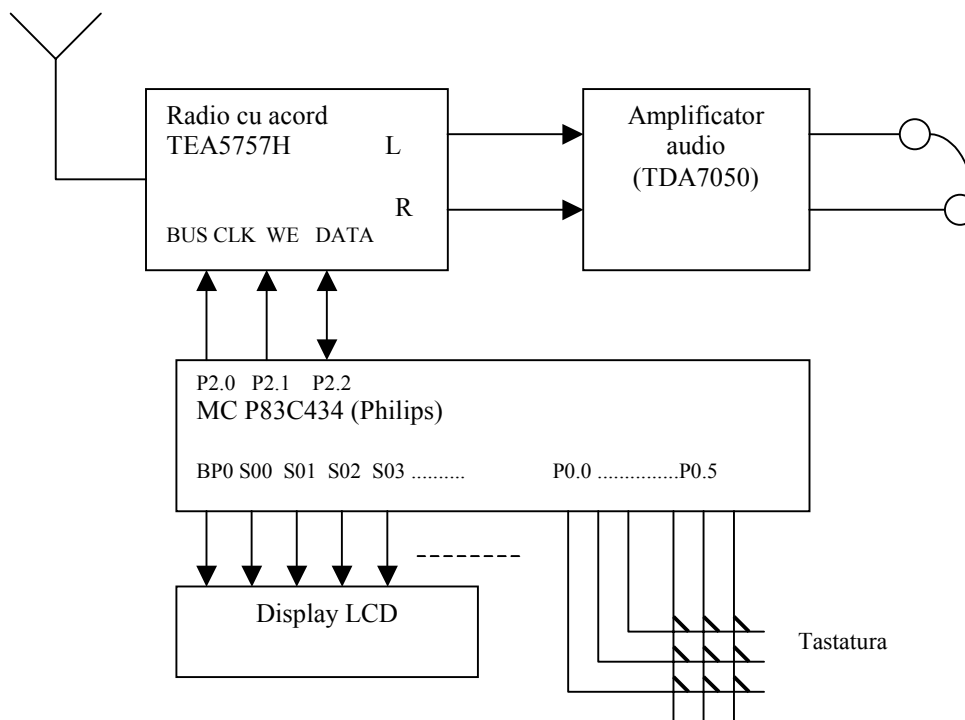


Fig. 10.94. Schema bloc a unui aparat de radio cu MC din familia MCS-51

Afișajul LCD este legat la portul special. Pentru interfața cu radioul se folosesc 3 biți din portul P2, iar pentru interfața cu tastatura se folosește portul P0. Radioul mai este completat cu un amplificator audio final de puterea dorită.

10.7.3. GPS cu MC Motorola

Motorola oferă un set de chipuri (chipset) pentru aplicații GPS (Global Positioning System). Setul este format dintr-un circuit de radio frecvență (RF) și un MC. Aplicațiile GPS au cunoscut în ultimul timp o dezvoltare deosebită. Se oferă astfel sisteme GPS portabile; noile modele de autoturisme includ sisteme de navigație bazate pe GPS, ca să nu mai vorbim de aplicațiile clasice cum ar fi la navigația aeriană sau pe apă. Schema bloc a sistemului GPS este dată în Fig. 10.95.

Blocul de radiofrecvență recepționează semnalul GPS și îl transformă într-un semnal digital serial. Totodată, realizează cu o buclă PLL și tactul de citire din semnalul recepționat. Decodificarea și interpretarea semnalului sunt sarcinile MC.

MC este bazat pe o arhitectură RISC pe 32 de biți de date (MMC2003) și are pe chip un modul GPS cu 12 canale, memorie ROM și FLASH, memorie RAM cu posibilitatea alimentării de la baterie (NVRAM), 2 porturi seriale UART, port serial SPI, timer, canal PWM și intrări/ieșiri generale. MC poate fi alimentat de la baterii fiind posibil astfel aplicații portabile. MC admite un tact de până la 33MHz.

Alte informații pot fi obținute la www.motorola.com/mcore/gps.

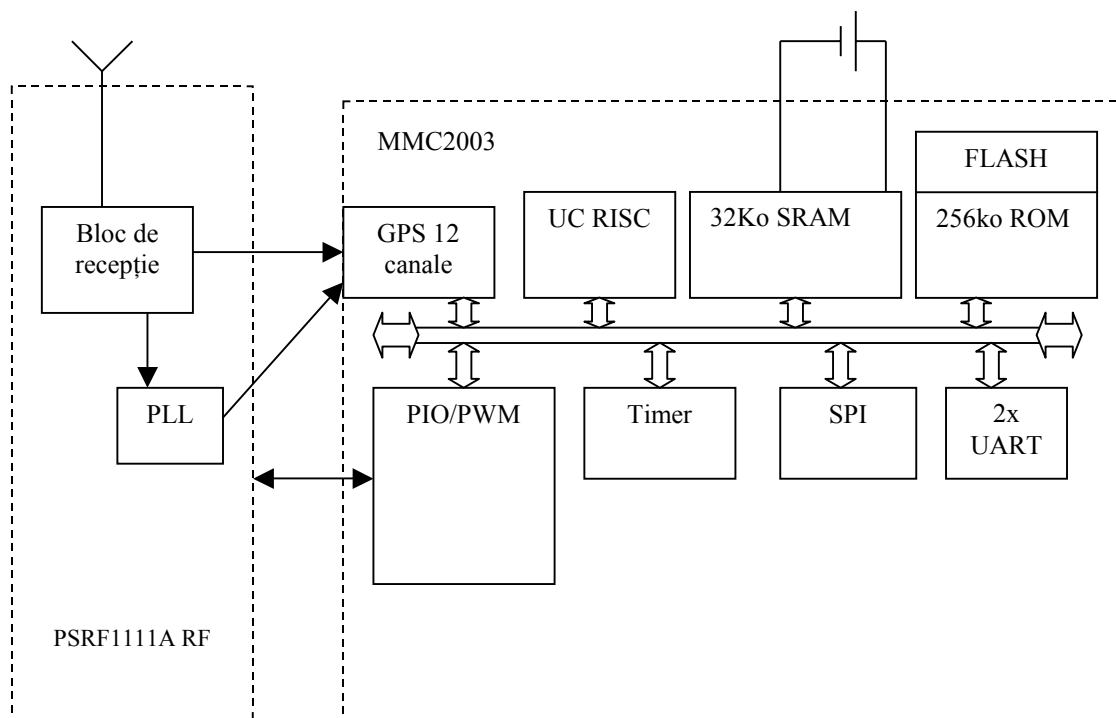


Fig. 10.95. Schema bloc a unui sistem GPS cu MC

10.7.4. Aplicații auto

Evoluția revoluționară a părții electronice la autovehicule a dus la creșterea rapidă a numărului de fire de legătură. Cablarea convențională nu este o soluție de viitor pentru că nu oferă o posibilitate ieftină și fiabilă de a conecta toate modulele între ele. Miniaturizarea cablurilor și a conectorilor este o soluție de asemenea temporară. În viitor va fi necesară o transmisie multiplexată a semnalelor, o soluție ieftină și fiabilă de interconectare. Încă nu se fabrică mașini de serie cu acest mod de transmisie a semnalelor din cauza costurilor mari, datorate mai ales de componentelor de comutație de putere. Apariția MC, care sunt componente foarte ieftine, și scăderea prețurilor la tranzistoarele FET de putere sunt factori care înclină balanța către transmisia multiplexată.

Firma National Semiconductor a gândit un astfel de sistem cu MC COP de 4 biți pentru a realiza un cost cât mai mic (Abdul Aleat, Nota de aplicații 454, 1997 și Venkata Gobburu, Nota de aplicații 453, 1993).

O schemă bloc în care nodurile rețelei de MC sunt constituite de echivalente 8051, iar nodurile sunt conectate între ele printr-o legătură serială este dată în Fig. 10.96.

S-au figurat doar câteva din noduri. Această legătură serială nu poate fi prin UART deoarece UART nu este o legătură multipunct. Se poate realiza o legatură I2C, MICROWIRE sau CAN08. Fiindcă 8051 cu I²C este uzual, se poate alege această variantă, chiar dacă nu este cea mai performantă.

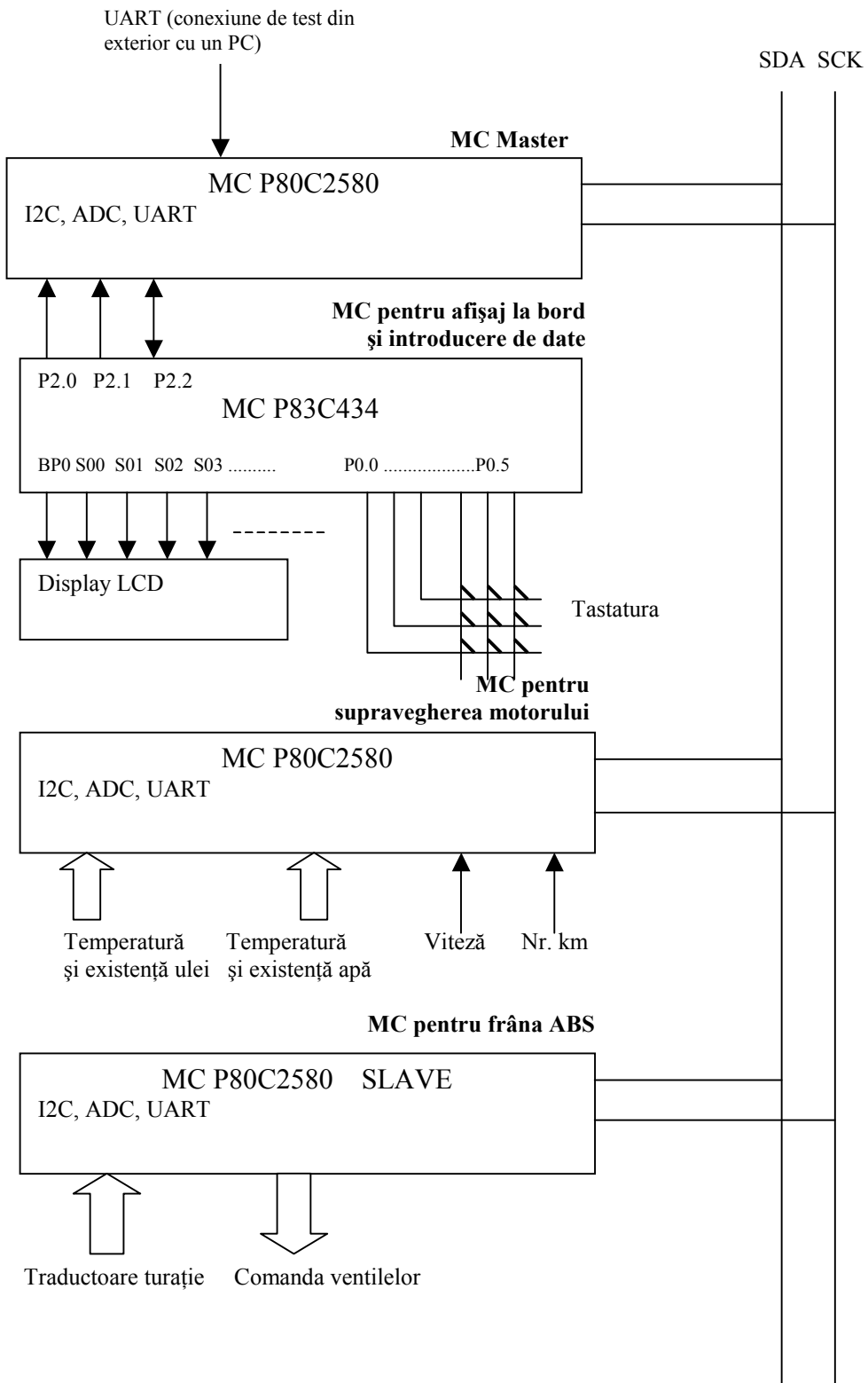


Fig. 10.96. Schema bloc a unui sistem auto realizat cu microcontrollere echivalente 8051

O structură MASTER SLAVE este cea mai potrivită acestei aplicații, deoarece este simplă și implicit fiabilă, o structură MULTI MASTER nefiind necesară. În fiecare nod al rețelei există câte un MC, deci fiecare nod este inteligent și poate executa instrucțiunile primite de la MASTER. După executarea operației dorite MC SLAVE comunică rezultatul circuitului MASTER pentru ca acesta să poată afișa confirmarea.

Afișarea rezultatelor și introducerea datelor se fac cu un afișaj LCD și o mini tastatură, dar afișarea se poate completa cu bare de LED-uri și cu afișaje luminiscente acolo unde este cazul. Cu cât informația afișată este mai importantă, cu atât afișajul trebuie să fie mai luminos.

Un sistem de măsură independent care se ocupă cu o anumită mărime, se numește EIC (Electronic Instrument Cluster).

10.7.5. Memorii seriale

Pentru a realiza montaje cât mai compacte și cu trasee cât mai puține, au început să fie răspândite memoriile EEPROM și FLASH seriale. Acestea sunt utile acolo unde se cere ca informația să nu fie volatilă, iar modificarea informației să poată fi făcută în sistem. De regulă interfața serială este pe 2 sau pe 3 linii, o linie fiind tactul de citire/scriere, o linie fiind de date (bidirecțională la interfețele cu 2 linii sau o linie de citire și una de scriere date). Se realizează și memorii cu interfețe seriale speciale, cum ar fi SPI, I2C sau MICROWIRE.

Aceste memorii pot fi folosite și la încărcarea inițială a programului în MC, la punerea sub tensiune, pentru MC care permit acest lucru (de exemplu EZ USB prin interfața I²C).

O memorie de 16K bit cu interfață SPI produsă de Fairchild (NM25C160) poate fi reînscrisă de 1 milion de ori, iar datele sunt reținute 40 de ani. Schema bloc este dată în Fig. 10.97.

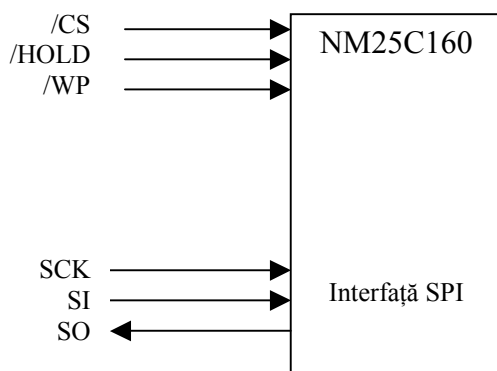


Fig. 10.97. Schema bloc a unei memorii seriale

Semnalul /CS validează funcționarea memoriei pentru a se putea cupla mai multe dispozitive SPI, semnalul /HOLD suspendă transmisia serială fără a o reseta iar semnalul /WP protejează circuitul împotriva scrierilor din greșeală.

Interfața SPI este o interfață standard, cu viteza admisă pentru tact de maximum 2MHz.

Cu aceleași date generale Fairchild produce și memoria NM24C16 cu interfață bidirecțională pe 2 fire I²C. Linia de date I²C este bidirecțională. Intrarea de date se face prin intermediul unui trigger Schmitt. Circuitul este chiar mai simplu de utilizat, el nu mai are semnale de /CS, /HOLD sau /WP, aceste funcții fiind realizate prin protocolul I2C.

Circuitul NM93C86A este dotat cu o interfață serială sincronă MICROWIRE. Circuitul are linii de selecție (CS), tact (SK), date de intrare (DI) și date de ieșire (DO). Informația este considerată ca aranjată în cuvinte pe 8 sau 16 biți, după cum semnalul exterior ORG este 0 sau 1.

Chiar dacă cu o interfață MICROWIRE sunt dotate doar MC din familia COP8 de la National Semiconductor, memoria se poate cupla direct la interfața SPI cu care este compatibilă pin cu pin. Este nevoie doar de un software de aranjare a datelor și de sincronizare.

Toate aceste memorii sunt programabile; înainte de a transmite șirul de date trebuie transmis unul sau mai multe cuvinte de comandă care stabilesc operația care urmează (scriere, citire, ștergere) și se programează anumite aspecte particulare de lucru cu interfața serială.