

4.CIRCUITE AUDIO

În prezent nu mai există calculator PC pe piață care să nu fie echipat cu o placă de sunet sau cu un circuit de sunet pe placa de bază. Cei mai cunoscuți producători de circuite, CRYSTAL, YAMAHA, SOUND BLASTER creează pe lângă circuite și plăcile de sunet. Acestea au fost mai întâi cuplate pe magistrala ISA dar au fost înlocuite de cele cuplate pe PCI. Introducerea standardului AC 97 și faptul că seturile de circuite pentru plăcile de bază sunt echipate cu porturi AC 97 au dus la înglobarea plăcii de sunet pe placa de bază.

În acest capitol se vor detalia circuitele CRYSTAL CS4231A cu interfață ISA și circuitul Analog Devices AD1819A cu interfață AC 97.

Comprimarea MP3 (MPEG nivel 3) a deschis noi posibilități distribuției de muzică prin Internet. Artiștii pot să-și facă propriile înregistrări fără a intra în “industria muzicii” și pot să-și distribuie produsele prin e-comerț. Înregistrarea și comprimarea vocii (în format AAC) completează posibilitățile MP3. Pentru a proteja drepturile de autor este posibilă introducerea unor protecții la descărcarea datelor de la sursă (Secure Digital Music Initiative SDMI) pe care și circuitele vor trebui să le implementeze.

Sistemul WorldSpace este primul proiect de radio digital comercial dezvoltat pe scară largă. Datele audio sunt codate MP3 și sunt transmise în banda 1467-1492MHz de 3 sateliți geostaționari poziționați deasupra Africii, Asiei și Americii Latine. Acest sistem se va adresa la 4,6 miliarde de ascultători.

Comprimarea MP3 fiind atât de importantă, este detaliat circuitul VS1001 pentru decodare MP3. O scurtă prezentare trece în revistă și alte circuite audio.

4.1.Circuitul de prelucrare sunet CS4231A (producător CIRRUS LOGIC)

Circuitul CRYSTAL CS4231A include convertoare audio stereo pe 16 biți, filtre pentru înregistrarea și redarea informației audio, un mixer analogic și are posibilitatea unui câștig sau atenuare programabilă.

Schema bloc a circuitului este dată în figura 4.1.:

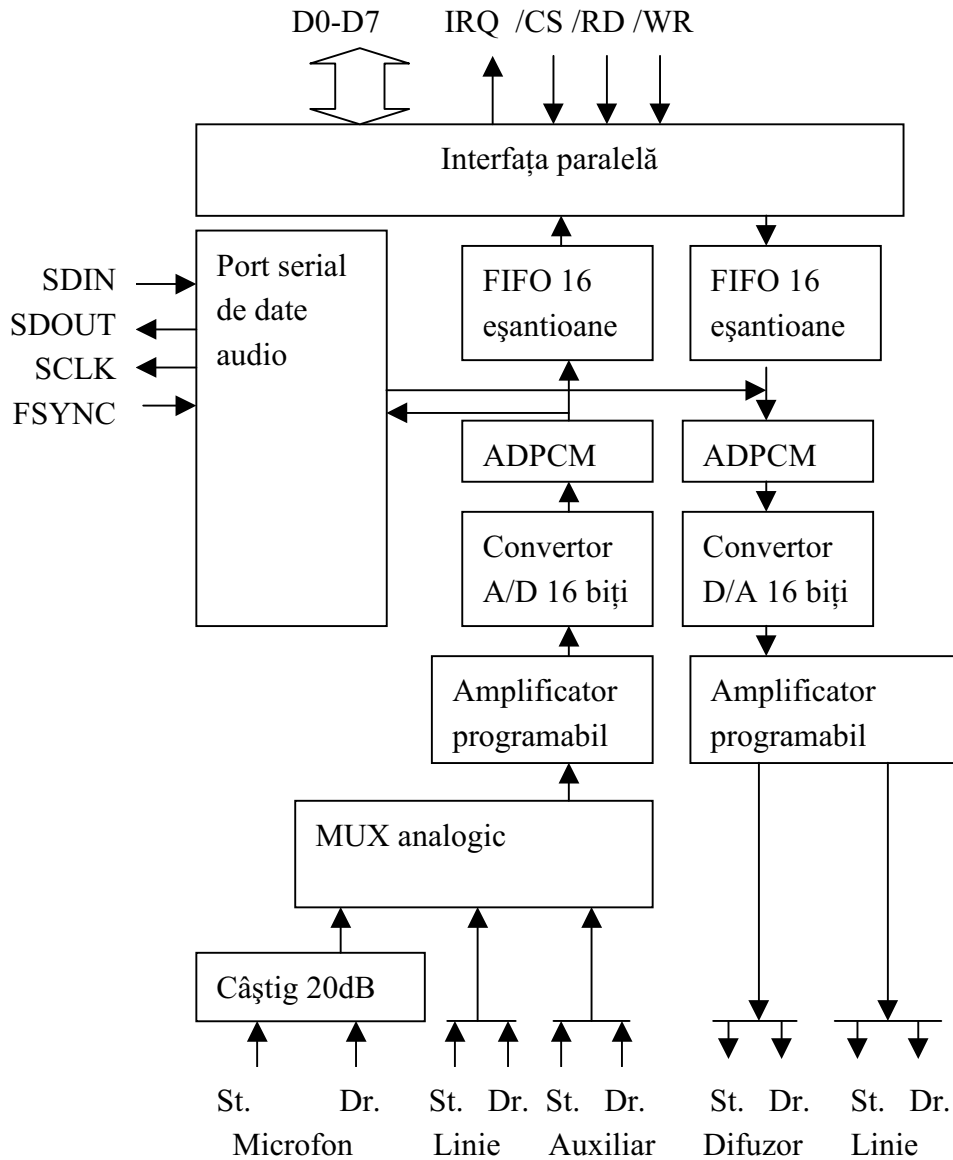


Fig. 4.1. Schema bloc a circuitului CS4231A

Intrările analogice constau în 4 intrări stereo și una mono. La intrarea convertorului A/D se conectează una dintre intrările analogice de la microfon, de la linie, de la intrarea auxiliară sau de la o ieșire. La fiecare intrare volumul poate fi controlat individual. Intrările nefolosite trebuie conectate împreună și apoi la masa analogică printr-un condensator. Unele intrări depășesc $2V_{RMS}$, de aceea tensiunea trebuie atenuată cu un divizor rezistiv pentru a nu depăși $1V_{RMS}$ care este valoarea maximă admisă de circuit. Intrarea de microfon este urmată de un etaj de amplificare selectabil de 20dB pentru ca să se poată conecta microfoane cu câștig redus. Intrarea mono este folosită pentru a mixa ieșirea de difuzor a sistemului (provenită din timer) cu restul intrărilor audio. Intrarea mono poate fi atenuată în 16 trepte de 3dB, având și posibilitatea de invalidare (MUTE).

Un etaj tipic de intrare de microfon (situat în CS4231A) care asigură un câștig de 18dB cu intrare nesimetrică este dat în figura 4.2.:

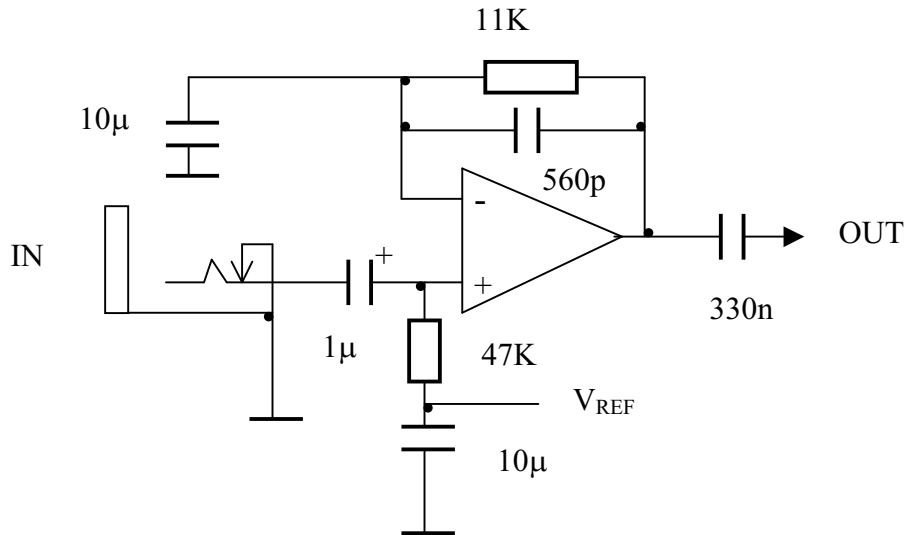


Fig. 4.2. Etaj de intrare de microfon cu AO

Intrarea este pusă la masă până la introducerea cuplei de microfon. Etajul trebuie situat cât mai aproape de conector pentru a minimiza zgomotele.

Ieșirea analogică stereo este de putere mică, de aceea pentru a cupla difuzoare este nevoie de componente externe conectate prin cuplare capacitivă. O ieșire mono este suma canalelor stânga și dreapta atenuate cu 6dB, utilizată pentru difuzorul sistemului, pentru a integra toate facilitățile audio ale calculatorului într-un singur circuit. Circuitul CS4231 generează o tensiune de referință de 2,1V.

Interfața paralelă permite interfațarea sistemului cu magistrala ISA, dar poate fi folosită și la Microchannel. Interfața acceptă transferuri I/O sau transferuri DMA. Interfața nu poate prelunge ciclul de magistrală, dar prin arhitectura internă transferurile cu magistrala nu interferă cu fluxul datelor audio din circuit. Bufferele FIFO au dimensiunea de 16 eșantioane și sunt transparente pentru programare. Dacă este validată redarea, bufferul FIFO solicită date de intrare până la umplere și se menține cât mai plin. Dacă sistemul de redare pierde eșantioane și bufferul se golește, ultimul eșantion este furnizat la intrarea convertorului D/A pentru a minimiza perturbațiile audio (pocnetele). Dacă este validată intrarea (preluarea de informație audio, înregistrarea) bufferul FIFO solicită transferul datelor pe magistrală și se menține cât mai gol.

Portul serial de date digitale audio este selectabil prin soft în locul interfeței paralele pentru comunicația cu calculatorul. O dată selectat, șirul de date audio este trimis spre ieșirea serială audio iar șirul de date provenit de la intrarea serială este trimis spre convertorul D/A. Portul paralel este folosit totuși pentru comenzi. Formatul datelor seriale poate fi de 3 feluri:

- 16 biți de date de la canalul stânga urmați de 16 biți de date de la canalul dreapta, 4 biți de stare și 28 biți de zero. Codul are 64 de biți și este încadrat de 2 impulsuri ale ieșirii FSYNC. Formatul se numește SPF0.
- 16 biți de date de la canalul stânga, 16 biți de zero, 16 biți de date de la canalul dreapta și 16 biți de zero. Pentru primii 32 de biți FSYNC este 1, iar pentru următorii 32 FSYNC este 0. Formatul se numește SPF1.
- 16 biți de date de la canalul stânga și 16 biți de date de la canalul dreapta cu FSYNC 1 pentru canalul stânga și 0 pentru canalul dreapta, urmat de 32 de tacte lipsă a semnalului SCLK. Formatul se numește SPF2.

Pentru generarea tactelor se folosesc 2 oscilatoare cu cuarț, unul de 24,576MHz iar celălalt de 16,9344MHz.

Blocul ADPCM (Adaptive Differential Pulse Code Modulation) realizează compresia /decompresia datelor cu un factor de 4 la 1, adică la fiecare eșantion de 16 biți se salvează 4 biți printr-un algoritm recursiv (ține cont de eșantioanele anterioare). Reprezentarea numerică a datelor seriale audio poate fi:

- 16 biți cu semn, metoda standard care asigură o gamă dinamică de 96dB, valoarea 7FFFh fiind maximul pozitiv iar 8000h maximul negativ.
- 8 biți fără semn, 00h este maximul negativ iar FFh maximul pozitiv, care asigură o gamă dinamică de 48dB.
- 8 biți compandat standard μ Law (USA și Japonia) și A Law (Europa). Se asigură o gamă dinamică de 72dB folosind 8 biți / eșantion printr-o asignare a mai multor coduri semnalelor de amplitudine mică cu sacrificarea preciziei semnalelor cu amplitudine mare. Caracteristica de asignare a valorilor digitale valorilor analogice este în acest caz neliniară.

Circuitul admite modul de lucru cu economie de energie, în care poate să ajungă dacă semnalul /PDWN din exterior este pus la zero. În acest mod toate citirile de la portul paralel dau 80h, toate intrările analogice sunt invalidate și tensiunea de referință scade încet spre zero. Tranziția lui /PDWN de la zero la 1 comandă circuitului un ciclu de recalibrare.

Procedurile de calibrare sunt de mai multe feluri:

- Fără calibrare, acolo unde de exemplu se modifică frecvența de eșantionare și acest proces trebuie să fie rapid (în jocuri).
- Calibrarea convertorului, se calibrează convertoarele ADC și DAC, timp de 136 perioade de eșantionare. Pe timpul calibrării convertoarele sunt invalidate (MUTE).
- Calibrarea convertorului digital analogic D/A timp de 40 de perioade de eșantionare.
- Calibrarea completă, se calibrează ambele convertoare, toate offseturile și mixerul analogic. Intrarea în acest mod de calibrare se poate face automat la ieșirea din modul de economie de energie, la punerea sub tensiune sau poate fi comandat soft. Calibrarea completă are loc timp de 168 perioade de eșantionare.

Schema bloc de conectare a circuitului pe magistrala ISA este dată în figura 4.3.:

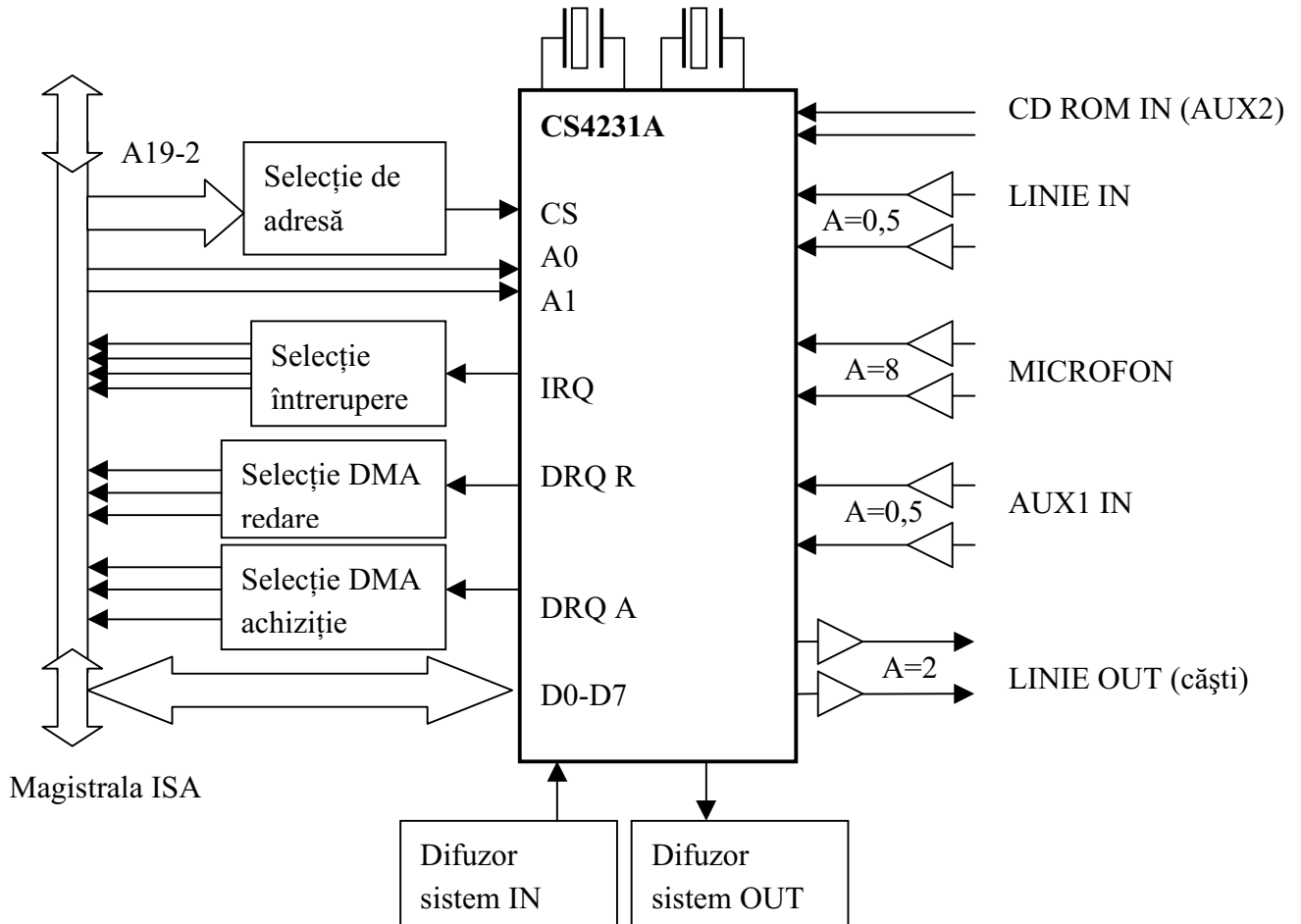


Fig. 4.3. Conectarea circuitului CS4231 pe magistrala ISA

În foile de catalog ale circuitului se precizează și componentele pasive necesare (condensatori de decuplare, rezistoare) și se recomandă un desen al cablajului.

Programarea circuitului se realizează prin intermediul registrelor interne. Registrele interne pot fi selectate prin 2 linii de adresă, A0 și A1 astfel:

Adresa	Registru
A1=0 A0=0	Registru INDEX
A1=0 A0=1	Registru de DATE indexate
A1=1 A0=0	Registru de STARE
A1=1 A0=1	Registru de DATE audio în format paralel

Primele 2 registre se folosesc pentru a accesa 32 de registre cu adresare indirectă, astfel:

Registru INDEX	DATE indexate
0	Control ADC stânga

1	Control ADC dreapta
2	Control AUX 1 stânga
3	Control AUX1 dreapta
4	Control AUX2 stânga
5	Control AUX2 dreapta
6	DAC control stânga
7	DAC control dreapta
8	Format date la redare
9	Configurare interfață
10	Controlul semnalelor la pini
11	Starea erorilor și inițializare
12	Controlul modului de lucru
13	Controlul buclei PLL
14	Contor la redare (High)
15	Contor la redare (Low)
16	Control LINE stânga
17	Control LINE dreapta
18	Timer (Low)
19	Timer (High)
20	Rezervat
21	Posibilități suplimentare
22	Posibilități suplimentare
23	Versiune (identificare circuit)
24	Control al intrării și ieșirii MONO
25	Rezervat
26	Formatul datelor de intrare
27	Rezervat
28	Contor la înregistrare (High)
29	Contor la înregistrare (Low)

Registrul de DATE în format paralel are un rol dublu, scrierea în acest registru înseamnă trimiterea datelor către difuzor iar citirea datelor înseamnă preluarea datelor de la intrare. Structura fiecărui registru este dată în foile de catalog ale circuitului.

4.2. Circuitul de prelucrare sunet AC 97 AD1819A (producător ANALOG DEVICES)

Circuitul este compatibil AC 97 și este un codec stereo de 16 biți full duplex. Ca intrări admite 4 intrări stereo de la linie, CD, video, și o intrare auxiliară, două intrări mono de la difuzorul sistemului, o intrare mono de la microfon comutabilă de la 2 surse. Ca ieșiri, circuitul dispune de o ieșire stereo și una mono. Circuitul are convertoare $\Sigma\Delta$ pentru a mări raportul semnal / zgomot ($>90\text{dB}$), admite moduri de economie de energie, iar rata de eșantionare este variabilă între 7KHz și 48KHz cu rezoluția de 1Hz.

Schema bloc a circuitului este dată în figura 4.4.:

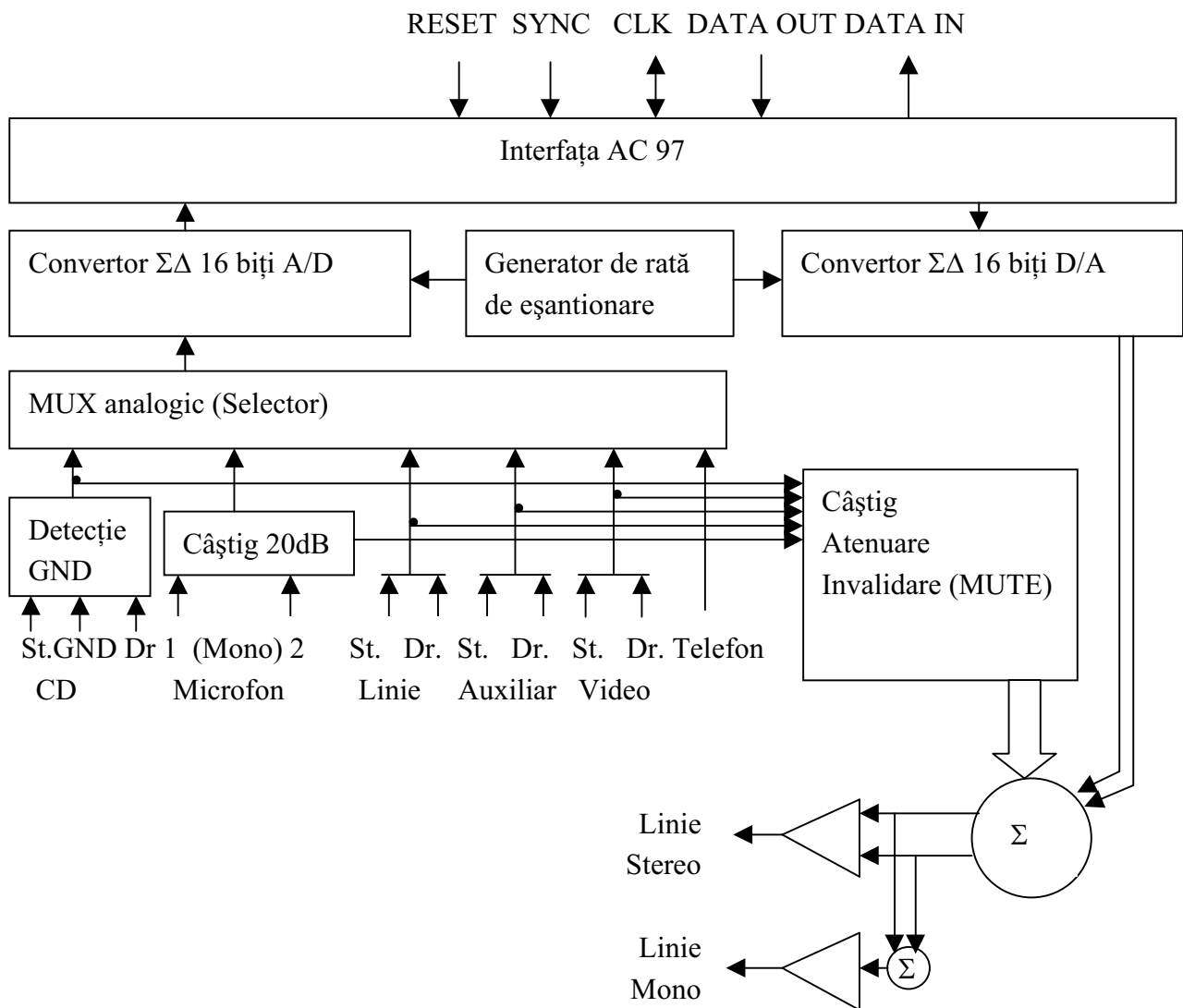


Fig. 4.4. Schema bloc a circuitului AD1819A

AD 1819 este conceput să respecte standardul AC 97, revizia 1.03 (www.intel.com) . Circuitul conține o parte digitală (controller audio, interfața cu calculatorul) și o parte analogică (convertoare A/D, D/A, mixer). Mixerul analogic și canalele de conversie A/D și D/A $\Sigma\Delta$ sunt concepute pentru a realiza o calitate foarte bună a prelucrării audio. Canalul stânga al circuitului poate fi folosit pentru aplicații de modem pentru că admite și eșantionări cu rate compatibile V.34.

Codecul conține o pereche de convertoare $\Sigma\Delta$ Analog / Digitale. Intrările pot fi selectate din: telefon, microfon mono (1 sau 2), linie stereo, intrare auxiliară stereo, CD stereo, intrare audio stereo de la o sursă video sau ieșirea stereo de linie (LINE OUT) pentru remixare.

Mixerul audio poate mixa intrările în domeniul audio cu ieșirea stereo de la convertorul D/A. Fiecare canal stereo de intrare poate fi amplificat sau atenuat între +12dB și -34,5dB în pași de 1,5dB. La intrările mono se duplică informația pe ambele canale. Semnalul de la difuzorul sistemului poate fi mixat cu ieșirea de linie.

După ce sursele audio au fost mixate, cele 2 canale analogice rezultate (stânga și dreapta) pot fi amplificate separat între 0dB și +22,5dB în pași de 1,5dB și sunt convertite analog-digital. Canalele pot avea o frecvență de eșantionare diferită. Modul implicit al circuitului asigură o frecvență de eșantionare de 48KHz. Frecvența de eșantionare poate fi modificată chiar în cursul achiziției. Zgomotul de cuantizare și distorsiunile pot fi micșorate printr-un procedeu special care are ca și consecință mărirea frecvenței zgomotelor și scoaterea lor din gama audio.

Ieșirea analogică a convertorului digital-analogic poate fi amplificată / atenuată între +12dB și +34,5dB în pași de 1,5dB și însumată cu oricare dintre intrările analogice. Semnalul astfel sumat intră într-un etaj final de reglare a volumului (Master Volume) unde fiecare canal poate fi atenuat între 0dB și +46,5dB în pași de 1,5dB sau poate fi invalidat (MUTE).

Canalul stânga poate fi folosit ca etaj analogic pentru un modem V.34 la care prelucrarea digitală se realizează de circuitul gazdă (se pot vedea circuitele AFE din paragraful 3.3.2). Convertorul D/A are o gamă dinamică tipică de 90dB la o bandă de frecvențe de 4,2KHz. Se pot programa rate de eșantionare selectabile conform V.34 ca 8/7 și 10/7 coeficient de multiplicare al frecvenței de bază (rate neraționale). Circuitul conține suport pentru realizarea funcției de anulare a ecoului (EC), prelucrarea fiind realizată de circuitul gazdă.

Convertoare cu modulație $\Sigma\Delta$ [1]

Teorema eșantionării a lui Shannon spune că un semnal de bandă limitată (ω_M) este complet determinat de eșantioanele sale (cu pulsația de eșantionare ω_S) dacă $\omega_S \geq \omega_M$ (condiția Nyquist). Pentru limitarea benzii semnalului de intrare este nevoie ca semnalul să fie filtrat cu un filtru trece jos, filtrul fiind numit antialiere (FAA).

Circuitele audio noi permit procesarea cu frecvențe multiple de eșantionare (multirate processing), adică eșantionarea cu frecvențe diferite de eșantionare. Circuitele admit de regulă game de frecvențe de eșantionare între 5-50KHz, în care se încadrează atât semnalele de la CD eșantionate cu 44,1KHz cât și cele de la studiourile de înregistrări digitale eșantionate cu 48KHz. Trecerea semnalului de la o frecvență de eșantionare la alta se face cu o creștere intermediară a frecvenței către cel mai mic multiplu comun al celor 2 frecvențe.

Interpolarea constă în introducerea de eşantioane suplimentare iar decimarea constă în extragerea periodică a câte unui eşantion din semnal. Aceste operații trebuie realizate cu condiția evitării alierii, adică a întrepătrunderii replicilor spectrale ale semnalului achiziționat.

Supraeșantionarea (oversampling) este eșantionarea unui semnal cu o frecvență de eșantionare mai mare decât cea din condiția Nyquist. Supraeșantionarea are ca efect reducerea zgomotului de cuantizare care poate duce la mărirea rezoluției convertorului. Calculele arată că se poate obține o rezoluție de 14-16 biți la convertoarele cu eșantionare iar prin supraeșantionare teoretic această rezoluție se poate mări (frecvența x 64 înseamnă un câștig de 3 biți, iar frecvența x 4115 înseamnă un câștig de 6 biți). Practic creșterea este mai mică. O creștere substanțială se poate realiza cu un alt principiu, așa cum este principiul $\Sigma\Delta$.

Conversia Analog Digitală

Principiul modulației diferențiale $\Sigma\Delta$ aplicabil la conversia analog digitală înseamnă: nu se transmit eșantioane ci diferența între eșantioane (Δ) și semnul ei (Σ). Diferența înseamnă eșantionul curent minus o combinație liniară a N eșantioane precedente. Cea mai simplă metodă constă în efectuarea diferenței între eșantionul curent și cel precedent.

În circuitele audio prelucrarea semnalelor se face pe șiruri de date seriale, așa încât este importantă schema bloc a convertorului $\Sigma\Delta$ de un bit, figura 4.5.:

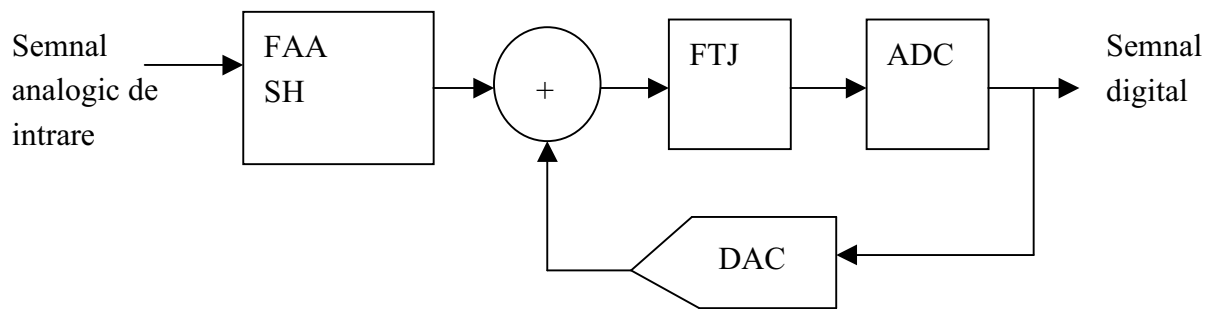


Fig. 4.5.: Schema bloc a convertorului $\Sigma\Delta$ de un bit

ADC este un comparator de nivel care constituie un convertor analog digital de un bit. Ieșirea poate lua doar valorile 0 sau 1. DAC este un convertor digital analogic de un bit care are ieșirea la maximum sau minimum valorii analogice a tensiunii admise de intrare funcție de bitul de comandă. Ieșirea din acest circuit este un șir de biți (bit stream) în care densitatea valorilor de 1 față de cele de 0 reprezintă informația despre mărimea analogică de la intrare (PDM, Pulse Density Modulation). FAA este un filtru de intrare antialias, SH este blocul de eșantionare memorare iar FTJ este un filtru trece jos.

La modulatorul $\Sigma\Delta$ de ordinul 1, filtrul trece jos este un integrator. Efectuând calculele de creștere a rezoluției funcție de creșterea frecvenței de eșantionare se obține că o creștere de 3 biți a rezoluției corespunde unui raport de supraeșantionare de 4. Evident că un modulator $\Sigma\Delta$ de ordin 2 la care FTJ este realizat ca o cascadă de 2 integratoare realizează performanțe superioare.

Conversia Digital Analogică

Dacă formatul datelor digitale este paralel, cu rata de date corespunzătoare satisfacerii condiției Nyquist, prin interpolare în expandor se introduc eșantioane oarbe (nule) între 2 eșantioane de date pentru a se obține date cu supraeșantionare.

Schema bloc a unui convertor D/A este dată în figura 4.6.:

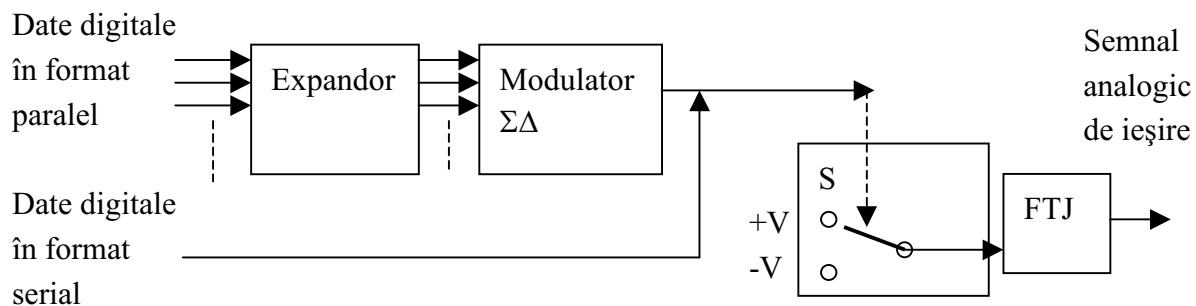


Fig. 4.6.: Schema bloc a convertorului $\Sigma\Delta$ D/A

Modulatorul $\Sigma\Delta$ transformă datele paralele în date seriale de modulate în densitate (PDM). Fluxul de biți se transformă în tensiune analogică prin comutatorul S bipozițional care aplică tensiunile de referință +V și -V la filtrul trece jos. În circuitele de sunet prelucrările digitale se aplică de regulă datelor seriale așa încât un convertor D/A constă doar în blocurile S și FTJ. Chiar dacă pare simplu un astfel de convertor necesită blocuri analogice de mare precizie.

Interfața digitală AC 97 este o interfață serială sincronă pe 5 fire, bidirecțională, cu rata de transfer fixă. Prin această interfață se transmit atât datele audio cât și comenzile către circuit. Datele audio sunt codate PCM (Pulse Code Modulation). Un cadru audio este împărțit în 12 șiruri de ieșire și 12 șiruri de intrare. Un șir de intrare conține:

- Tag (informații privind validitatea datelor);
- Starea circuitului (registre de stare);
- Date audio codificate PCM de la calculator spre destinația audio (difuzor).

Un șir de ieșire conține:

- Tag (informații privind validitatea datelor);
- Comenzi către circuit (registre de comandă);
- Date audio codificate PCM de la sursa audio către calculator.

Un șir de date arată ca în figura 4.7.:

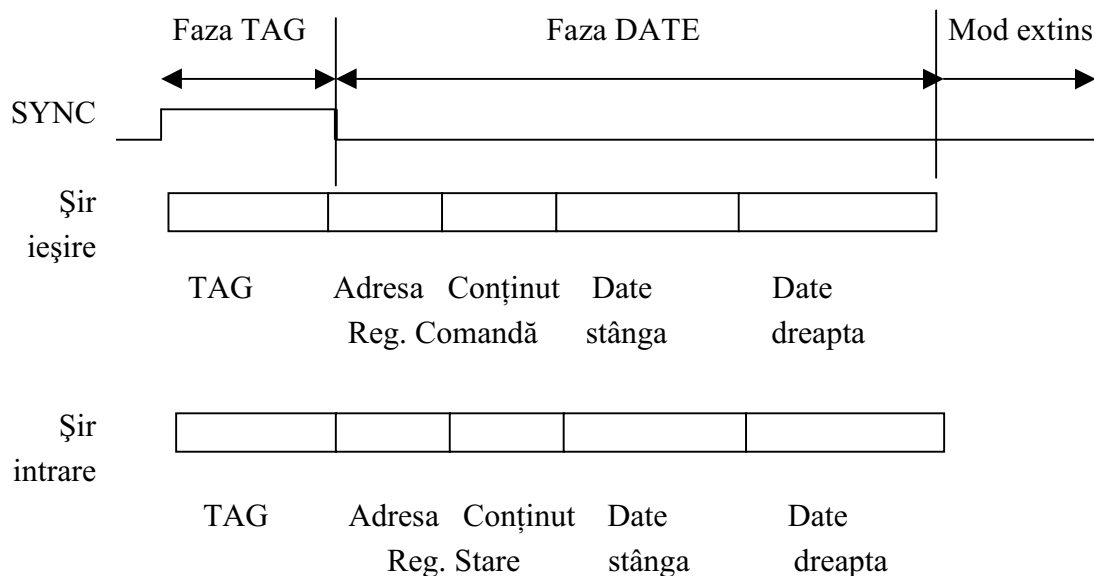


Fig. 4.7. Structura șirului de ieșire și de intrare

Tactul serial de transfer de date este de 12,288MHz.

Începutul unui șir este indicat de semnalul SYNC. Modul extins se folosește pentru comunicația calculatorului cu mai multe codec-uri SLAVE. Într-un șir datele sunt organizate în 12 grupe, ca în figura 4.8.:

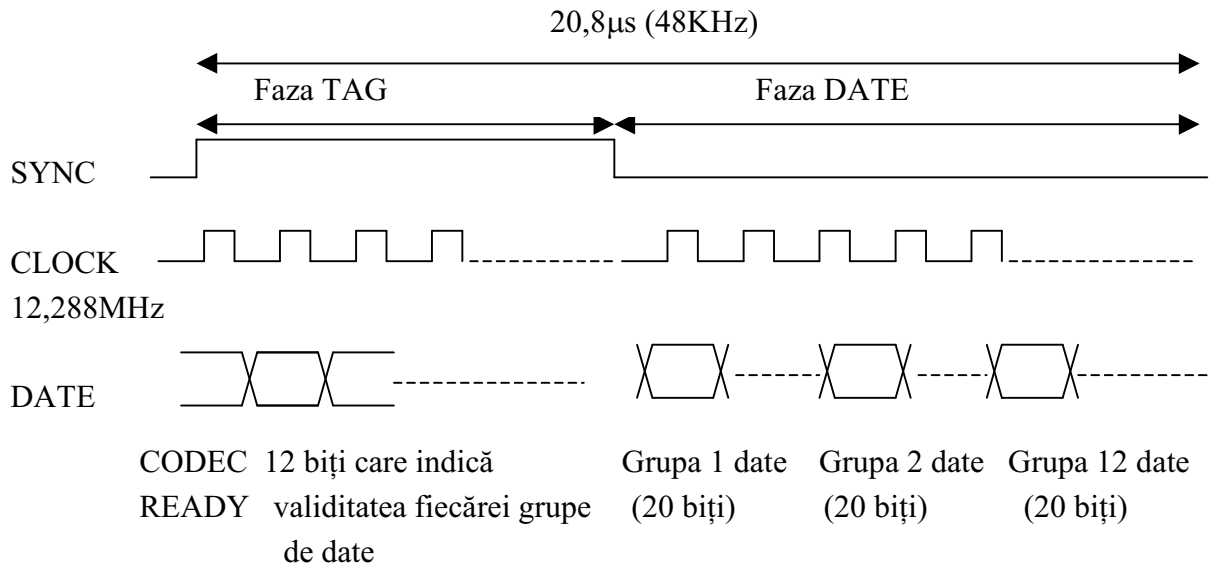


Fig. 4.8. Structura pe grupe a unui șir de date audio

Grupa 1 conține adresa registrului de comandă / stare, grupa 2 conține biții de comandă / stare, grupa 3 datele canal stânga, grupa 4 datele canal dreapta, grupele 5-8 date pentru comunicația multicodec iar grupele 6-12 sunt rezervate.

Programarea circuitului se face prin registre de comandă astfel:

Adresă	Registru
00h	Reset
02h	Master Volume
06h	Master Volume Mono
0Ah	Volum pentru difuzorul sistemului
0Ch	Volum pentru căști
0Eh	Volum microfon
10h	Volum linie
12h	Volum CD
14h	Volum video
16h	Volum AUX
18h	Volum ieșire PCM
1Ah	Selecție înregistrare
1Ch	Câștig la înregistrare

20h	Comenzi
22h	Control 3D
26h	Control al modului de economie de energie
74h	Configurare pentru comunicația serială
78h 7Ah	Rata de eșantionare
7Ch 7Eh	Identificare producător

Un exemplu de conectare a codec-ului AD1819A pe o placă de bază pentru procesoarele K7 ATHLON echipată cu setul de circuite KT133 este dată în figura 4.9.:

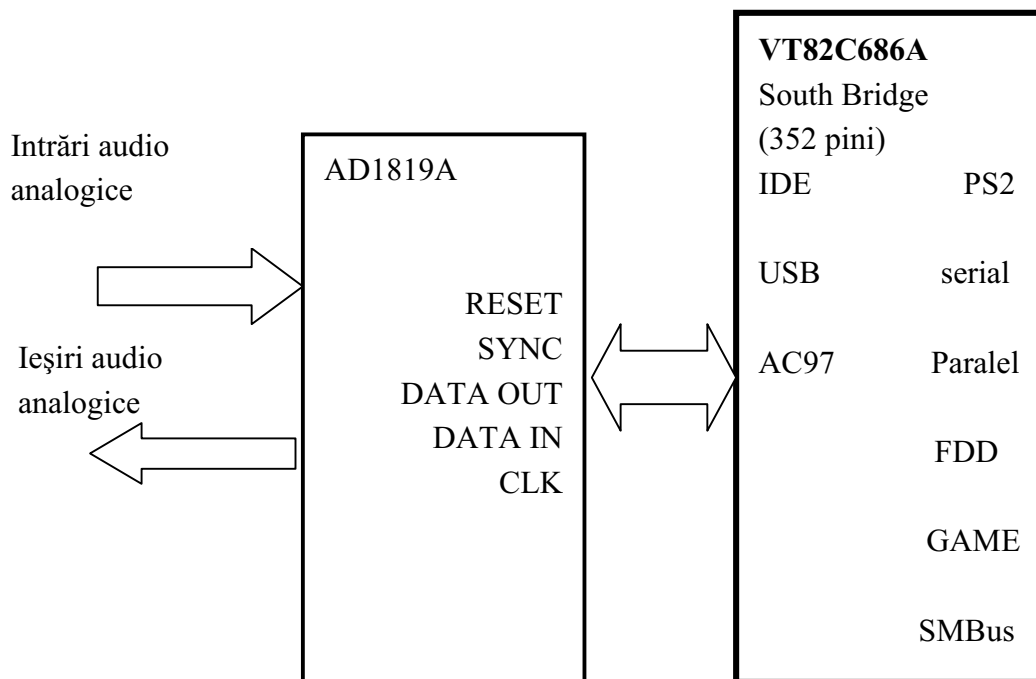


Fig.4.9. Conectarea circuitului AD 1819A pe o placă KT 133

4.3. Circuitul decodor MP3 VS1001 (producător VLSI Solution, Tampere, Finlanda)

VS 1001 este un decodor MPEG pentru nivelele 1,2 și 3, mono sau stereo. La intrare circuitul admite date seriale codate PCM. Schema bloc a circuitului este dată în figura 4.10.:

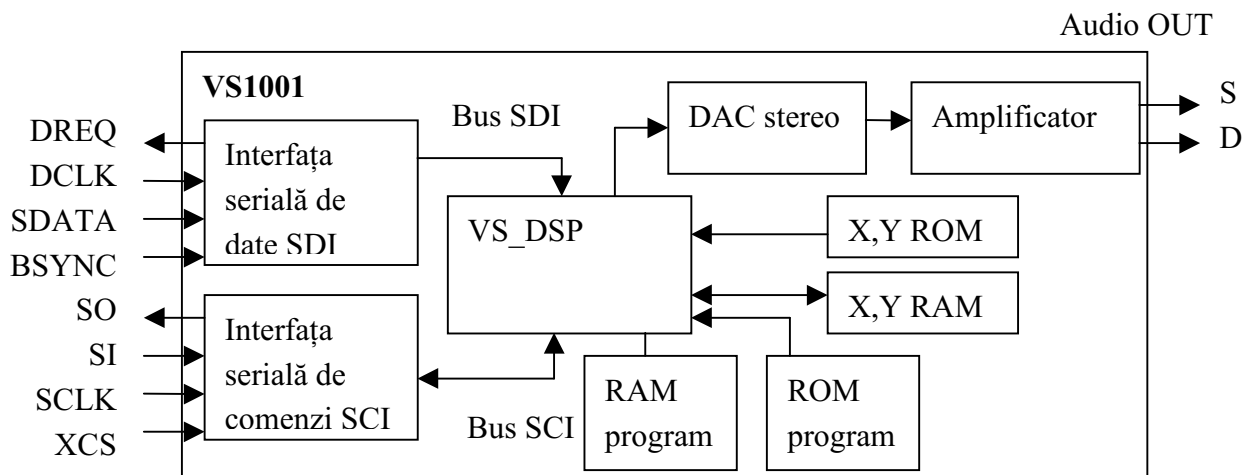


Fig. 4.10. Schema bloc a circuitului VS1001

Datele seriale MP3 pot avea rate variabile (VBR Variable Bit Rate). Cu VBR se pot obține calități audio de nivel CD cu o rată de eșantionare de 100Kbps pentru muzica stereo eșantionată la 44,1KHz în timp ce la o rată fixă este nevoie de un flux de cel puțin 128Kbps (rata variabilă depinde de melodie).

Convertorul D/A este de înaltă calitate, fără interferențe între canale. Amplificatorul stereo intern poate suporta o sarcină de 30Ω (căști). Circuitul are nevoie de un singur generator de tact de 12,288 (24,576) MHz. Nucleul VS_DSP este un procesor DSP dezvoltat de VLSI Solution, performant, cu consum redus completat cu memorie de lucru (4Kocteți RAM) din care 0,5Kocteți pentru programe utilizator.

VS1001 primește la intrare un șir de date seriale codate MPEG (prin portul serial de date SDI) care sunt decodate și convertite A/D cu un convertor $\Sigma\Delta$. Decodarea este controlată prin portul serial de comandă (SCI). Volumul poate fi de asemenea controlat și este posibilă adăugarea de efecte speciale DSP audio de către utilizator prin scrierea unui program utilizator în memoria alocată acestui scop.

Ambele interfețe seriale SDI și SCI sunt de fapt interfețe seriale sincrone SPI (Motorola). Semnificația pinilor este:

Pin SDI	Pin SCI	Descriere
-	XCS	Selecție circuit (SDI este întotdeauna activă)
DCLK	SCK	Ceas serial
SDATA	SI	Intrare serială
-	SO	Ieșire serială (SDI nu are deoarece datele sunt unidirecționale)

SDI poate fi MASTER sau SLAVE. În mod MASTER, VS1001 generează semnalul DCLK (512KHz sau 1024KHz). În mod SLAVE DCLK este generat de un circuit exterior.

VS1001 are nevoie ca intrarea să fie sincronizată, adică să înceapă cu MSB sau LSB (depinde de programare), de aceea se folosește semnalul BSYNC care marchează primul bit,

figura 4.11. Sincronizarea se referă doar la începutul caracterului pentru că transmisia este sincronă la nivel de bit, deci nu este nevoie de refacerea tactului din datele transmise.

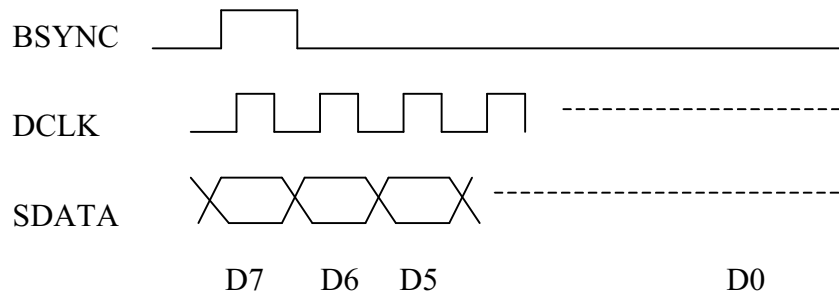


Fig.4.11.Sincronizarea începutului cuvântului

Semnalul DREQ este folosit pentru a semnala că VS1001 are loc în bufferul FIFO de intrare și poate primi date. Dacă spațiul liber este mai mic de 32 de octeți DREQ schimbă starea.

Comenzile sunt trimise prin SCI, în ordinea: un octet de instrucțiune, un octet de adresă și 2 octeți de date. Octetul de instrucțiune indică o citire dacă este 03H sau o scriere dacă este 02H. Diagramele de semnal pentru o citire și o scriere sunt date în figura 4.12.:

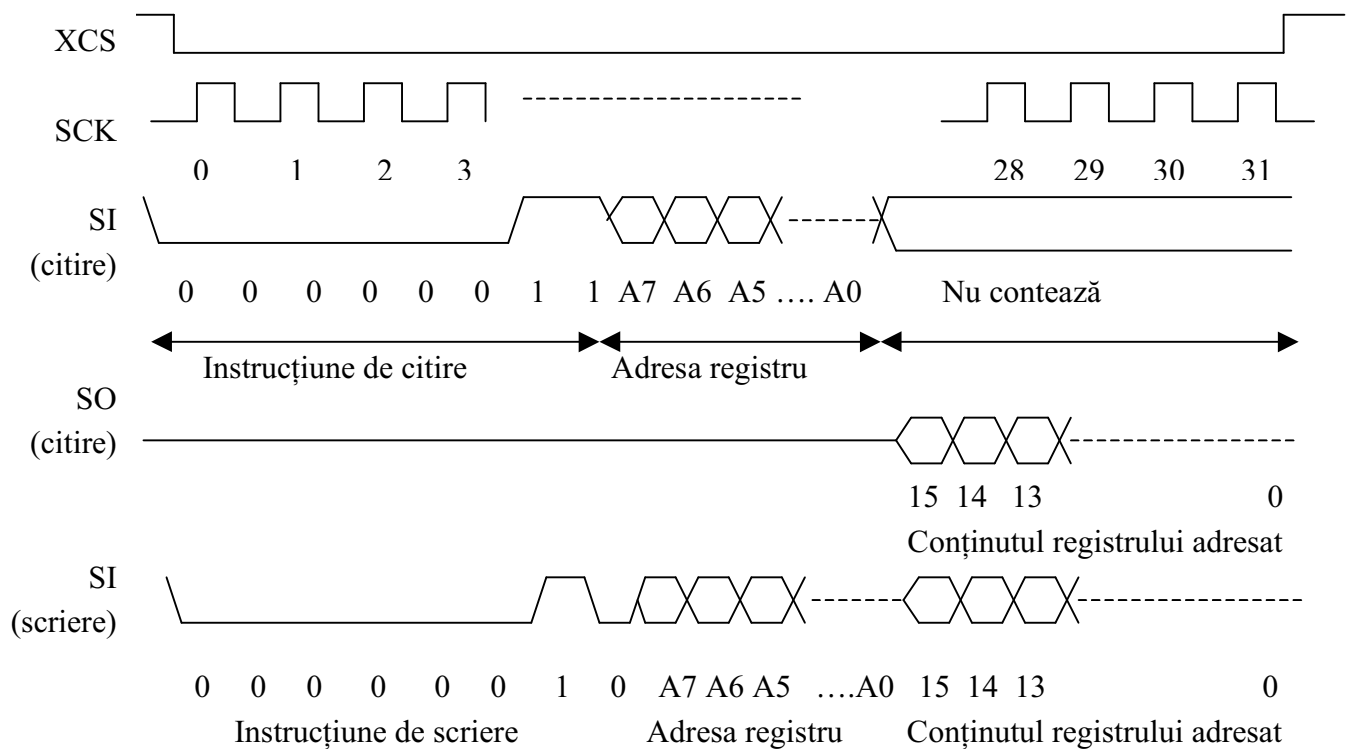


Fig. 4.12.Citirea stării și scrierea comenzii prin SCI

Pentru a se citi un registru prin SCI se trimite pe linia SI instrucțiunea de citire 03H, urmată de adresa registrului care trebuie citit. Pe linia SO se obține conținutul registrului adresat.

Pentru scrierea unei comenzi se trimite pe linia SI instrucțiunea de scriere 02H, urmată de adresa registrului care trebuie încărcat și conținutul care trebuie încărcat.

Traseul datelor în circuitul VS1001 este arătat în figura 4.13.:

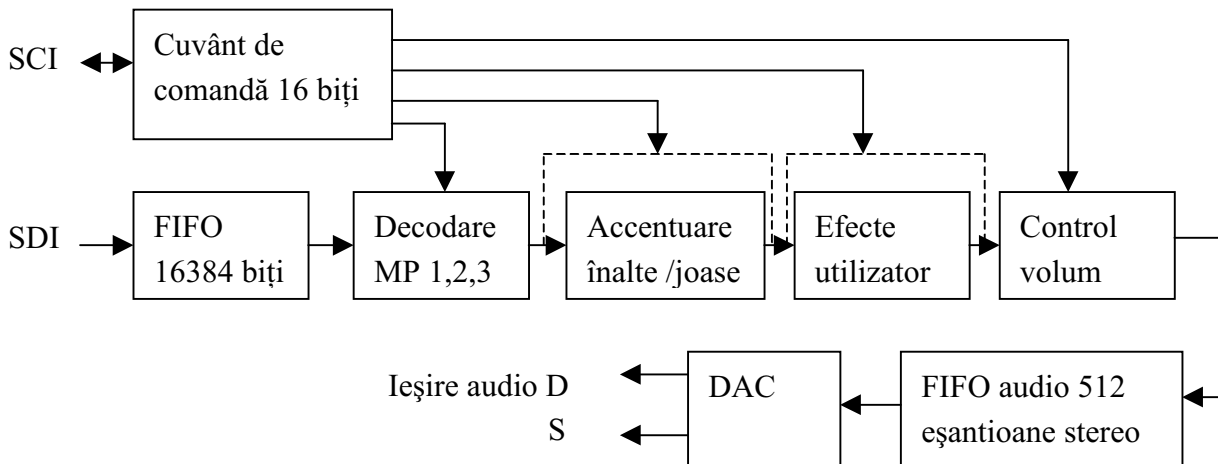


Fig. 4.13. Traseul datelor în VS1001

Datele de intrare pot intra prin SDI (eșantioane cu rată variabilă) sau prin SCI (eșantioane de 16 biți cu rată fixă), funcție de un bit din registrul MODE. După decodare datele pot intra sau nu (funcție de un bit din registrul MODE) într-un bloc de accentuare a frecvențelor joase sau înalte. Dacă registrul A1ADDR nu este 0, aplicația se execută de la adresa indicată de A1ADDR făcând posibilă introducerea de efecte de către utilizator. Controlul volumului modifică volumul și datele intră în bufferul FIFO de ieșire cu dimensiunea de 512 eșantioane a 2x 16 biți. Un convertor de rată de eșantionare convertește toate ratele de eșantionare la CLKI/512.

Registrele accesibile prin SCI sunt:

Nume	Tip	Adresa	Funcția
MODE	RW	0	controlul modului de lucru
STATUS	RW	1	starea VS1001
CLOCKF	RW	3	frecvența ceas
DECODE_TIME	R	4	timp de decodare
AUDATA	R	5	date audio
WRAM	W	6	program de scris în RAM
WRAMADDR	W	7	adresa de bază pentru scrieri în RAM
HDATA0	R	8	citire date
HDATA1	R	9	citire date
A1ADDR	RW	10	adresa de start a aplicației utilizator
VOL	RW	11	controlul volumului
A1CTRL	RW	13	controlul aplicației

Datele digitale decodate sunt transformate în valori analogice de un convertor D/A $\Sigma\Delta$ cu supraeșantionare de 18 biți. Ieșirea analogică este filtrată cu un filtru în circuit. Rata de conversie este fixă, 128x 48KHz, ceea ce înseamnă 6,144MHz. Dacă rata de intrare este diferită de 48KHz ea este automat convertită la 48KHz, ceea ce elimină necesitate buclei PLL.

Circuitul admite un mod de lucru cu economie de energie în care monitorizează doar liniile SCI de comandă. Ieșirea analogică este blocată (MUTE).

Blocarea ieșirii analogice se face și în cazul în care datele de intrare în convertor nu vin suficient de repede sau datele de ieșire din decodor sunt invalide.

În memoria X-RAM se găsesc registrele SCI, o copie (SHADOW) a instrucțiunilor (MSB), stiva și un spațiu utilizator. În memoria Y-RAM se găsește o copie (SHADOW) a instrucțiunilor (LSB), stiva și un spațiu utilizator. În memoria RAM program se găsește spațiul pentru instrucțiunile utilizator.

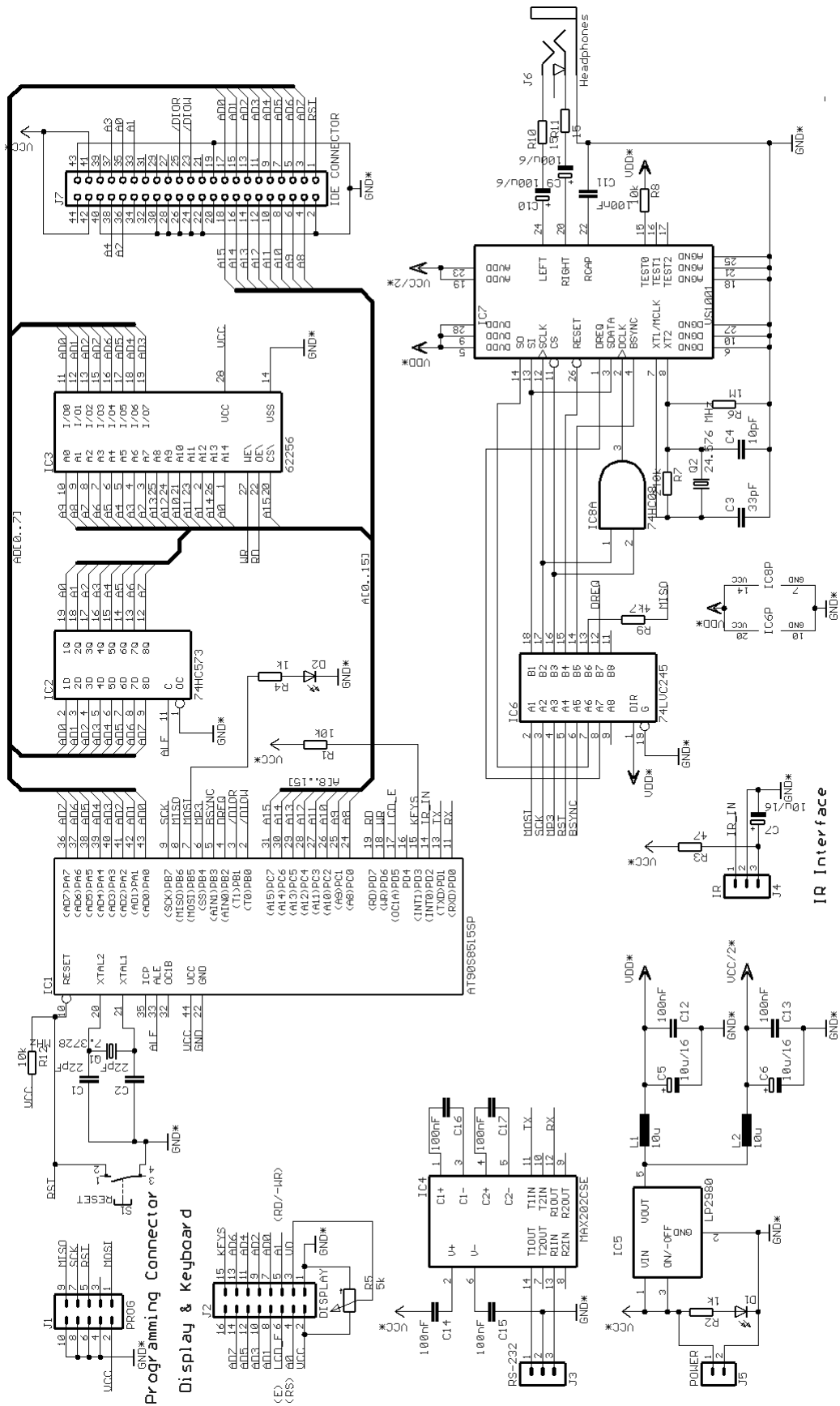
Schema 5 reprezintă un decodor MP3 cu microcontrollerul AT90S8515 și VS 1001:

AT 90S8515 este un microcontroller ATMEL de tip AVR RISC, pe 8 biți care conține:

- 118 instrucțiuni, majoritatea de un ciclu;
- 32 de registre de 8 biți;
- 8K octeți memorie FLASH programabilă în circuit;
- 512 octeți memorie SRAM;
- 512 octeți memorie EEPROM programabilă în circuit;
- frecvența de lucru 0-8MHz;
- interfață serială SPI;
- interfață serială UART.

Microcontrollerul are liniile de date și adrese multiplexate. De aceea, cu circuitul IC2 de tip 74HC573 (circuit driver unidirecțional pe 8 biți cu latch) se separă liniile de adresă, validate cu semnalul ALE (Address Latch Enable). Cu liniile de date și adrese se creează o magistrală la care se conectează o memorie RAM static de 256Kbit, grupați în 32Kcuvinte de 8 biți. Memoria este selectată cu bitul de adresă A15. Tot pe magistrala de date și adrese se conectează un conector IDE la care se poate cupla un hard disc (16 linii de adresă, 8 linii de date, semnal de RESET, semnale de scriere WR și de citire RD).

Decodorul MP3 VS1001 se conectează la interfața SPI a microcontrollerului prin intermediul unui driver bidirecțional IC6 de tip 74LS245 (folosit unidirecțional). Tot prin interfața SPI se poate face programarea microcontrollerului. Legătura dintre microcontroller și un sistem gazdă se poate face prin intermediul legăturii seriale RS232, realizată cu circuitul de modificare de nivel MAX 202 (IC4). Circuitul este alimentat cu un stabilizator integrat IC5.



Schema 5: Schema unui decodor MP3 cu microcontroller și VS1001

4.4. Alte circuite audio (producător MICRONAS)

Există o gamă extrem de largă de circuite audio. Unul dintre producătorii cei mai importanți este MICRONAS.

Micronas este o companie multinațională cu sediul la Zurich care se ocupă de dezvoltarea, fabricarea și vânzarea circuitelor integrate și a senzorilor cu aplicații în multimedia, automobile și bunuri de larg consum electronice. Micronas a fost fondată în 1989 de 2 ingineri plecați de la INTEL. În 1992 achiziționează o firmă spaniolă de la Nokia iar în 1997 cumpără firma germană Intermetall din Freiburg de la compania ITT.

Micronas a fost prima companie care a introdus circuite pentru decodare MP3 (MPEG nivel 3), circuite care au stat la baza aparatelor portabile cu cartele FLASH pentru redarea muzicii codate MP3 (Playere MP3). Micronas este lider pe această piață cu aproximativ 2 milioane de circuite vândute.

Varianta StarMan a circuitelor MP3 este folosită pe scară largă în receptoarele de radiodifuziune digitală WorldSpace. Circuitele StarMan conțin un decodor QPSK, circuite de corecție de erori și circuite de procesare a datelor comprimate. Un modul de decodare este prevăzut pentru a asigura serviciul viitoare de tip "servicii plătite".

Procesoarele de sunet de la Micronas (Multistandard Sound Processor MSP) prelucrează semnale digitale și analogice (Mixed Signal Processor) pentru aplicații audio și video. Variante speciale procesează sunetul Dolby Digital, Dolby ProLogic și Virtual Dolby Surround Sound, asigurând calități deosebite sunetelor.

Mai nou în domeniul multimedia, Micronas produce un controller audio USB, atractiv pentru că poate fi montat în boxe active.

Aplicații audio pentru televiziune

Circuitul MSP 34xx realizează recepția stereo de la un receptor de antenă sau de satelit, ca în figura 4.14.:

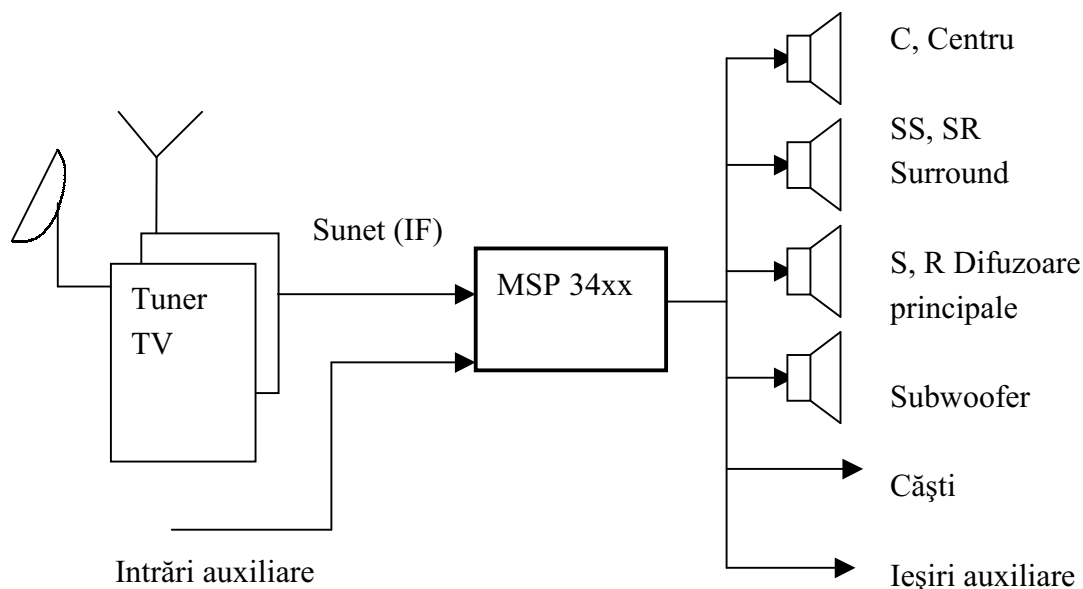


Fig.4.14.:Circuitul MSP 34xx pentru recepția audio TV

Setul de circuite din figura 4.15. realizează recepția stereo asociată cu prelucrarea sunetului Dolby Digital /Dolby ProLogic și decodarea MPEG:

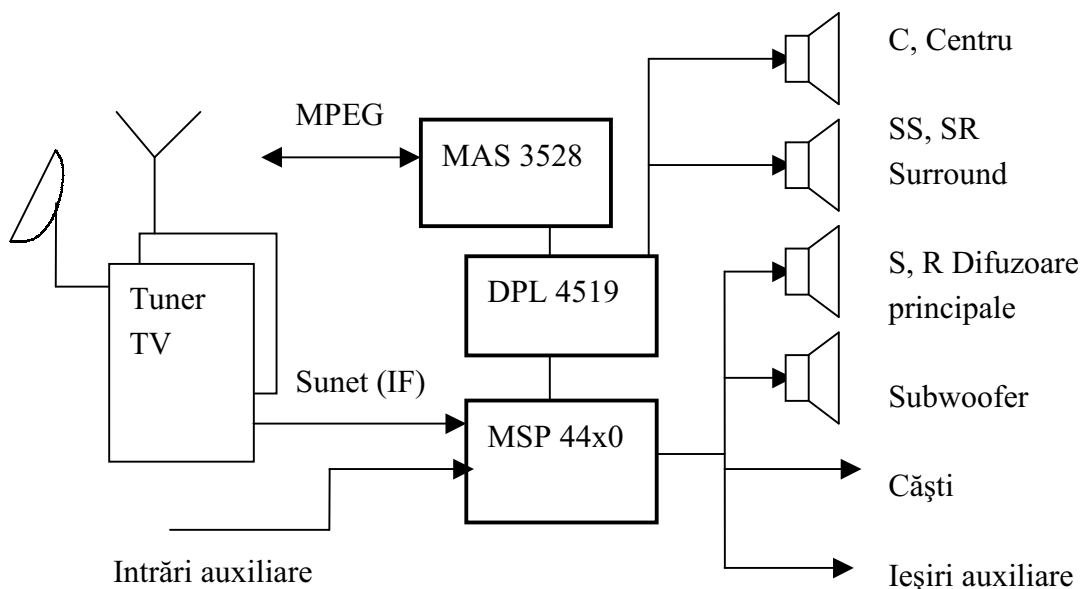


Fig. 4.15.:Set de circuite pentru recepția audio TV cu prelucrare Dolby și decodare MPEG

Setul de circuite din figura 4.16. realizează recepția stereo a programelor radio prin satelit (Astra Digital Radio):

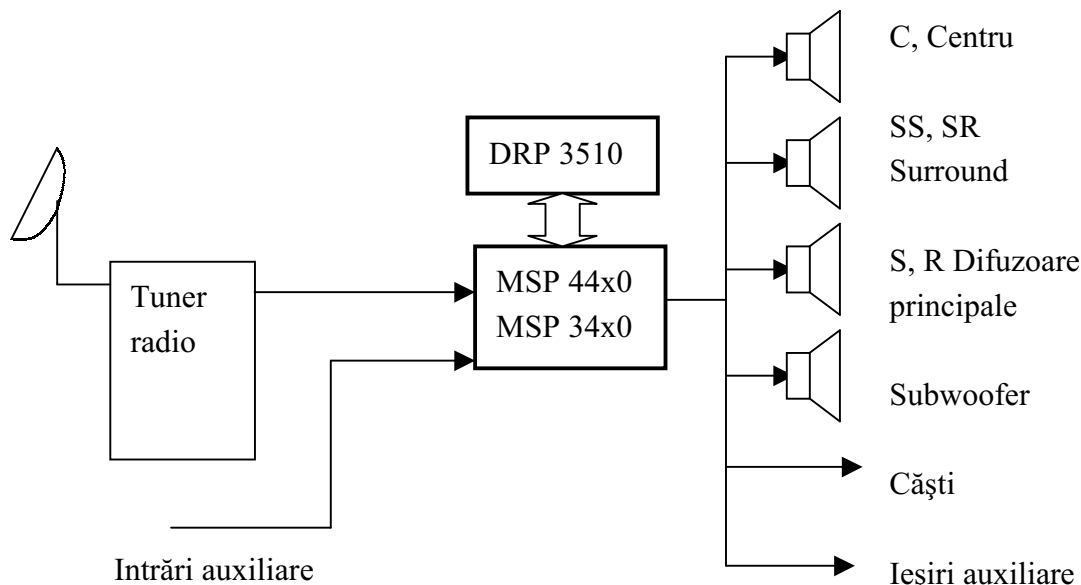


Fig. 4.16.:Set de circuite pentru recepția programelor radio digitale

Aplicații audio avansate

În acest domeniu sunt importante decodoarele MPEG și codoarele / decodoarele MPEG de voce, cu aplicații în dispozitive MP3 (playere cu memorie FLASH) sau pentru integrarea decodării MPEG în dispozitivele existente (CD, telefoane mobile, receptoare de satelit etc.)

Un circuit tipic este MAS 3509F care include un decodor MP3 (MPEG nivel 3), un codor / decodor de voce și convertoare A/D și D/A, figura 4.17.:

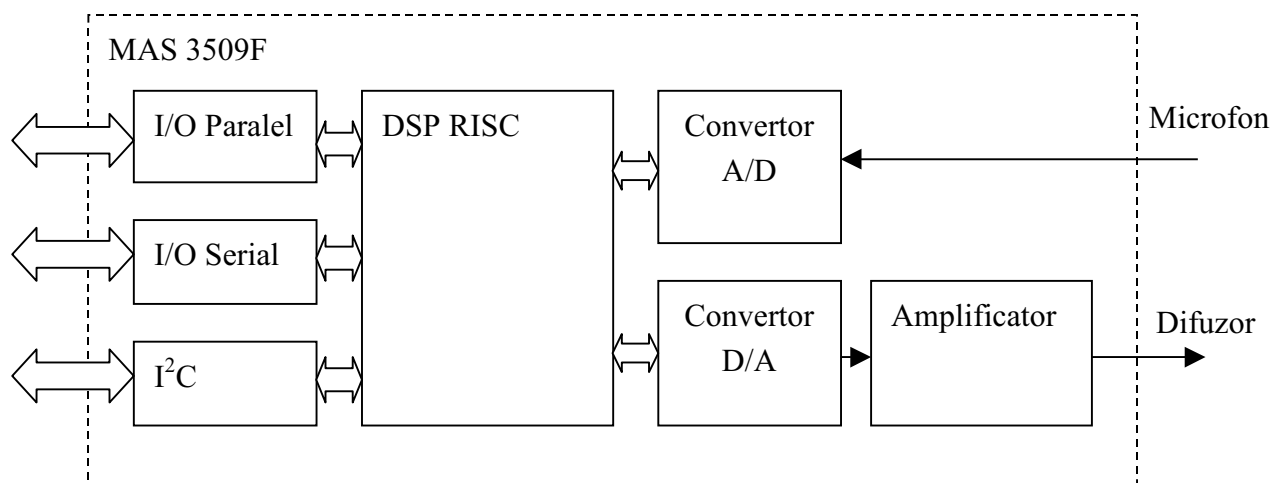


Fig. 4.17.: Schema bloc a circuitului MAS 3509F (decodor MP3, codor /decodor MP3 de voce)

Circuitul admite alimentare de 1,5V, deci poate fi alimentat de la o singură baterie.

Aplicații multimedia

Calculatorul personal poate fi transformat într-un TV de foarte bună calitate, sunetul fiind de calitate CD, imaginea de calitate digitală (în transmisiile digitale) existând și posibilitatea de video conferință. Un set de 3 circuite realizează un astfel de lanț multimedia conform standardului ITU-R 656, figura 4.18.:

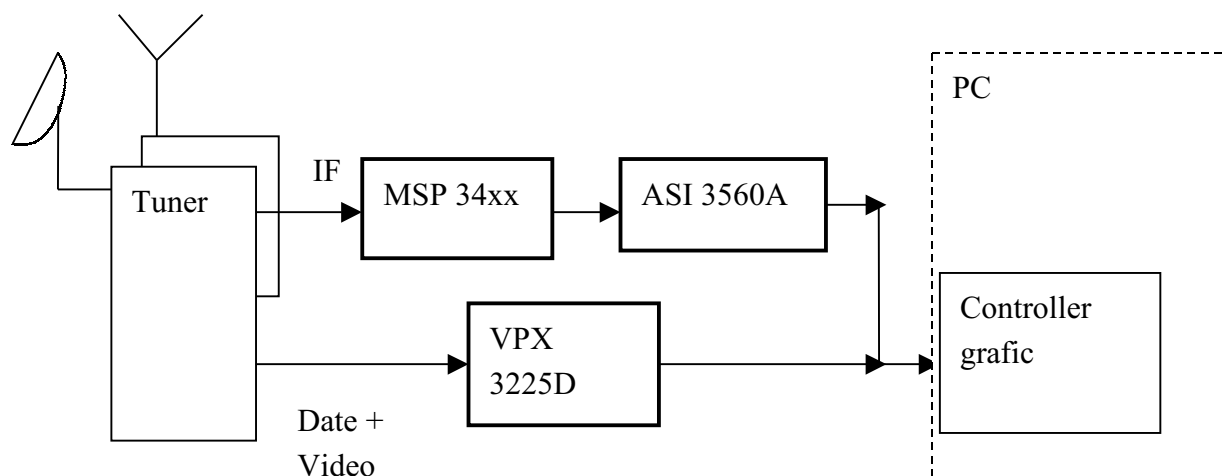


Fig. 4.18.: Set de circuite multimedia

O soluție de comunicații seriale USB pentru semnale audio este dată în figura 4.19.:

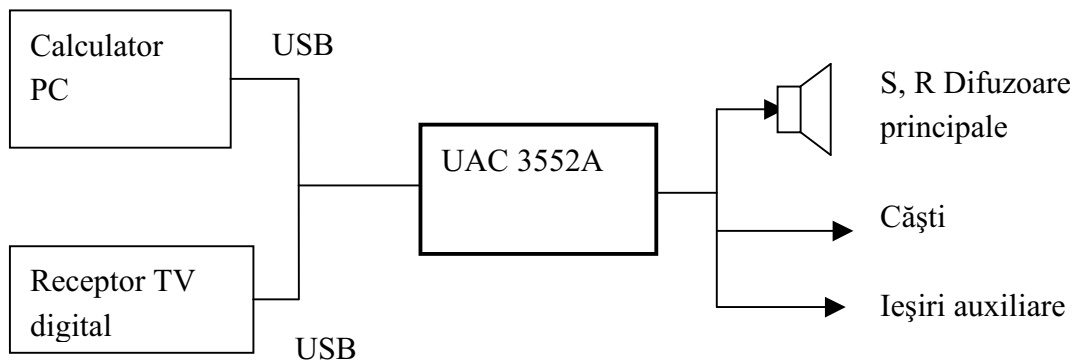


Fig. 4.19.:Circuitul audio USB UAC 3552A într-o schemă bloc de transfer de date audio

UAC 3552A este primul circuit audio al firmei Micronas care urmărește realizarea aplicațiilor audio pe USB. UAC este un convertor D/A audio de precizie, conținând un convertor de rate de eșantionare. Circuitul suportă o gamă largă de rate de eșantionare (5-50KHz), cât și diferite formate audio (8 biți, 16 biți, 24 de biți mono sau stereo).

Circuitul conține un transceiver USB complet, un EEPROM pentru stocarea datelor de configurare și identificare care poate fi programat direct prin USB.

Procesarea audio este realizată de un nucleu DSP intern. Pe lângă aplicațiile comune, cum ar fi controlul volumului, tonului și balans, există suficient spațiu de memorie și putere de calcul pentru a realiza aplicații utilizator.

Convertorul D/A folosește principiul de conversie $\Sigma\Delta$, cu un raport foarte bun semnal zgomot (96dB), sensibilitate mică la variațiile ceasului, liniaritate bună.

La intrare pot fi mixate mai multe surse audio. Circuitul include și un amplificator pentru căști. Alimentarea se face cu +5V (prin USB).

Schema bloc a circuitului este dată în figura 4.20.:

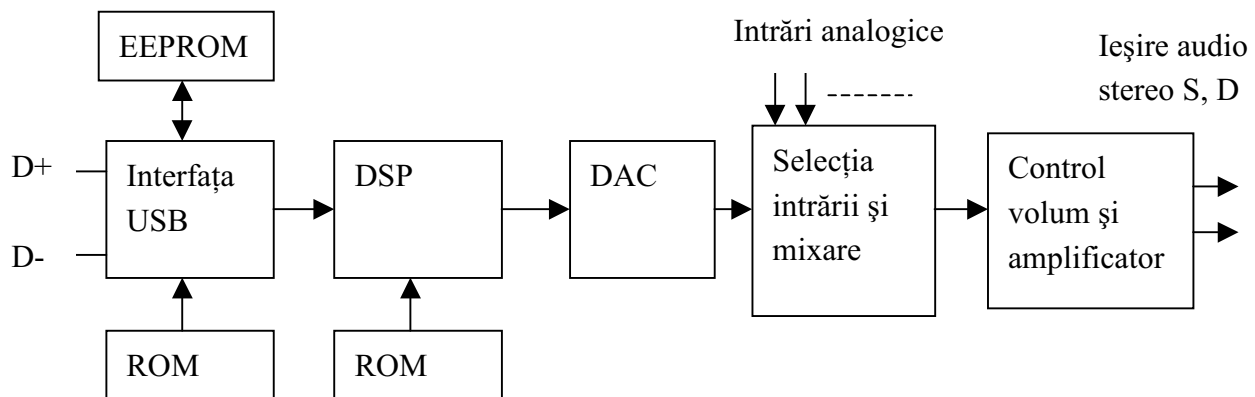


Fig. 4.20.:Schema bloc a circuitului audio USB UAC 3552A

Circuitul UAC 3552A a fost un succes comercial al firmei pentru că a fost montat în boxe active și astfel boxele au putut fi așezate la distanță mare de sistem datorită legăturii USB (și nu cu semnale analogice între calculador și boxe).

Prin amabilitatea firmei Micronas sunt arătate în figura 4.21. 2 chipuri într-o fază intermediară de producție (înainte de lipirea terminalelor). Se poate observa structura pe siliciu unde suprafețele mari reprezintă arii de memorie.

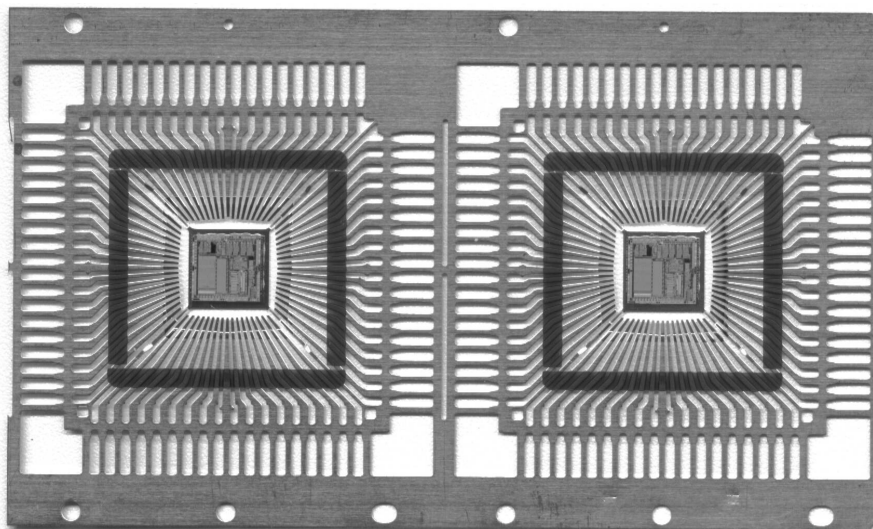


Fig. 4.21. *Chipuri*

Bibliografie

1. I. Szekely, Fl. Sandu, Circuite de conversie a semnalelor analogice și digitale, Editura Matrix ROM București, 2001

Link-uri utile

2. www.crystal.com Referințe pentru circuitul CS4231A
3. www.analog.com Referințe pentru circuitul AD1819A
4. www.intel.com Referințe pentru standardul AC 97
5. www.vlsi.fi Referințe pentru circuitul VS1001
6. www.lame.org Codarea MP3 cu rată variabilă
7. www.yampp.com Jesper Hansen, schema unui decodor MP3
8. www.micronas.com Circuite Micronas