

1.SETURI DE CIRCUITE PENTRU PLĂCI DE BAZĂ

Fără a fi nevoie de vreo demonstrație este evident că evoluția electronicii este spre circuite cu grad larg de integrare. Unele din componentele cu o dezvoltare remarcabilă au fost procesoarele, care în ultimii ani s-au dezvoltat prin:

- Mărirea magistralei de date de la 16 biți la procesoarele 8086 la 64 de biți la procesoarele PENTIUM;
- Mărirea magistralei de adrese (nu atât de mult ca cea de date) de la la 20 de biți la 8086 la 32 de biți la PENTIUM;
- Mărirea vitezei (poate cea mai explozivă evoluție) de la 10Mhz la 80286 la 1,8GHz la PENTIUM;
- Înglobarea de funcții noi în procesor, de exemplu moduri de economie de energie, al doilea nivel de cache etc.

Dacă evoluțiile la procesoare sunt cunoscute de toți, inclusiv de “gamer-i sau surfer-i”, evoluțiile chipset-urilor sunt mai puțin cunoscute. Toată lumea știe că chipset-ul INTEL BX a fost nu foarte reușit și că a fost înlocuit de INTEL 815, dar motivele sau structura nu sunt prea cunoscute. Chipset-urile au trebuit și ele să se dezvolte ca să asigure procesoarelor mediul potrivit de lucru pentru noile performanțe. Plăcile de bază (Motherboard) pentru calculatoarele XT conțineau toate circuitele necesare funcționării unității centrale ca circuite distincte: controller de DRAM, de întreruperi, de DMA, timer etc. Evoluția gradului de integrare a dus la apariția unor controllere care înglobează mai multe funcții. Au apărut astfel seturile de circuite (chipset).

În acest capitol sunt prezentate 2 seturi de circuite, unul pentru PENTIUM și celălalt pentru PENTIUM II și III. Motivul prezentării a 2 seturi este ca să se poată face o comparație între ele și să se poată trage concluzii referitoare la evoluția lor. Structura unității centrale este ierarhizată în funcție de viteza componentelor. Astfel procesorul este în poziția de vârf (1,8GHz), fiind urmat de magistrala cu memoria (400MHz), magistrala PCI (33MHz) și magistrala ISA (14MHz). Seturile de circuite urmăresc și ele această structură de organizare. Funcțiile principale ale setului de circuite sunt:

- Controller de memorie (DRAM și /sau Cache)
- Punte între diferitele nivele ierarhice (între procesor și PCI, între PCI și ISA etc.)
- Controller de dispozitive I/O (compatibile (clasice) și cele noi)

În evoluția seturilor de circuite pot fi observate ușor câteva tendințe:

- Înglobarea de cât mai multe funcții, care înseamnă circuite din ce în ce mai complexe, mai dificil de programat, cu din ce în ce mai mulți pini;
- Apariția unor interfețe noi a dus la apariția unor funcții noi ale setului de circuite: interfața USB, interfața SMBus, interfața paralelă multimod, codec AC97 etc. Simultan cu apariția unor interfețe noi, magistrala ISA a pierdut din importanță și a devenit opțională la seturile noi (INTEL 820). Totuși a apărut o interfață asemănătoare (LPC) pentru legătura între circuite.
- Vitezele mari de transfer a datelor au dus la apariția unor transmisii la alte nivele logice (AGTL+) sau în curent (cu calibrarea periodică a curentului)(RAMBUS), moduri de transmisie diferențială, etc.

1.1. Setul de circuite INTEL 82430LX pentru procesoare PENTIUM

Schema bloc a unei plăci de bază echipată cu circuite din familia 82430LX este dată în figura 1.1.

Setul de circuite este compus din:

- acceleratorul de bus INTEL 82433LX (LBX);
- controller de RAM și Cache INTEL 82434LX (PCMC);
- sistem de I/O (punte adaptoare între magistrala PCI și ISA, adică “PCI-ISA bridge”) INTEL 82378 (SIO);
- controller de periferie INTEL 82091A (AIP).

În schema bloc se remarcă structura ierarhizată pe 3 nivele a magistralelor, cea mai rapidă și mai largă fiind situată lângă procesor (100-133Mhz, 64 de biți), urmează apoi PCI (33MHz) și în sfârșit ISA (14MHz).

1.1.1. Accelerator de bus local (LBX)

Așa cum se arată în [3] bufferul de date între un echipament rapid și unul lent accelerează transferul de date între ele. Prima magistrală rapidă care a urmat după ISA a fost magistrala VLB (VESA LOCAL BUS), care prevedea scoaterea semnalelor de la procesor la magistrală. Această magistrală nu s-a răspândit pentru că a apărut magistrala PCI care putea lucra cu buffere de date între procesor, memorie și celelalte periferice.

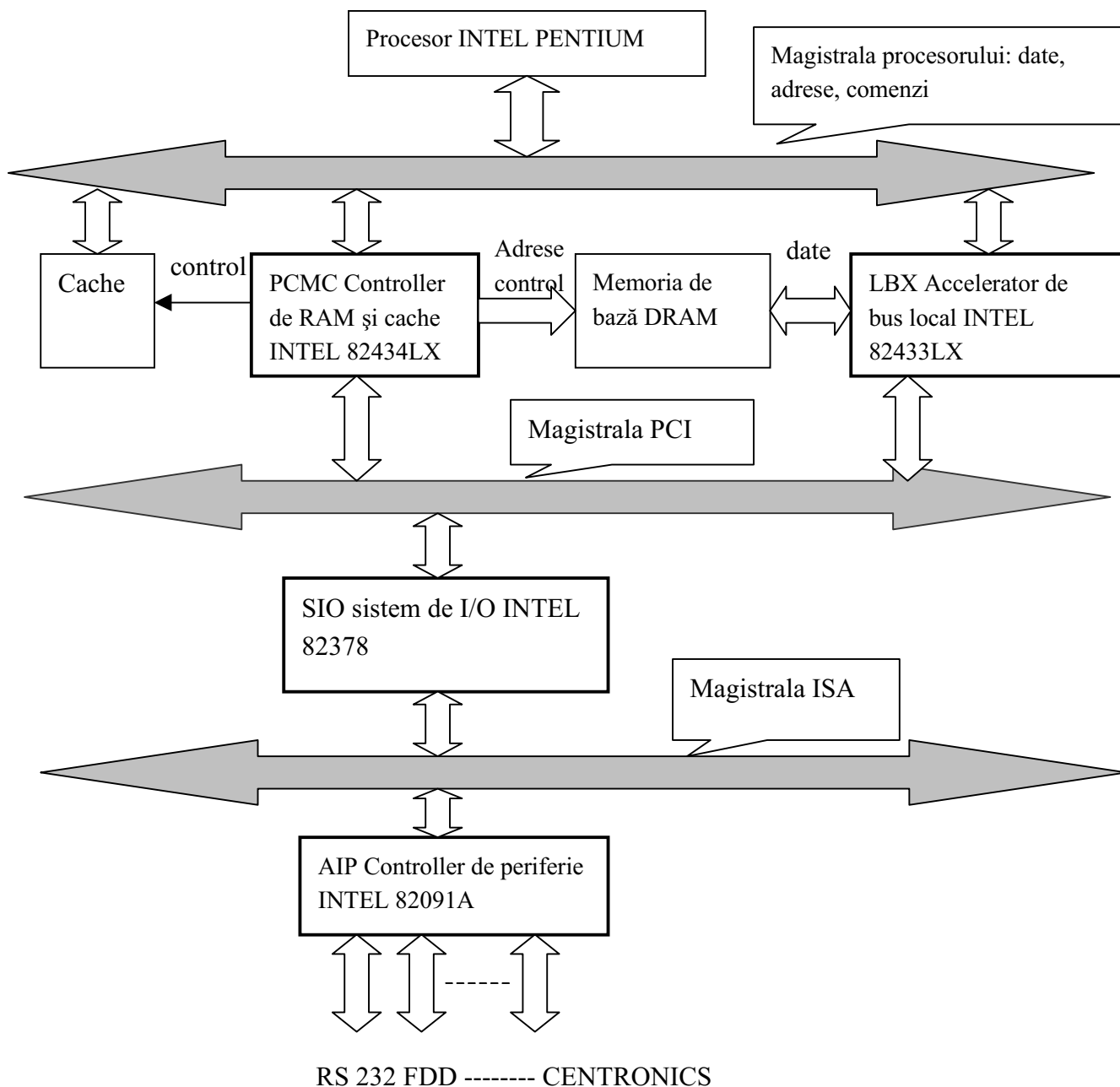


Fig.1.1. Schema bloc a unei plăci de bază echipată cu chipset-ul 82430LX

Circuitul LBX conține o cale de date de 64 de biți între procesor și cache (care sunt pe aceeași magistrală de date) și memoria de bază, o cale de date de 32 de biți între procesor și magistrala locală PCI și o cale de date de 32 de biți între magistrala PCI și memoria de bază. O arhitectură de port dublu de date asigură operații în același timp cu procesorul și cu magistrala PCI. Pentru verificarea corectitudinii transferului de date circuitul realizează controlul parității. Funcționarea circuitului este comandată de controllerul de RAM și Cache PCMC.

Circuitul LBX are integrate 5 buffere folosite în 3 zone:

- Date 64 de biți și adrese 32 de biți spre procesor
- Adrese multiplexate cu date pe 32 de biți spre PCI

- Date 64 de biți spre memoria de bază.

Schema bloc a circuitului este dată în figura 1.2:

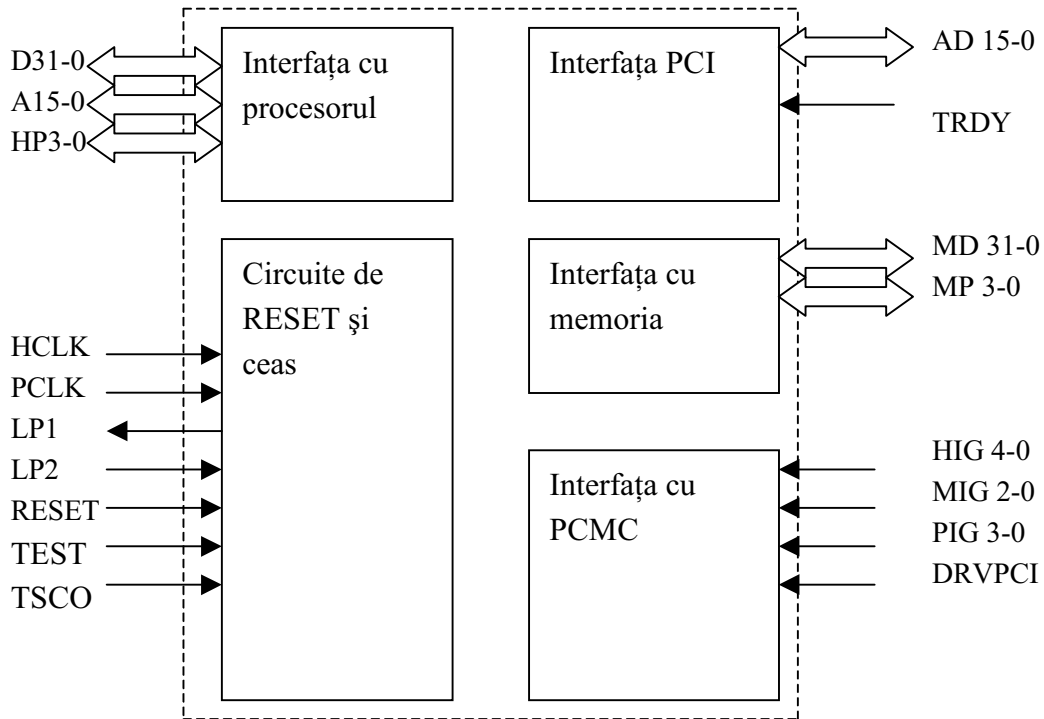


Fig. 1.2. Schema bloc a circuitului LBX

Cu semnalele HIG 4-0 circuitul PCMC comandă una dintre 29 de operații posibile de stocarea unor cuvinte de date sau adrese spre sau dinspre procesor.

Cu semnalele MIG 2-0 se comandă una dintre cele 7 operații posibile cu memoria.

Cu semnalele FIG 3-0 se comandă una dintre cele 15 operații posibile cu magistrala PCI.

Semnalele HP 3-0 sunt 4 biți de paritate pentru cei 4 octeți ai cuvântului de date spre procesor, iar MP 3-0 sunt 4 biți de paritate la transferul de date cu memoria.

TRDY (Target Ready) semnalează că interfața selectată prin magistrala PCI este gata pentru un transfer de date (semnal folosit pentru sincronizare).

DRVPCI (Drive PCI Bus) validează LBX pentru a pune date sau adrese pe magistrala PCI.

TSCON (Tri State Control) toate porturile LBX pot fi comandate în înaltă impedanță.

LP1, LP2 se conectează componente externe pentru bucla PLL din circuit.

HCLK (Host Clock) este ceasul procesorului.

PCLK (PCI Clock) este ceasul PCI.

Observație:

Pentru a forma cuvinte complete se folosesc 2 circuite LBX, fiecare de 32 de biți, unul pentru partea superioară a magistralei și unul pentru partea inferioară.

Funcționarea circuitului:

Bufferul de scriere de la procesor în memorie este de 4 cuvinte a 4 octeți. Încărcarea datelor se face cu comenzi HIG iar golirea bufferului cu comenzi MIG. La fiecare transfer se verifică automat paritatea. Când se scriu date în memorie, circuitul PCMC care conține controllerul de DRAM stabilește semnalele corespunzătoare de comandă pentru scriere.

Bufferul de scriere de la PCI în memorie este organizat ca un buffer dublu de 4 cuvinte a 4 octeți. Preluarea de la PCI se face în 2 pași iar scrierea în memorie într-un pas (la memorie transferurile sunt pe 64 de biți iar la PCI pe 32). La fiecare transfer se verifică automat paritatea.

Bufferul de citire din memorie și scriere la PCI are dimensiunea de 4 cuvinte a 4 octeți și este încărcat din memorie într-un pas și este trimis în 2 pași la PCI.

Bufferul de scriere de la procesor la PCI (dimensiunea de 4 cuvinte) face preluarea într-un pas și trimiterea la PCI în 2 pași. Structura bufferului este specială pentru a permite transferul datelor în salvă (burst) pe PCI, ceea ce înseamnă că la transferuri de date consecutive nu se mai trimite adresa fiecărui cuvânt, cu toate că LBX are stocate toate adresele.

Bufferul de citire de la PCI și trimiterea datelor către procesor are dimensiunea de 4 cuvinte.

Observații:

1. Comanda circuitului LBX nu se face cu registre de comandă, ci prin grupurile de semnale MIG, HIG și FIG.

2. Interfața cu memoria poate transfera date de la PCI sau procesor atât cu memoria DRAM cât și cu memoria Cache, funcție de comanda primită în grupul HIG.

3. LBX poate lucra cu memoria Cache atât WRITE THROUGH cât și WRITE BACK. În WRITE BACK datorită bufferelor de 4 cuvinte, tot transferul unei linii întregi de Cache durează doar 7 tacte CPU.

1.1.2. Controllerul de PCI, memorie și Cache (PCMC)

Schema bloc a circuitului este dată în figura 1.3.

Operarea cu memoria Cache

Memoria Cache din procesor este numită primul nivel de Cache (first level Cache, primary Cache) și este gestionată de procesor. Al doilea nivel (second level Cache) este gestionat de PCMC. Memoria poate fi formată din RAM static asincron sau sincron (cel sincron permite transfer în salvă) și poate avea dimensiuni de 256Kocteți sau 512Kocteți, organizarea fiind în linii de 32 de octeți. Regăsirea datelor în memoria Cache este gestionată cu un set de etichete (tag) memorate în PCMC. Fiecare etichetă conține adrese asociate datelor din Cache, 2 linii de 32 de octeți pentru memoria de 265Kocteți și 4 linii pentru 512Kocteți, precum și 2 biți de stare pentru fiecare linie din memoria Cache. Într-un ciclu de memorie de citire sau scriere se verifică dacă informația este în Cache. Dacă nu, informația se caută în memoria DRAM. Nivelul al doilea de

Cache este unificat, adică conține atât date cât și instrucțiuni. Identificarea informației în Cache și înlocuirea unei linii sunt descrise în [1].

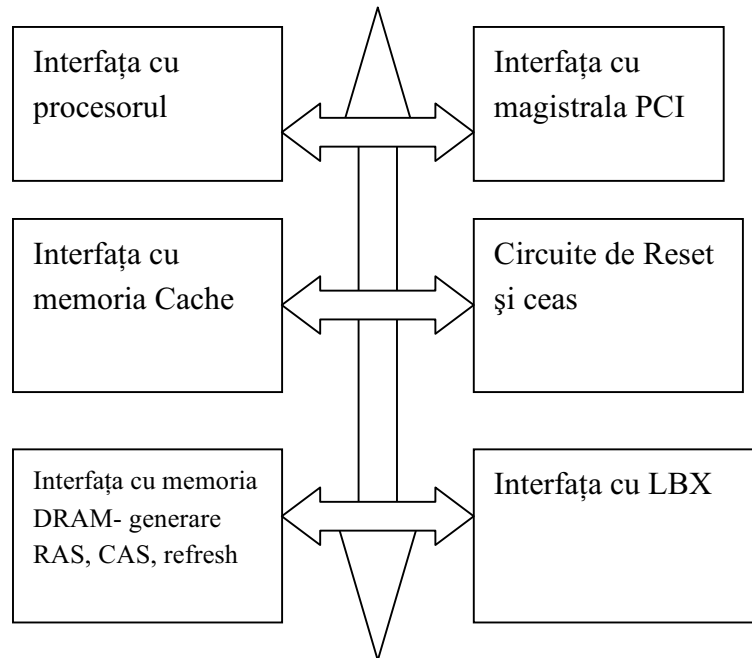


Fig. 1.3. Schema bloc a circuitului PCMC

La modul de scriere WRITE THROUGH, dacă blocul care trebuie modificat se află în Cache, blocul se scrie atât în Cache cât și în DRAM. Dacă blocul nu se află în Cache, el se scrie doar în DRAM. La WRITE BACK blocul se scrie doar în Cache, urmând ca blocul să ajungă în DRAM când este înlocuit de mecanismul de înlocuire.

La citire, dacă informația se află în Cache se citește de acolo. Dacă nu, linia care conține informația dorită este citită din DRAM și scrisă în cache (prin bufferele din LBX). Pentru WRITE BACK dacă linia din Cache pe poziția căreia vine noua linie este modificată (lucru semnalat de biții de stare) vechea linie se scrie în DRAM. Blocul de interfață cu Cache-ul generează comenzile și citește stări. Transferul are loc pe magistrala de date a procesorului.

Operarea cu magistrala PCI (Host-PCI Bridge) și memoria DRAM

PCMC permite accesul între procesor și magistrala PCI în spațiul PCI de I/O, de memorie sau de configurare. Diagramele de acces la magistrala PCI sunt explicate în [2]. Ca și dispozitiv PCI, PCMC poate fi master și poate iniția un ciclu de magistrală sau poate fi slave.

Pe magistrala procesorului nu se conectează alte interfețe în această configurație. Toate operațiile de I/O se fac cu PCMC. Când CPU inițiază un ciclu de magistrală PCI, PCMC devine master și poate transfera date (pe 32 de biți) în 3 tacte (unul de WAIT), datorită bufferelor din LBX, chiar dacă magistrala este ocupată în acel moment. Dacă un alt master de PCI inițiază un transfer de date cu memoria, PCMC devine țintă (target) și răspunde la această cerere prin intermediul LBX.

Modificarea conținutului DRAM de către un dispozitiv PCI poate duce la inconsistența memoriei Cache, adică date diferite în Cache și DRAM care pot duce la erori. La un transfer PCI DRAM circuitul PCMC modifică automat memoria Cache și DRAM pentru a asigura consistența datelor.

Pentru operarea cu memoria DRAM, PCMC asigură semnalele de comandă iar LBX transferul de date. Se generează semnale de RAS care pot fi programate să fie active în 1 sau 0.

Programarea circuitului

Programarea se face cu registre văzute de procesor în spațiul său de I/O. Registrele nu sunt accesibile dinspre PCI. După un RESET registrele se încarcă cu valoarea implicită (default) care asigură o funcționalitate minimă sistemului. Este sarcina BIOS-ului să determine la încărcarea sistemului configurația memoriei Cache, a memoriei DRAM și să programeze circuitul PCMC. Registrele de configurare în spațiul I/O sunt:

- CSE (Configuration Space Enable)- validează spațiul de configurare pentru PCI;
- TRC (Turbo Reset Control)- validează modul turbo. Modul ne-turbo este necesar unor programe mai vechi să ruleze pe acest chipset;
- FORW (Forward Register)- stabilește ordinea ierarhică a ciclurilor de bus.

Spațiul de configurare a PCI, odată definit prin CSE este accesibil de la PCI, fiind definite 2 cicluri de bus: Citire configurație și Scriere configurație. Procesorul are acces la spațiul de configurare la o adresă de I/O + offset. Fiecare dispozitiv PCI are alocate maximum 256 de registre de configurare de 8 biți.

Conectarea memoriei DRAM și Cache la un PCMC

Pentru a se putea urmări traseul datelor între PCMC și memoria DRAM, se arată în figura 1.4. o schemă bloc simplificată.

Circuitul PCMC generează adrese și semnalele de selecție a rândurilor și coloanelor RAS și CAS. PCMC asigură refresh-ul memoriei DRAM. Subansamblele de memorie trebuie cuplate perechi dacă sunt SIMM-uri pentru a putea forma cuvinte pe 64 de biți. Dacă memoria este structurată pe 64 de biți (DIMM) este suficient un singur subansamblu. Datele sunt bufferate prin cele 2 circuite LBX, unul pentru partea superioară și celălalt pentru partea inferioară a magistralei de date. Circuitele LBX asigură transferul datelor atât cu procesorul (și memoria Cache) cât și cu magistrala locală PCI. Circuitele LBX sunt comandate de PCMC prin semnalele MIG, PIG și HIG.

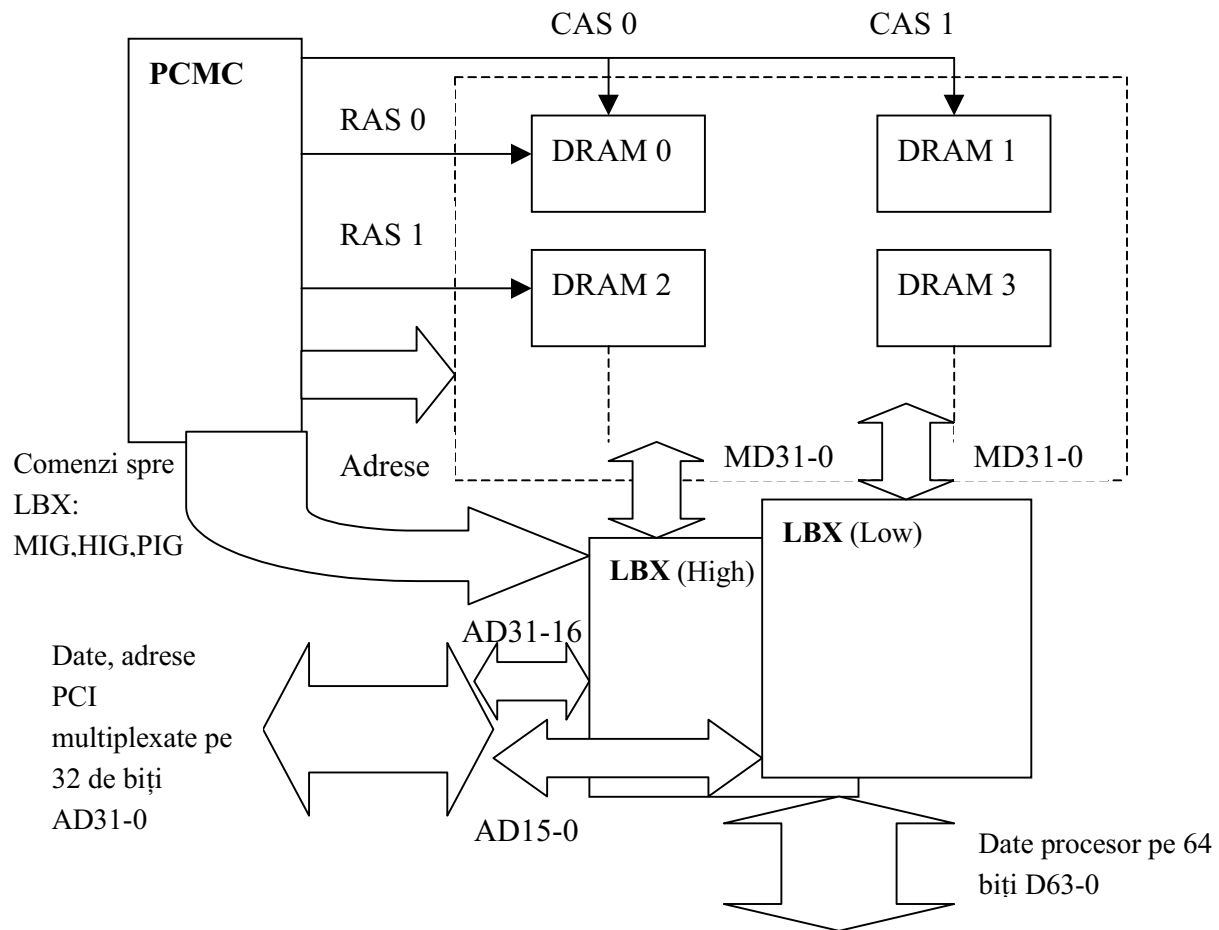


Fig. 1.4. Traseul datelor între PCMC și memoria DRAM

Schema bloc simplificată de conectare a memoriei Cache este dată în figura 1.5.

Memoria Cache este cuplată pe magistrala procesorului atât prin liniile de date cât și prin cele de adrese. PCMC asigură controlul memoriei Cache (localizarea datelor). Prin semnalul de încărcare adresă încarcă adresa de la procesor într-un latch de adrese și furnizează semnale de selecție a circuitelor SRAM. Memoria SRAM este organizată pe 16 biți sau pe 18 (câte un bit de paritate pentru fiecare octet).

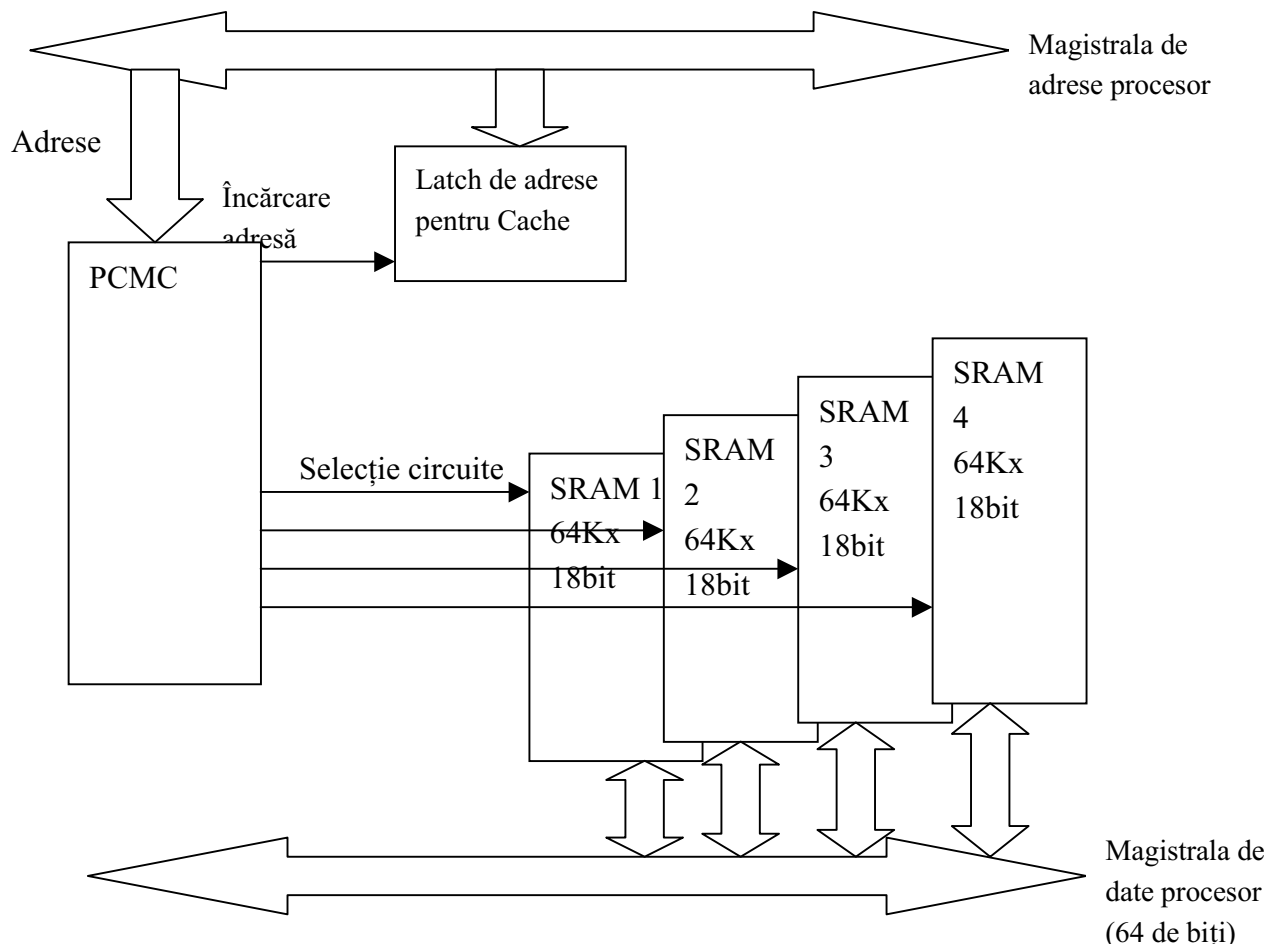


Fig.1.5. Schema bloc de conectare a memoriei Cache la PCMC

1.1.3.Circuitul sistem de intrare/ieșire (SIO)(PCI-ISA Bridge)

Acest circuit este o punte între magistrala PCI și magistrala ISA, integrând cele mai comune funcții ale calculatoarelor PC. Circuitul înglobează logica de conectare la PCI ca master sau slave, conectarea la ISA, un controller de DMA cu 7 canale, controller de întreruperi cu 14 canale, un timer BIOS de 16 biți, 3 timere programabile, logica de control a întreruperii nemascabile NMI, buffere pentru izolarea PCI de ISA și mărirea vitezei de transfer. SIO mai generează semnale de selecție pentru perifericele uzuale la adrese standard (controller de floppy, porturi seriale, port paralel, etc.). SIO admite APM (Advanced Power Management) pentru lucrul cu economie de energie.

Schema bloc a circuitului este dată în figura 1.6.:

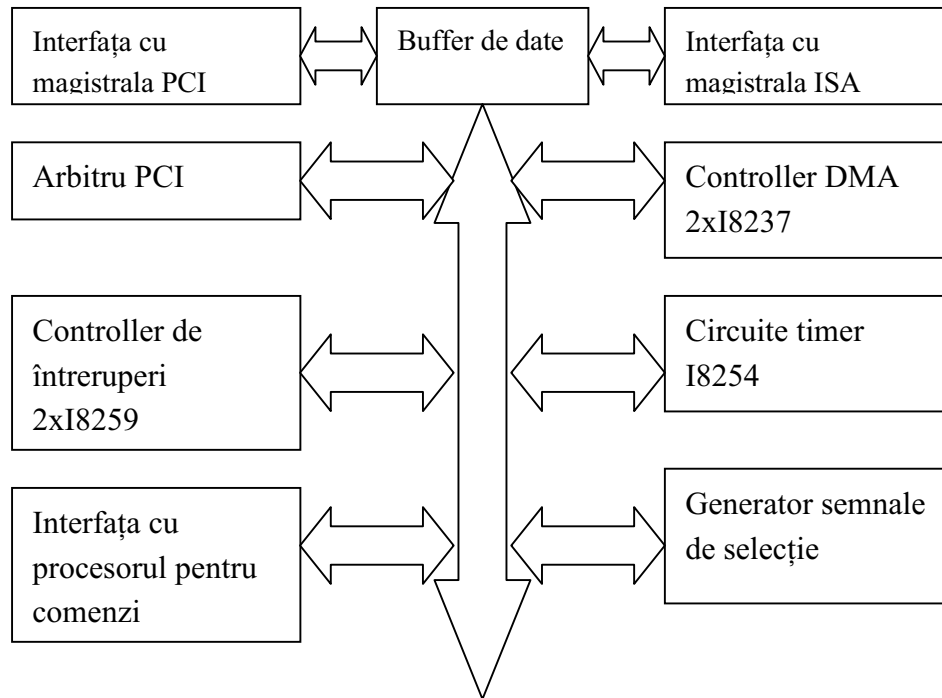


Fig. 1.6. Schema bloc a circuitului SIO

Controllerul de DMA înglobează funcționalitatea a 2 controllere INTEL 8237, fiind disponibile 7 canale DMA. Un canal DMA este rezervat pentru refresh-ul memoriei DRAM cuplate prin ISA.

Timerul conține 3 numărătoare ca și circuitul INTEL 8254 (succesorul lui I8253). La unul dintre canale este cuplat difuzorul sistemului. Un timer pe 16 biți numit timer BIOS furnizează referința de timp pentru rutine BIOS cu precizia de 1ms.

Controllerul de întreruperi înglobează funcționalitatea a 2 controllere INTEL 8259, fiind disponibile 14 cereri de întrerupere externe și 2 interne.

SIO are 2 seturi de registre:

- Registre de configurare PCI accesibile de pe magistrala PCI cu un offset pe liniile de date / adrese PCI AD și un cod pe liniile PCI C/BE;
- Registre de programare, accesibile de pe magistrala PCI includ registrele de programare DMA, timer, întreruperi și registre de control. Unele dintre aceste registre pot fi accesate și de pe magistrala ISA.

Observație: programarea controllerului DMA se face ca și la circuitul I8237, a controllerului de întreruperi ca la circuitul I8259 etc.

Ciclurile de magistrală ISA sunt de următoarele tipuri:

- Inițiate de PCI, de citire/ scriere între procesor, memoria DRAM și un dispozitiv de pe ISA;

- Cicluri DMA care pot fi între memoria DRAM a sistemului văzută prin PCI și un dispozitiv de I/O de pe ISA (DMA PCI) sau între o memorie cuplată pe ISA și un dispozitiv de I/O de pe ISA (DMA ISA).

Un exemplu de memorie RAM cuplată pe ISA este memoria de pe placa de rețea, văzută atât de controllerul de rețea cât și de procesorul gazdă.

O schemă bloc simplificată pe care se pot urmări traseele diferitelor tipuri de instrucțiuni este dată în figura 1.7:

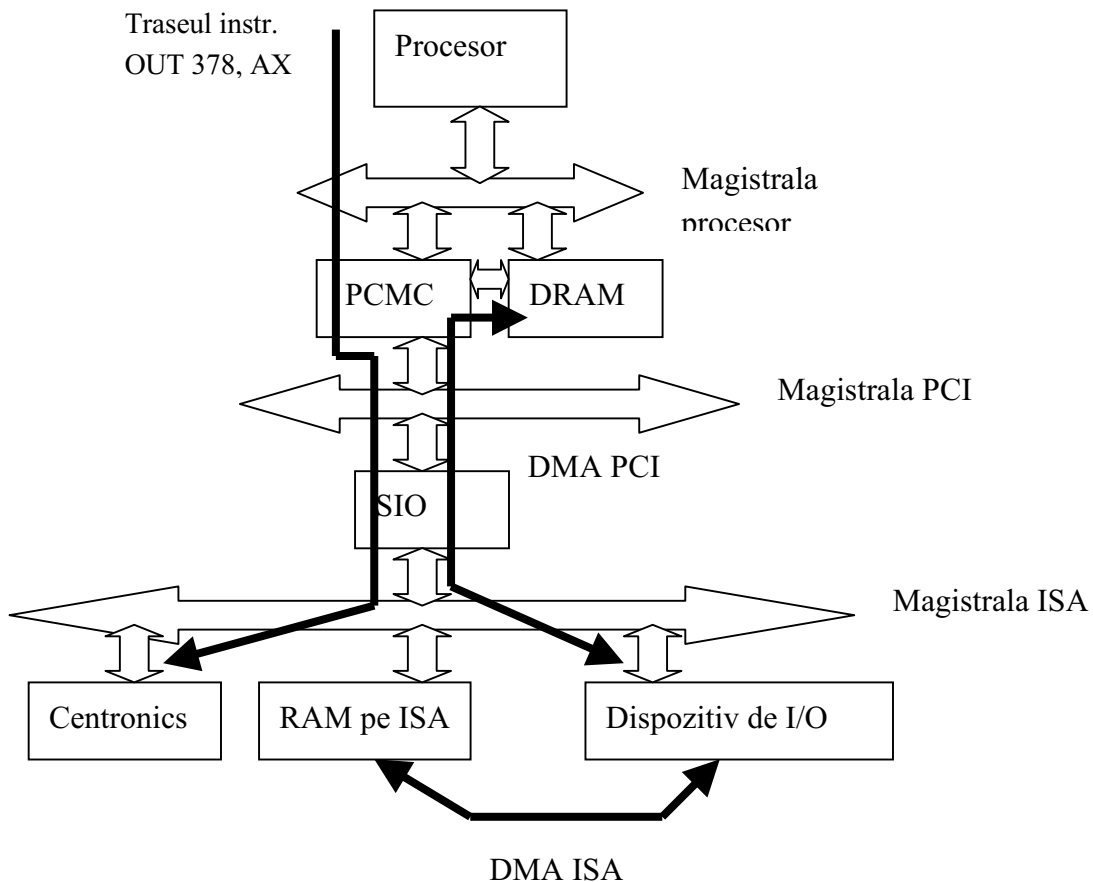


Fig. 1.7. Traseele diferitelor tipuri de instrucțiuni

Un ciclu DMA ISA are loc între dispozitivul de I/O și memoria cuplată pe ISA. Un ciclu DMA PCI are loc între memoria de bază DRAM și dispozitivul de I/O, transferul fiind gestionat de circuitul SIO între PCI și ISA și de PCMC între PCI și DRAM. O instrucțiune de I/O care apelează portul CENTRONICS de exemplu este recunoscută de PCMC și direcționată către SIO care, la rândul lui o direcționează spre portul de la adresa 378h.

1.1.4.Circuitul controller de periferie (AIP)

Schema bloc a circuitului este dată în figura 1.8:

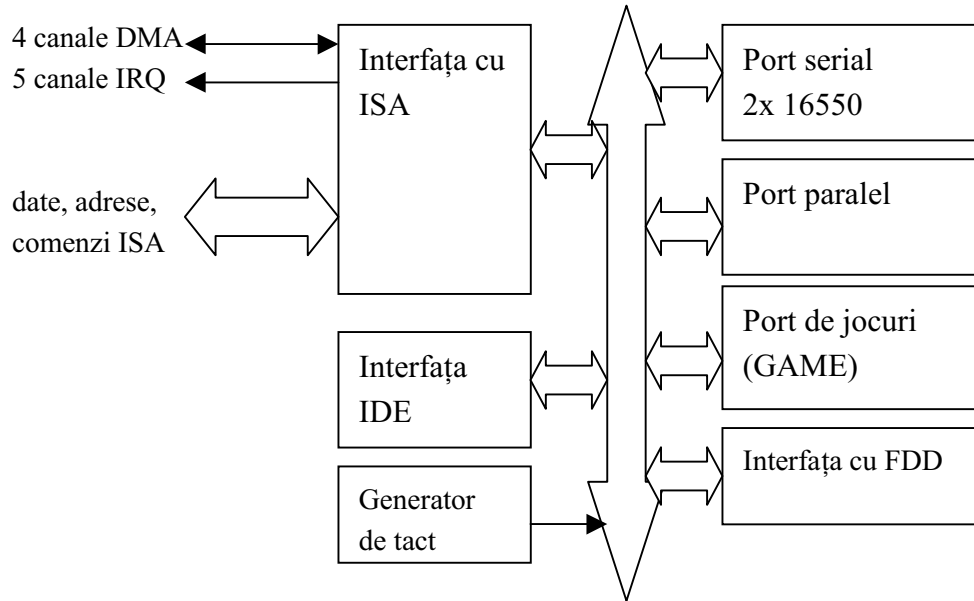


Fig. 1.8. Schema bloc a circuitului AIP

Interfața cu ISA este pe 16 biți de date cu posibilitatea de transfer cu 0 stări de WAIT, prin întreruperi (5 linii programabile) sau prin DMA (4 linii), cu decodificarea internă a semnalelor de selecție. Pentru funcționare, circuitul are nevoie de un cristal de 24Mhz.

Controllerul de disc flexibil este compatibil I82077 și I82078 cu interfață de casetă magnetică inclusă și posibilitatea cuplării unităților de 4MB. Suportă până la 4 unități FDD. Bucla PLL de refacere a tactului de citire din șirul de date citite este integrată în circuit și admite viteze de transfer de 250, 500 și 1000 Kbps.

Portul paralel implementează standardul IEEE 1284, mod standard, EPP și ECP, cu o viteză de transfer până la 2MB/s și dispune de un buffer de 16 octeți pentru ECP (în mod ECP admite transfer DMA).

Portul serial include funcționalitatea a 2 circuite 16550, compatibile cu I8250 și 16450, cu un buffer de 16 octeți.

Interfața IDE generează semnale de selecție pentru unitățile de hard disc și integrează controlul bufferelor de transfer.

Sistemul de economie de energie, transparent pentru sistemul de operare poate lucra independent pentru fiecare echipament periferic.

Circuitul poate fi alimentat cu 5V sau cu 3,3V, dar admite și un mod mixt de alimentare cu 3,3V pentru logica internă și 5V pentru interfața cu FDD și interfața paralelă, pentru compatibilitatea cu unitatea FDD și standardul IEEE 1284.

O schemă bloc de conectare pe magistrala ISA este dată în figura 1.9.:

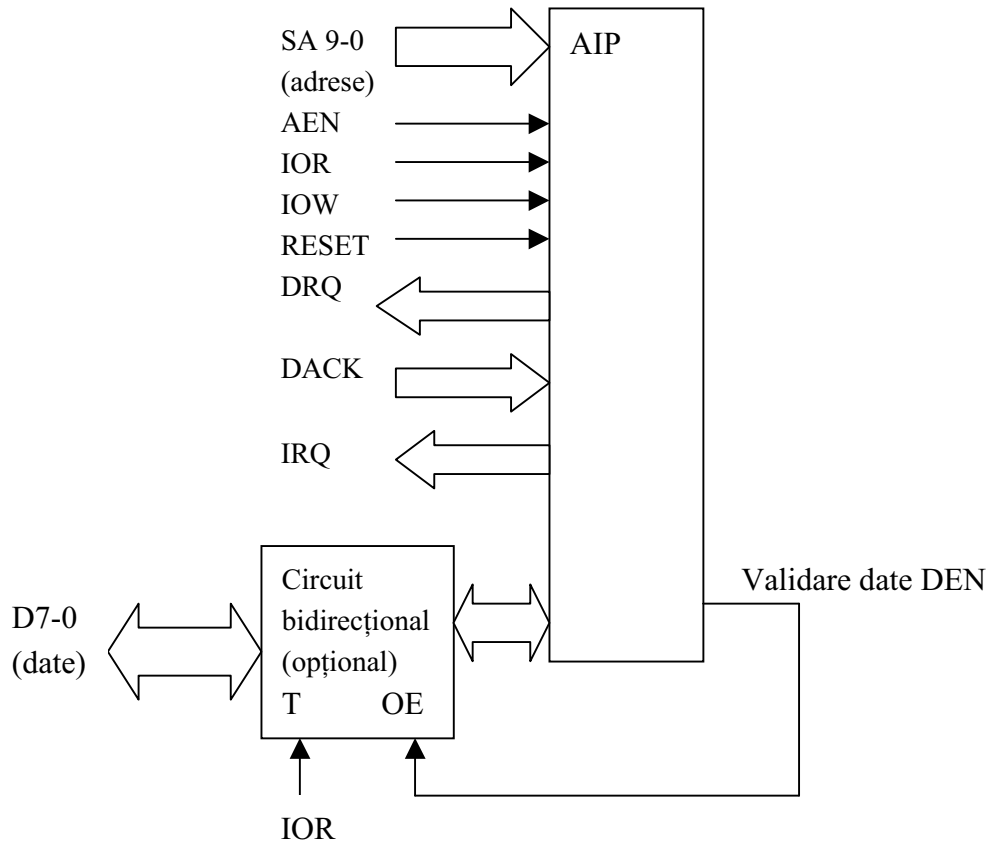


Fig. 1.9. Schema bloc de conectare a AIP pe magistrala ISA

Programarea circuitului

Se poate face în 2 moduri:

- Configurare hardware
- Configurare cu registre

Configurarea hardware se realizează la punerea sub tensiune cu anumite nivele logice la anumiți pini ai circuitului. Pentru sistemul standard (cu opțiuni obișnuite) este suficientă configurarea hardware. Prin configurarea hardware se stabilește:

- Adresa ISA a registrului de configurare software și validarea sau invalidarea accesului la acest registru;
- Validarea sau invalidarea FDD, precum și adresa (unitate 0 sau 1) și numărul de unități (2 sau 4);
- Validarea sau invalidarea IDE precum și adresa (primar sau secundar);
- Selecția tensiunii de alimentare (3,3V sau 5V);
- Adresa porturilor seriale (COM1, COM2, COM3, COM4) și linia de întrerupere alocată (IRQ3 sau IRQ4);
- Adresa portului paralel (LPT1, LPT2) și linia de întrerupere alocată (IRQ, IRQ7) și modul de lucru (ISA, PS2, standard, EPP, ECP).

Prin configurarea cu registre se pot configura funcții comune sau funcții specifice unui anumit tip de interfață. Circuitul are 13 registre de configurare, fiecare registru de 8 biți ocupând 2 adrese, una pentru configurare și cealaltă pentru transferul de date. La inițializare registrele sunt setate cu valori implicite. Adresa de bază de configurare este stabilită prin configurarea hardware.

Schema din figură este o schemă standard de cuplare la ISA. Izolarea liniilor de date de liniile de date ISA se poate face cu un circuit driver bidirecțional. AIP generează intern semnalul DEN pentru validarea acestui circuit.

Observație:

Programarea interfeței cu FDD se face la fel ca și la circuitul I82077 (I8272), a interfeței seriale ca și la circuitul 16550 (I8250) etc.

1.2.Setul de circuite INTEL 820 pentru PENTIUM II și III

O schemă bloc simplificată a unei unități centrale construite pe baza acestui set de circuite este dată în figura 1.10.

Setul de circuite INTEL 820 conține în principal 2 circuite:

- Circuitul controller de memorie MCH (Memory Controller Hub) I82820, care realizează interfața cu placa video AGP, memoria RDRAM (RAMBUS) și controllerul ICH prin interfața hub specializată;
- Circuitul controller de I/O ICH (I/O Controller Hub) I82801, care realizează interfața cu magistrala PCI, dispozitivele IDE, dispozitivele USB, CODEC-ul AC97, cu circuitul SUPER I/O prin interfața LPC și cu dispozitive SMBus.

Setul de circuite se completează cu un circuit LPC 47N227 (Super I/O) controller de floppy, canal serial, și interfață paralelă.

La noile sisteme magistrala ISA a pierdut din importanță, așa încât la acest set de circuite controllerul de ISA este opțional. A crescut în schimb ponderea noilor tipuri de interfețe, cum ar fi AGP, LPC, USB sau AC97.

Comunicația controllerului de memorie cu procesorul se face printr-o magistrală de date (64 de biți) și adrese (32 de biți) AGTL+.

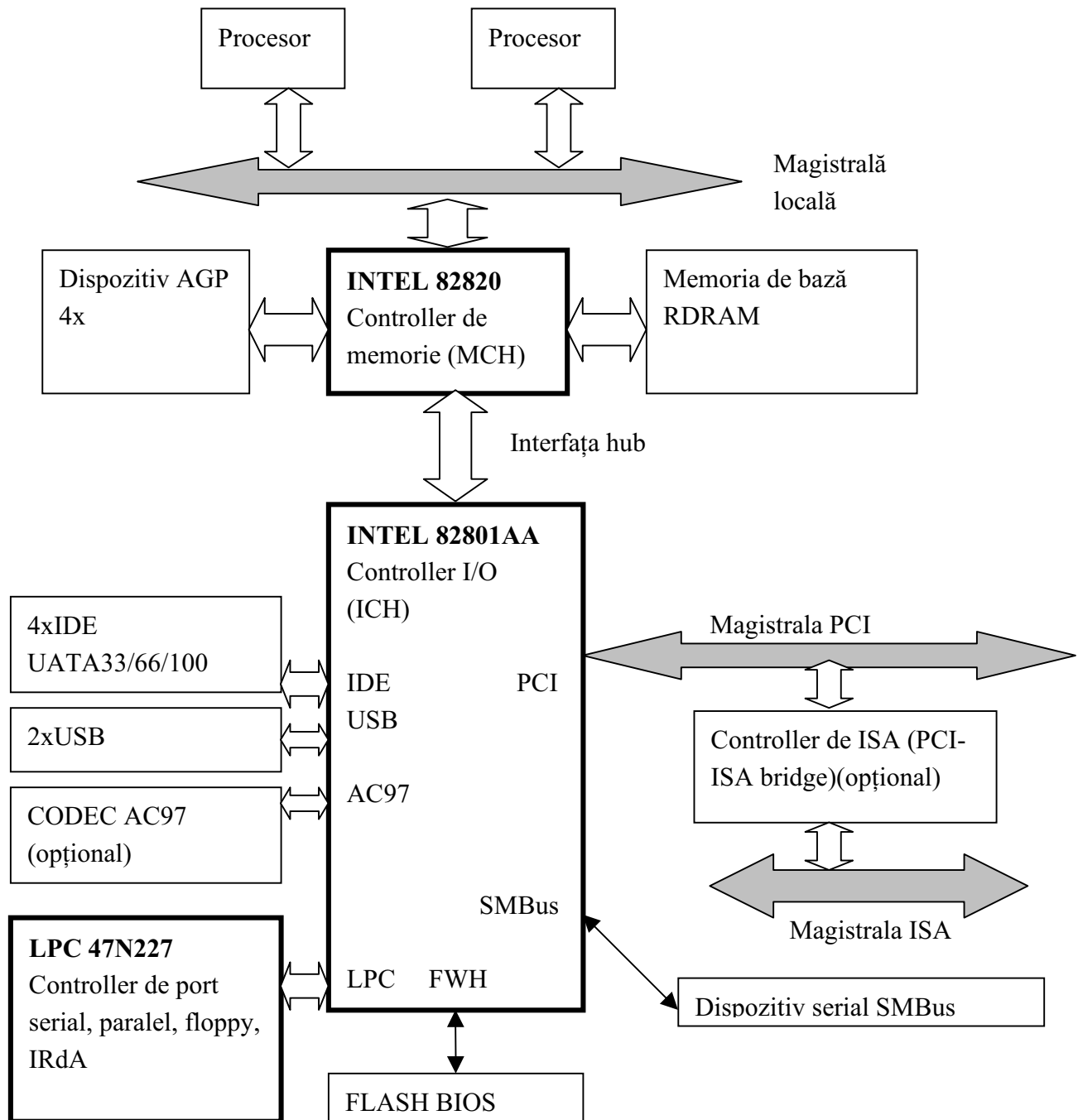


Fig.1.10. Schema bloc a unei plăci de bază cu chipset-ul INTEL 820

Noutățile introduse de acest set de circuite impun câteva precizări.

Interfața AGP (Accelerated Graphics Port)

AGP este o interfață de mare viteză între chipset și controllerul video. Texturile imaginii video sunt stocate în memoria sistemului și sunt trimise direct în memoria locală. Avantajele AGP sunt viteza mare de transfer de maxim 2100Mbytes/s față de 132Mbytes/s la PCI și descongestionarea magistralei PCI de traficul cu placa video.

Schema bloc a transferului de date AGP este dată în figura 1.11:

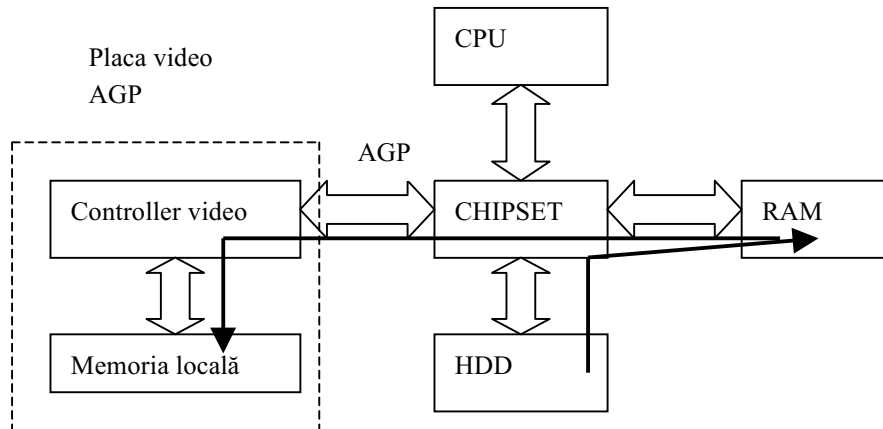


Fig. 1.11. Schema bloc a transferului de date cu AGP

Texturile sunt încărcate de pe hard și stocate în memoria RAM de bază a sistemului. De acolo ele pot fi mutate prin AGP în memoria locală a controllerului video. Se reduce astfel cantitatea de memorie locală necesară stocării texturilor (care sunt necesare în număr mare pentru a asigura o calitate și diversitate mare a imaginilor). Segmente din memoria RAM de bază pot fi alocate dinamic de sistemul de operare pentru memoria video numită ne-locală (localizată în memoria RAM de bază).

Transferul de date AGP se face pe 32 de linii de date și adrese multiplexate, 8 linii de adrese suplimentare și linii de comenzi.

În timpul inițializării, sistemul de operare alocă pentru AGP pagini de 4 Kocteți în memoria de bază. Aceste pagini pot să nu fie în continuare, dar controllerul video lucrează cu memorie continuă. De aceea există un mecanism de remapare prin translatarea adreselor virtuale în adrese fizice.

O porțiune a memoriei de bază numită "Aperture" este folosită și de unitatea centrală și de controllerul grafic. Mărimea acestei porțiuni, setabilă în BIOS este între 64M și 256Mocteți.

Ca și PCI, și interfața AGP admite modul de transfer în salvă (burst) (un transfer în serie de mai multe cuvinte de date ca răspuns la o singură cerere). Transferul texturilor din memoria de bază spre controllerul video poate decurge în 2 moduri:

- Mod "pipe", se suprapune o cerere peste cererea în execuție;
- Mod "Sideband" prin utilizarea a 8 linii suplimentare de adrese cu care se poate adresa o zonă în timp ce se transferă date din altă zonă.

Ambele metode duc la micșorarea timpilor de așteptare și la mărirea vitezei de transfer.

Specificațiile AGP:

- 2.0 definește o interfață la 3,3V cu viteze 1x și 2x și la 1,5V cu viteze de 1x, 2x, 4x.
- 3.0 definește o interfață la 0,8V cu viteze 4x și 8x care atinge o viteză de transfer de 2,1Gbytes/s.

Transmisia semnalelor AGTL+ (Assisted Gunning Transceiver Logic)

Frecvența la care lucrează magistrala procesoarelor (100 și 133MHz) duce la apariția unor probleme importante de transmisie a semnalelor. AGTL+ este un standard de transmisie a semnalelor pe linie care asigură o margine de zgomot mare și oscilații reduse. Circuitele interne ale procesorului de interfață cu magistrala conduc

ieșirile spre magistrală la tensiunea V_{core}^* pe o perioadă de 1 tact după tranziția ieșirii corespunzătoare din 0 în 1 sau din 1 în 0. Aceste ieșiri pot fi considerate cu drena în gol și au nevoie de o terminație (terminator) de adaptare.

Intrările AGTL+ sunt receptoare diferențiale care au nevoie de o tensiune de referință, V_{ref} . Prin comparație cu V_{ref} se stabilește nivelul logic al semnalului recepționat. V_{ref} este generat de procesor, dar tensiuni de referință trebuie să fie generate de toate dispozitivele cuplate la magistrală. Terminatoarele sunt de fapt rezistoare cuplate la ambele capete ale liniei de transmisie, țin linia de transmisie la nivelul de sus al tensiunii și sunt folosite pentru adaptarea de impedanțe (evitarea reflexiilor). Există și arhitecturi cu un singur terminator cuplat la unul dintre capetele liniei. Procesoarele PIII conțin integrate rezistențele de adaptare.

Topologia AGTL+ pentru un sistem dual procesor este dată în figura 1.12.:

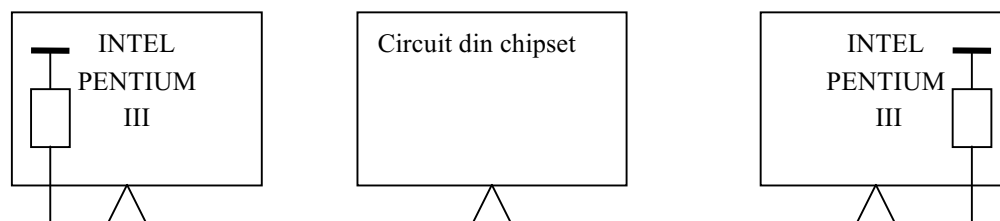


Fig. 1.12. Topologia AGTL+ pentru un sistem dual procesor

În circuite cu un singur procesor adaptarea nu este tot atât de bună, așa încât este nevoie de o simulare a transmisiei pe linie pentru ca proiectantul să se asigure de funcționarea corectă a transmisiei pe linie.

Memoria RAMBUS

Viteza procesoarelor crește în permanență, așa încât și memoria trebuie să devină din ce în ce mai rapidă. Memoria RAMBUS are față de SDRAM următoarele îmbunătățiri:

- Calea de date este de 2 octeți;
- Ceasul este de 400MHz;
- Un protocol de transfer mai eficient.

O memorie RAMBUS asigură o viteză de transfer reală de 3 ori mai mare la un preț apropiat față de o memorie SDRAM PC100.

Creșterea de viteză a memoriei RAMBUS se datorează și specificațiilor care sunt mult mai restrictive decât la SDRAM, unde variațiile de timp permise de specificații duc la încetinirea globală a funcționării. Alte motive de creștere a vitezei sunt realizarea tehnologică și proiectarea atentă, care au ca urmare un grad mare de integrare, linii de transmisie scurte și de calitate, nivele mici de tensiune, intrări diferențiale, tact diferențial, transmisii în curent etc. Interfața cu procesorul conține doar 30 de semnale de viteză mare, pe linii de transmisie adaptate.

Nivelele de tensiune folosite la RAMBUS sunt date în figura 1.13.:

- Procesoarele realizate în tehnologie MMX sunt alimentate cu 2 tensiuni, $V_{i/o}$ de 3,3V care alimentează circuitele de I/O și V_{core} între 2,1V și 3,3V care alimentează miezul procesorului.

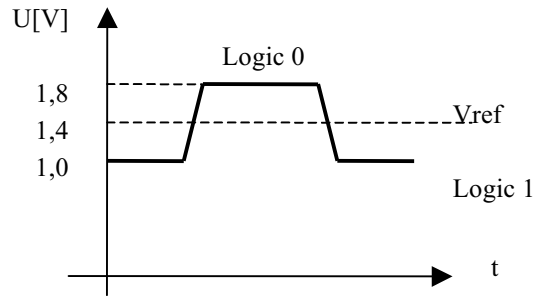


Fig. 1.13. Nivelele de tensiune folosite de RAMBUS

Vref este generat cu un divizor rezistiv și se creează pentru fiecare dispozitiv, minimizând efectele parazite de mod comun. Excursia de tensiune a semnalului este de doar 0,8V, ceea ce contribuie la mărirea vitezei de transfer. Schema de conectare a memoriei RAMBUS este dată în figura 1.14:

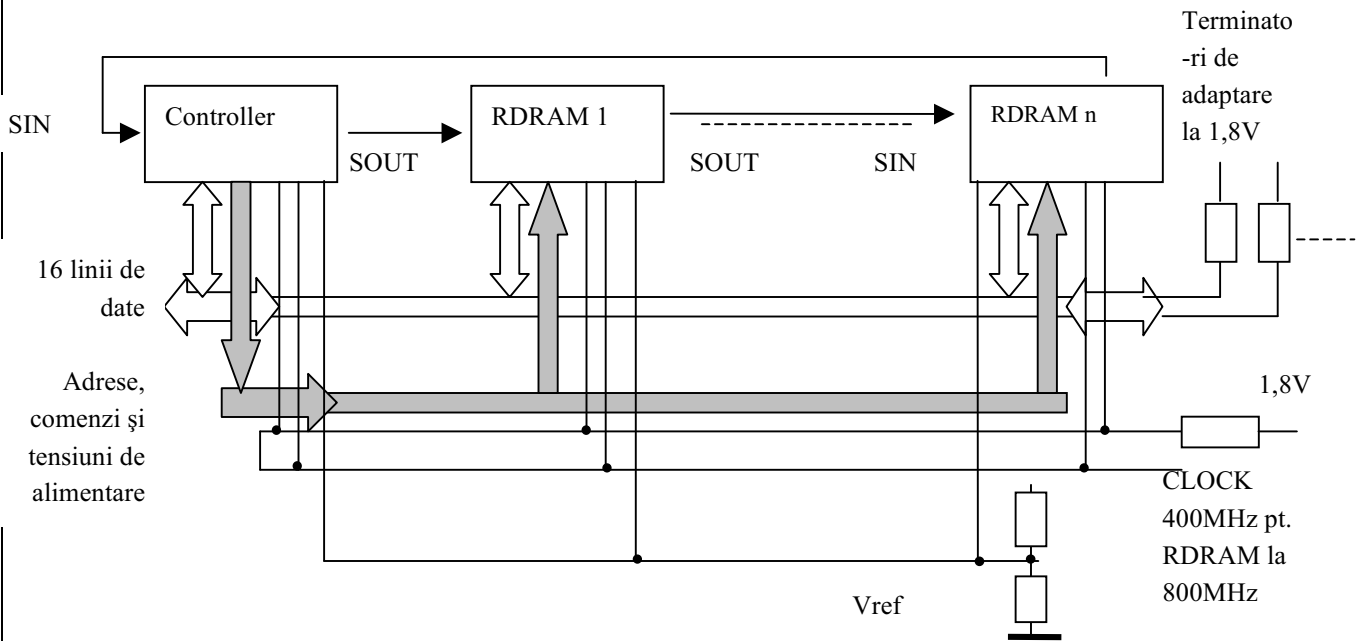


Fig. 1.14. Schema de conectare a memoriei RAMBUS

Viteza de transfer a datelor se referă la transferuri în salvă. Controllerul asigură un transfer pipeline. Un modul de memorie RAMBUS se numește RIMM. Programarea RDRAM se face cu semnalele SIN-SOUT de la controller.

1.2.1. Controllerul de memorie (MCH)

Controllerul INTEL 82820 (Memory Controller Hub) conține interfața cu procesorul, interfața cu memoria RAM, interfața I/O și interfața AGP. Circuitul este optimizat pentru lucrul cu procesoare INTEL PII și PIII cu FSB (Front Side Bus) de 100MHz și 133MHz și poate lucra cu unul sau 2 procesoare (într-o arhitectură dual procesor). Circuitul poate lucra cu memoria RDRAM de tip DIRECT RAMBUS cu frecvența de PC600 (300MHz), PC700 (350MHz) și

PC800 (400MHz), cu capacități până la 4Gbyte cu circuite de 256Mbit. Interfața AGP 2.0 poate asigura transferuri la viteze 1x, 2x, 4x.

Schema bloc a circuitului este dată în figura 1.15:

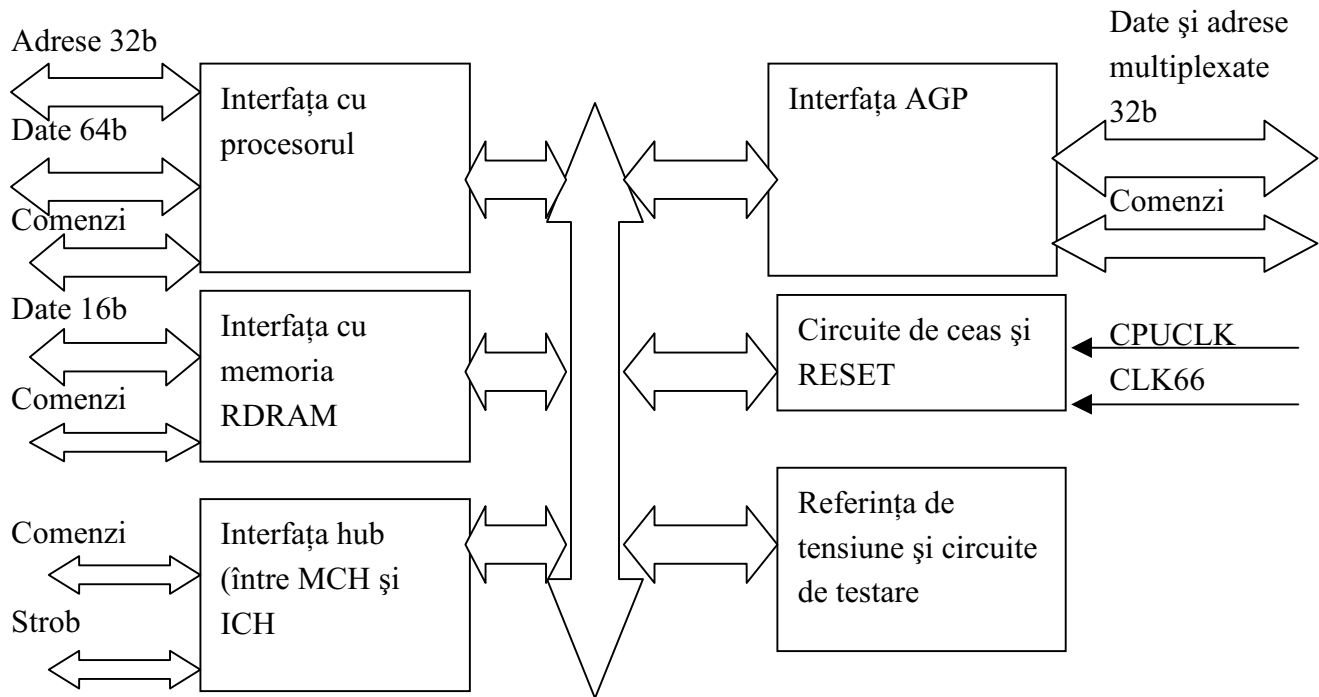


Fig. 1.15. Schema bloc a circuitului MCH

Interfața cu procesorul se face cu semnale AGTL+ cu un singur terminator la sistemele uniprocessor. Se pot adresa maximum 4GB de memorie. MCH poate lucra cu memorie RAMBUS (RDRAM) pe un singur canal, adresările la mai mult de 4GB neavând nici un efect (sunt ignorate). MCH conține o stivă de 6 cuvinte de adresă pentru a permite lucrul ”pipeline”.

Ciclurile de I/O inițiate de procesor pot fi cu interfața AGP, cu interfața hub (trimise spre controllerul I/O) sau cu spațiul de configurare a MCH. Ciclurile de memorie inițiate de procesor pot fi cu interfața AGP, cu interfața hub sau cu memoria RDRAM.

Procesoarele PII și PIII au integrat și al doilea nivel de memorie Cache, deci procesorul se ocupă de gestionarea memoriei Cache. Dacă informația solicitată de procesor nu este în Cache, MCH comandă citirea unei linii (32 de octeți) din RDRAM.

MCH poate lucra cu 2 procesoare cu protocolul Symmetric Multiprocessor Protocol (SMP).

Interfața AGP permite transferuri de date între dispozitivul AGP și RDRAM direct, fără ca datele să treacă prin procesor. Circuitul MCH are sarcina de a asigura coerența între memoria Cache și memoria RDRAM în condițiile unui transfer direct AGP.

Interfața (canalul) cu RDRAM constă în 33 de semnale, din care 30 sunt semnale cu nivele RDRAM, iar 3 cu nivele CMOS. MCH poate lucra cu RDRAM pe 16 biți sau cu RDRAM

care include control de paritate (18 biți). Programarea memoriei RDRAM se face serial cu semnalele SIN și SOUT, alături de liniile SCK (ceas serial).

Toate rândurile RDRAM trebuie reîmprospătate în 32 ms, această sarcină fiind îndeplinită de MCH. Datorită variațiilor de mediu este nevoie de calibrarea curentului dispozitivelor cuplate prin canalul RDRAM. Fiecare dispozitiv trebuie calibrat odată la 100ms. MCH admite 2 operații diferite de calibrare:

- calibrare internă pentru bufferele de interfață cu RDRAM;
- calibrare a fiecărui modul RDRAM o dată la 100ms.

Pentru economia de energie circuitele RDRAM admit o comandă de “Power Down” în care ceasul este suspendat fiind activă doar reîmprospătarea. În acest mod de lucru este posibil ca RDRAM să-și asigure reîmprospătarea pentru ca MCH să poată intra într-un mod de economie de energie.

Circuitele RDRAM pot asigura controlul de paritate dar, la variantele mai sofisticate pot asigura și protecția prin ECC (Error Checking and Correcting). O eroare de paritate sau ECC va produce o eroare NMI către procesor.

Modulele RDRAM au propria protecție la creșterea temperaturii în 2 variante:

- Senzor de temperatură pe modul;
- Numărător de citiri / scrieri, cu ajutorul căruia se poate estima temperatura indirect, în funcție de trafic.

Circuitul MCH admite lucrul cu economie de energie conform specificațiilor APM (Advanced Power Management). Nivelele de funcționare sunt:

- C0- starea activă în care rulează un program, toate ceasurile merg și procesorul este activ în totalitate;
- C1- starea de HALT, după ce procesorul a executat o instrucțiune de HALT. Procesorul nu mai execută instrucțiuni, dar o parte a funcțiilor lui sunt încă active. Procesorul menține în această stare coerența memoriei Cache.
- C2- starea de STOP în care procesorul menține doar coerența memoriei Cache.

Programarea circuitului se face prin 2 seturi de registre accesibile de procesor în spațiul de I/O:

- Registre de control care controlează accesul la spațiul de configurare PCI și AGP;
- Registre de configurare PCI care se ocupă de configurarea a 2 dispozitive logice:
 1. Dispozitivul 0 este interfața hub (Host-Hub Interface) și interfața cu RDRAM (RDRAM Bridge);
 2. Dispozitivul 1 este interfața AGP (Host-AGP Bridge).

Registrele de configurare și cele de control pot fi pe 8, 16 sau 32 de biți. Ordinea este dată de regule “little- endian” adică adresa mai mică conține octetul mai puțin semnificativ. Registrele de configurare pot fi accesibile și pentru dispozitivele cuplate la magistrala PCI în ciclurile de magistrală specifice (Citire Configurare și Scriere Configurare). Registrele I/O sunt:

- CONF-ADDR (Configuration Address Register) conține adresa zonei de configurare;
- CONF-DATA (configuration Data Register) conține date pentru zona de configurare;

- DEVICE 0 – registre de configurare pentru interfața hub și RDRAM la adrese de la offset 00h la offset FFh;
- DEVICE 1 – registre de configurare pentru interfața AGP la adrese de la offset 00h la offset 40h.

1.2.2. Controllerul I/O ICH

Schema bloc a circuitului este dată în figura 1.16:

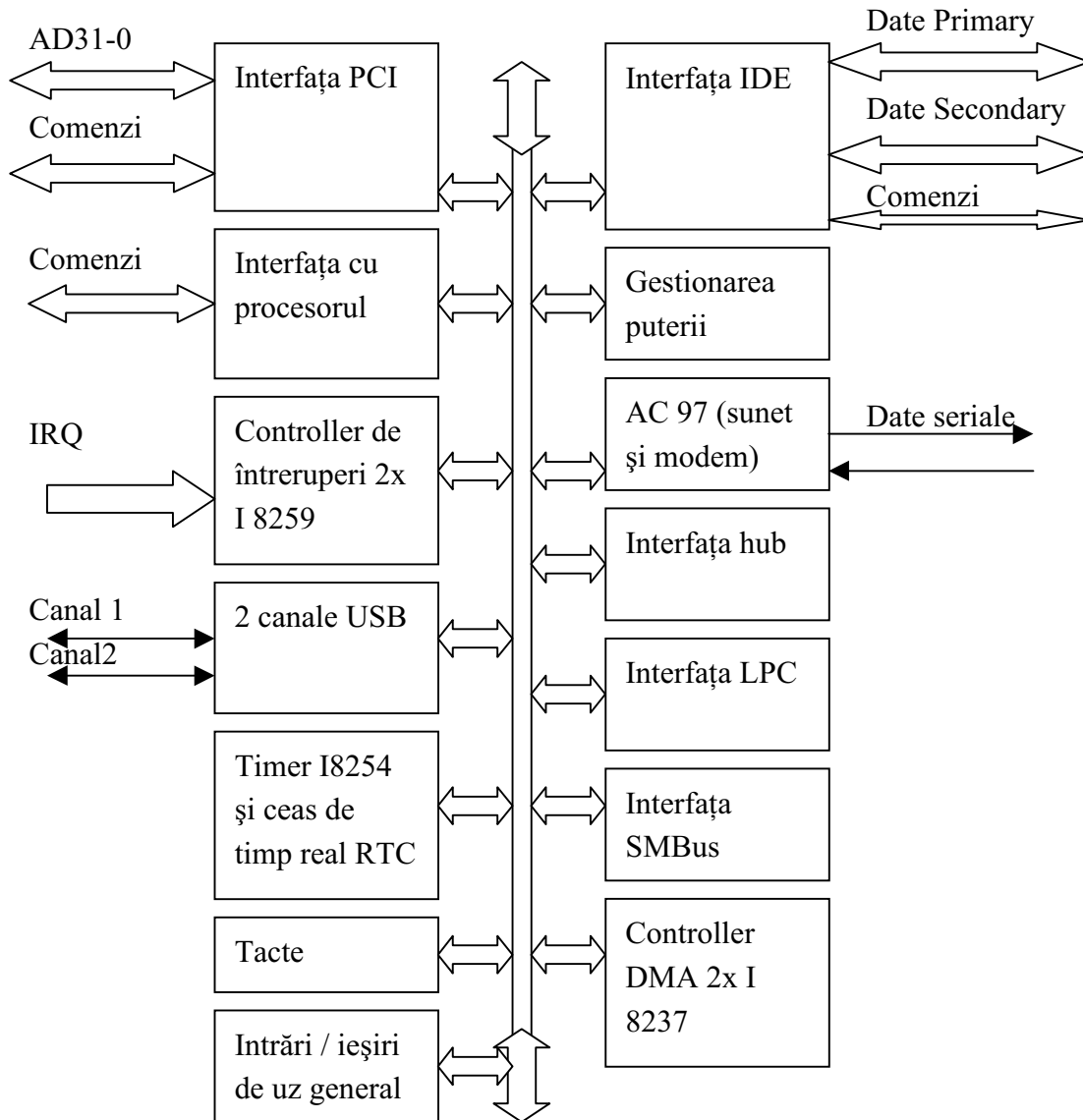


Fig. 1.16. Schema bloc a circuitului ICH

Circuitul ICH (I/O Controller Hub) INTEL 82801A se ocupă de majoritatea funcțiilor de I/O din sistemele PC actuale. Comunicația cu MCH se realizează prin interfața dedicată între hub-uri.

Interfața cu magistrala PCI suportă un tact de 33MHz, ceea ce înseamnă o viteză maximă de transfer de 133Mocteți/s. Interfața IDE conține 2 canale independente (Primary și Secondary) la care se pot cupla pe fiecare maximum 2 unități IDE, viteza maximă de transfer la Ultra ATA 33 fiind de 33Mocteți/s iar la Ultra ATA 66 este de 66Mocteți/s. Transferul IDE nu folosește liniile DMA din controllerul DMA, ci un sistem propriu. Blocul IDE conține 16 buffere de 32 de biți pentru transferul de date.

Interfața USB conține 2 canale la care se pot cupla inclusiv mouse USB sau tastatura USB (există software dedicat). De la canalele USB se poate intra în stare activă dacă circuitul este într-o stare de economie de energie.

Blocul de prelucrare a sunetului AC97 permite cuplarea unor codoare / decodoare a datelor audio provenite din surse audio sau modem. AC97 este o soluție elegantă de prelucrarea sunetului, blocul de prelucrare fiind inclus în ICH, evitând astfel cuplarea modemurilor și a plăcilor de sunet pe magistrală. La blocul AC97 se pot cupla 2 codoare / decodoare: unul audio și un modem, care pot fi integrate în același circuit (altul decât ICH) sau pot fi circuite separate. AC97 prevede legătura digitală între blocul de prelucrare din ICH și codoarele / decodoarele externe. Circuitul audio poate fi pe placa de bază, dar modemul se preferă să fie extern, cuplat pe o placă care intră într-un soclu special (CNR sau AMR) pentru că standardele liniilor telefonice diferă de la o țară la alta. Se realizează astfel un modem numit software, o soluție ieftină de conectare (care funcționează bine la sistemele cu procesor puternic).

Interfața LPC (Low Pin Count) este o interfață paralelă cu un număr mic de linii pentru interconectarea între ele a circuitelor din chipset, cu viteză mică de transfer, un fel de înlocuitor pentru magistrala ISA. Interfața LPC permite cuplarea unui controller de ISA sau a unui controller de floppy, canal serial și interfață paralelă.

Interfața SMBus permite cuplarea majorității magistralelor seriale sincrone, inclusiv I²C.

Blocul de intrări / ieșiri digitale conține 20 de linii de uz general (numărul de linii digitale libere diferă în funcție de configurarea ICH).

Blocurile compatibile cu vechile sisteme sunt controllerul DMA, timerul, controllerul de întreruperi care pot fi programate ca și circuitele de bază: I8237, I8254 și I8259.

Controllerul de întreruperi este format din 2 circuite I8259 cascade, permițând 15 linii de întrerupere. În plus față de controllerul de întreruperi compatibil ISA, circuitul include un controller de întreruperi APIC (Advanced Programmable Interrupt Controller) care poate fi folosit în sistemele multiprocesor.

Blocul DMA este format din 2 controllere I8237 cascade. ICH admite 2 tipuri de transfer DMA, transferul DMA prin LPC este similar cu transferul DMA ISA și transferul DMA PCI. Canalele DMA 0-3 sunt canale de 8 biți iar canalele 5-7 sunt de 16 biți.

Blocul de timp (timer) conține 3 numărătoare (structura și modul de programare al lui I8254), tactul de intrare fiind 14,3181MHz. Timerul are o ieșire pentru difuzorul sistemului. Ceasul de timp real conține un circuit Motorola MC146818A și are funcția de a reține timpul (ora, minut, secundă) și data sistemului. Memoria RAM afectată acestui scop are 256 de octeți. Tactul ceasului de timp real este de 32,768KHz iar alimentarea se realizează cu o baterie de 3V

care asigură un timp de funcționare de aproximativ 7 ani. Prin poziționarea unor biți în spațiul de configurare, anumite locații de memorie nu mai pot fi citite sau scrise pentru a asigura protecții la citiri neautorizate ale parolei.

Blocul de economie de energie conține atât moduri globale (pentru tot circuitul) cât și moduri individuale (pentru 14 dispozitive) (de exemplu suspendarea activității blocului IDE). Intrarea într-un mod de economie de energie poate fi comandat hard din exterior (independent de software) de un circuit de măsurare a temperaturii (ca protecție la depășirea temperaturii maxime de lucru).

ICH integrează câteva funcții destinate micșorării costurilor de punere la punct a sistemului de către utilizatorul circuitului (TCO Total Cost of Ownership). Aceste funcții se referă la tratarea erorilor, diagnoză și revenirea din blocări:

- Timer TCO destinat detectării blocărilor (asemănător cu WATCH DOG-ul (ceas de gardă)). Prima umplere a numărătorului generează un semnal care poate fi citit software și poate comanda abandonarea programului care blochează sistemul. A doua umplere produce un RESET al sistemului pentru că se presupune că a apărut o blocare hardware.
- Indicarea prezenței procesorului. După RESET procesorul încarcă prima instrucțiune, lucru detectat prin activitatea pe magistrală. Dacă nu se încarcă prima instrucțiune, ICH comandă un RESET, modificând anumiți parametrii (de exemplu scăderea frecvențelor de lucru).
- Raportarea erorilor de memorie se face de MCH care transmite către ICH faptul că a apărut o eroare, astfel încât ICH să poată cere o întrerupere de tratare a erorii.
- Invalidarea funcțiilor. ICH poate invalida modemul AC97, controllerul audio AC97, interfața IDE, interfața USB sau interfața SMBus. Odată invalidate, aceste dispozitive nu mai ocupă spațiu de I/O, memorie sau spațiu PCI de configurare, nu pot genera întreruperi și nu pot solicita intrarea (sau ieșirea) din moduri cu economie de energie.
- Semnal de detectare a intervențiilor, care poate fi atașat de exemplu ridicării capacului. ICH poate genera în acest caz o întrerupere.
- Pe busul SMBus se pot conecta sisteme de detectare serială a prezenței unor interfețe (SPD) sau dispozitive de măsurare a temperaturii.
- Ca urmare a unui eveniment TCO, circuitul ICH trimite un semnal prin SMBus care poate fi interpretat de controllerul de rețea și trimis către administratorul de rețea. Acest mod de lucru (depanare la distanță) permite ca mesajele de eroare să poată fi interpretate chiar dacă sistemul nu funcționează.

Programarea circuitului ICH se face cu registre localizate în spațiul de I/O al procesorului, în spațiul de memorie și în spațiul de configurare al PCI.

În spațiul de I/O, adresele registrelor pot fi fixe sau variabile. Din perspectiva procesorului, adresele fizice de I/O sunt în zona 000h-CF9h. De exemplu zona 170h-177h este alocată pentru IDE Primary, 1F0h-1F7h IDE Secondary, 080h-08Fh este alocată controllerului DMA, 050h-052h timer, (adrese standard PC) etc.

Adresele variabile sunt obținute cu un registru de bază de adresare Base Address Register (BAR), și nu trebuie să intre în conflict cu adresele fixe. De exemplu AC87 Modem are alocați 256 de octeți de programare /date oriunde în spațiul de I/O de 64K, portul paralel are alocați 8 octeți, portul serial 8 octeți etc.

Registrul BAR este transmis în spațiul de configurare PCI. Când ICH recunoaște un ciclu de configurare proprie execută configurarea, iar când un ciclu de configurare se referă la LPC (cum ar fi programarea portului paralel, serial sau FDD) redirectează acest ciclu către LPC (la care este conectat SUPER I/O).

În spațiul de memorie (din perspectiva procesorului) se poate vedea și memoria FLASH BIOS atașată lui ICH într-o anumită zonă de memorie.

1.2.3.Circuitul SUPER I/O LPC 47N227

Circuitul SUPER I/O este un controller de periferice care utilizează pentru legarea la ICH o interfață LPC (Low Pin Count), care este de fapt asemănătoare cu magistrala ISA, doar că are mai puțini pini.

Circuitul are schema bloc dată în figura 1.17.:

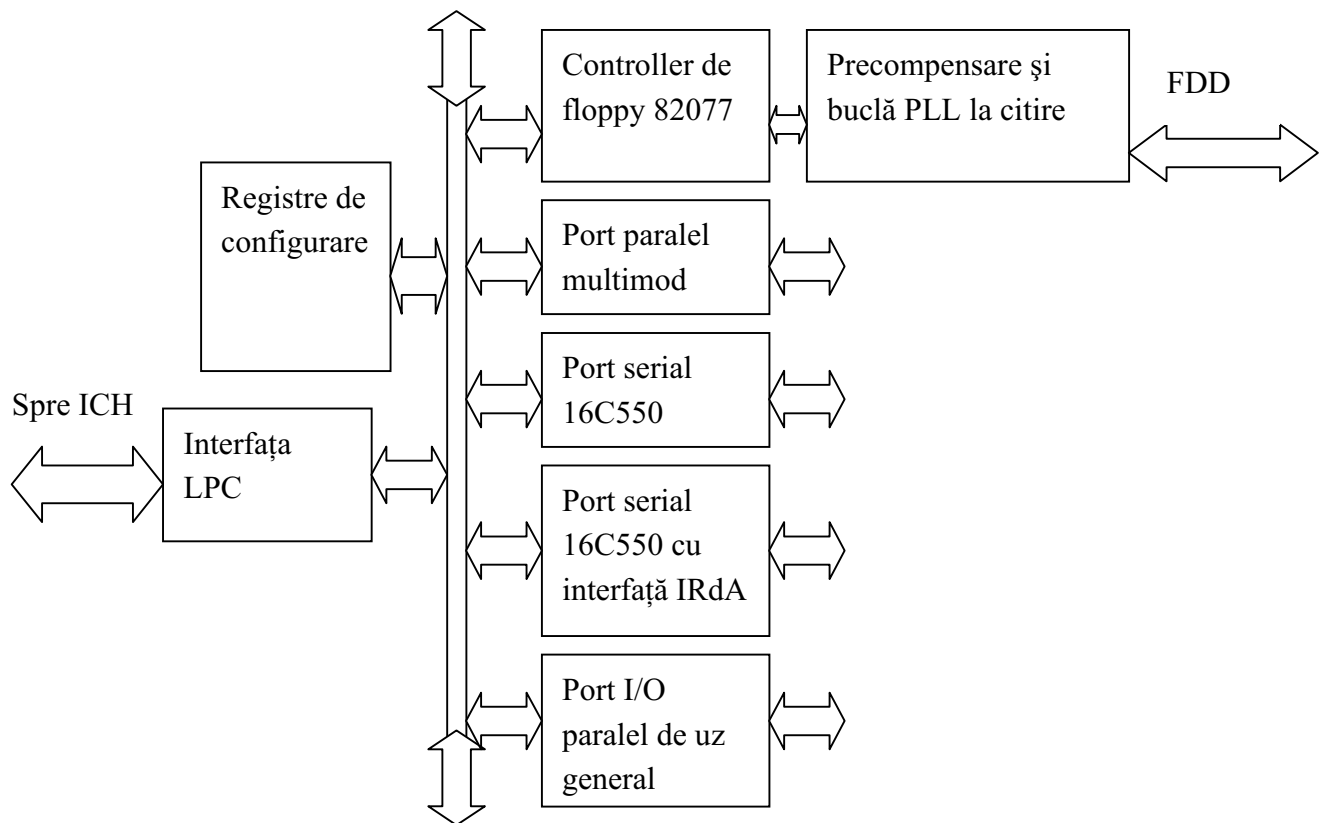


Fig. 1.17. Schema bloc a circuitului SUPER I/O

Circuitul încorporează un controller de floppy compatibil 82077, 2 canale seriale compatibile 16C550 și un port paralel. Circuitul nu are nevoie de componente externe pentru filtre. SUPER I/O permite mai multe moduri de lucru cu economie de energie. Adresele de I/O, canalele de întrerupere și DMA pot fi schimbate pentru fiecare periferic prin registrele de configurare interne.

Fiecare bloc care administrează un periferic are alocată o zonă de adresare în spațiul I/O. O zonă specială este cea de configurare. Toate registrele de configurare sunt de 8 biți.

Transferul de date cu procesorul se realizează prin interfața LPC (prin intermediul circuitului ICH). Interfața LPC are 4 biți de date, adrese și comenzi multiplexate, un semnal de RESET, un semnal de intrare în regim de economie de energie și un pin de tact (tact PCI). Transferul se realizează prin cicluri I/O sau cicluri DMA. Toate transferurile sunt pe 8 biți, iar dacă procesorul solicită transferuri pe 16 sau 32 de biți, circuitul ICH împarte datele în octeți.

Interfața cu unitatea FDD este compatibilă XT/AT și se bazează pe controllerul I82077, suportă maximum 2 unități FDD și conține inclusiv blocurile de separare a datelor de tact cu buclă PLL și precompensarea la scriere. Comanda și programarea controllerului se realizează cu 8 registre.

SUPER I/O include 2 blocuri de transfer serial asincron, compatibile cu I8250, 16450 și 16C550 și realizează serializarea/ deserializarea datelor și transmiterea lor cu o rată de transfer de la 50Bd la 460,8KBd. Programarea se face cu registre standard, primul registru de programat fiind LCR din care bitul DLAB selectează semnificațiile următoarelor registre. Circuitul conține o interfață IrDA cu mai multe protocoale integrate. Viteza maximă de transfer este de 4Mbps folosind tehnica PPM (Pulse Position Modulation).

Portul paralel include modurile de operare (standard IEEE 1284) SPP, EPP și ECP. Programarea acestui bloc se realizează cu 8 registre.

Modul de economie de energie este posibil pentru FDD, canalele seriale și portul paralel și are 2 variante:

- Oprire directă, se face prin poziționarea unui bit într-un registru de comandă al modului de economie;
- Auto oprire, se face când un timer ajunge la sfârșitul numărării și nu s-a înregistrat nici un eveniment în blocul respectiv.

Accesul la registrele de configurare este permis și când circuitul este în modul de economie.

Circuitul este prevăzut cu 29 de semnale de I/O de uz general. Fiecare semnal este comandat de un bit poziționabil individual.

1.3.Setul de circuite KT133 pentru procesoare AMD K7 ATHLON

Acest set de circuite este destinat noilor procesoare AMD K7 ATHLON cu soclu Socket A și FSB de 200MHz. Setul de circuite este format din 2 circuite:

- VT 8363 controller de sistem (North Bridge);
- VT 82C686A controller de I/O, sau punte PCI/ISA (South Bridge).

Schema bloc a unei plăci de bază echipată cu acest set de circuite este dată în figura 1.18:

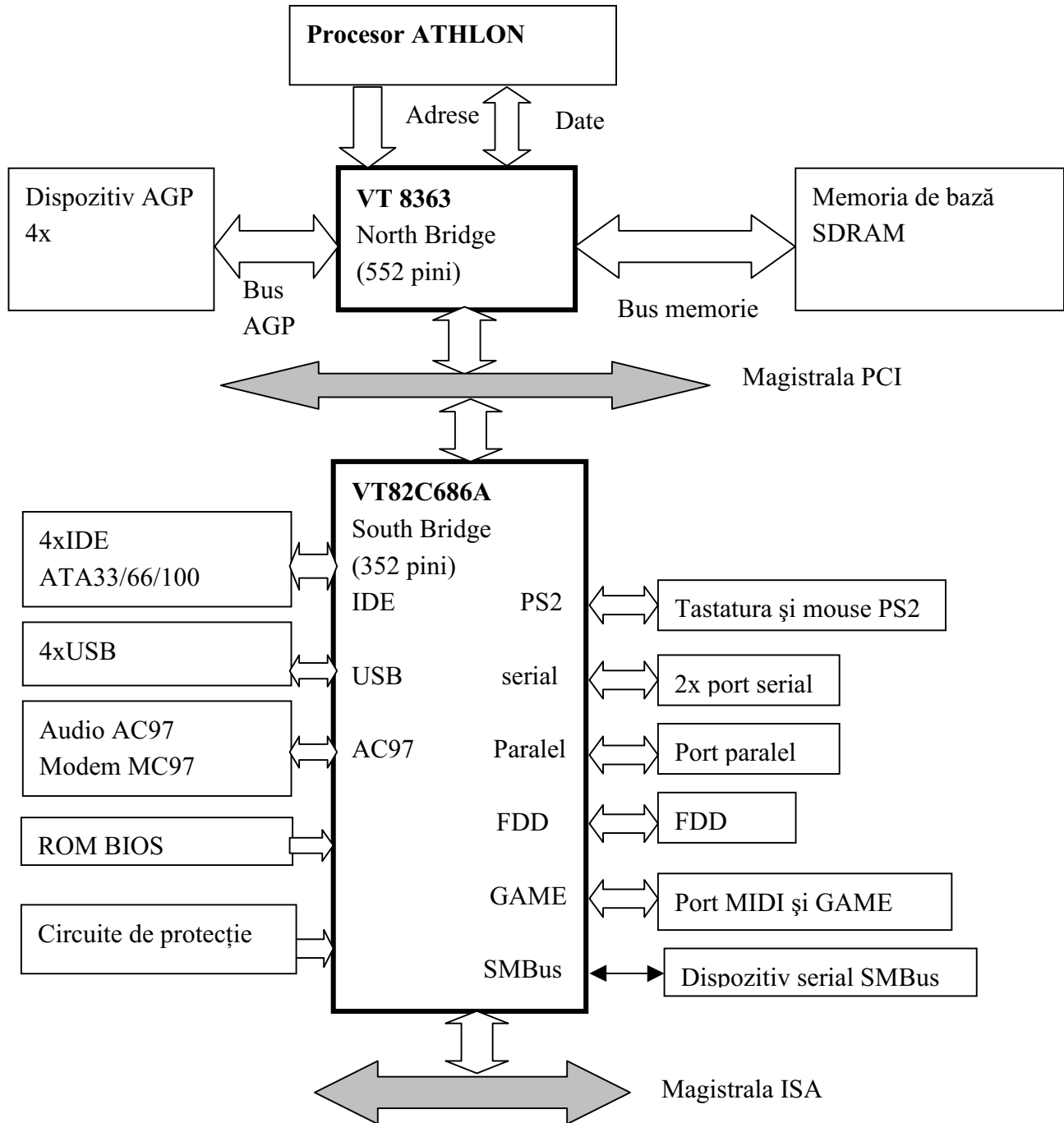


Fig. 1.18. Schema bloc a unei plăci de bază cu setul de circuite KT133

Circuitul VT 8363 are următoarele funcții:

- Controller de memorie DRAM, el suportând până la 1,5GB memorie DRAM sincronă (SDRAM) cu frecvențe de 66, 100 sau 133 MHz, cu zero stări de WAIT;
- Controller AGP conform AGP v 2.0 la viteze de 1x, 2x, 4x, cu SBA (Side Band Addressing) și mod pipeline. Pentru accelerarea transferului circuitul conține o stivă FIFO de 16 cuvinte de 4 octeți;
- Controller PCI, având integrate buffere pentru ca să poată avea loc transferuri simultane între procesor, magistrala AGP și magistrala PCI;
- Interfața cu procesorul este pe 64 de biți de date, magistralele AGP și PCI sunt pe 32 de biți de date iar magistrala de memorie este pe 64 de biți de date;
- Interfața cu procesorul este su semnale HSTL (High Speed Transceiver Logic).

Circuitul VT 82C686A are următoarele funcții:

- Punte între PCI și ISA, cu buffere pe 4 nivele (cuvinte de 16 biți), admite atât transfer DMA PCI cât și DMA ISA având integrat controller DMA;
- Controller de tastatură și mouse PS2;
- Ceas de timp real compatibil DS 12885 cu 256 octeți RAM;
- Controller IDE;
- Controller USB cu 4 porturi;
- Sistem de economie de energie compatibil ON NOW și ACPI;
- Interfață AC97 / MC97 pentru un codec audio și un codec de modem;
- 2 porturi seriale compatibile 16550 cu unul dintre porturi IrDA;
- Port paralel cu mod EPP /ECP;
- Interfață cu unitatea de FDD;
- Interfață cu portul de jocuri și portul pentru instrumente muzicale MIDI;
- Interfață serială SMBus (System Management Bus);
- Controller de întreruperi care admite și modul de lucru APIC;
- Sistem de protecție hardware care monitorizează nivelele de tensiune ale sursei, temperaturi și turațiile ventilatoarelor.

Ambele circuite admit alimentare separată cu 5V și 3,3V.

Transmisia semnalelor HSTL (High Speed Transceiver Logic)

Standardul HSTL nu specifică tensiunile de alimentare ale dispozitivelor cuplate, realizând astfel o interfață independentă de proces. Structura HSTL solicită ca intrările să fie diferențiale iar în cazul intrării singulare, una din intrări să fie legate la o tensiune de referință. Ieșirile (etajul de ieșire) folosesc o alimentare care poate fi diferită de tensiunea de alimentare a circuitului.

Gama de tensiuni pentru HSTL este de la 0V la 1,5V, tensiunile mici asigurând putere disipată mică și probleme mici de interferență electromagnetică (EMI). Frecvența maximă de lucru pentru HSTL este de circa 200MHz. Pentru a minimiza reflexiile și interferența, liniile trebuie adaptate cu terminatori. HSTL este asemănător cu AGTL.

1.4. Setul de circuite INTEL 845 pentru PENTIUM 4 și CELERON

Schema bloc a unei plăci de bază cu setul de circuite INTEL 845 pentru procesoare PENTIUM 4 și noile procesoare CELERON este dată în figura 1.19.:

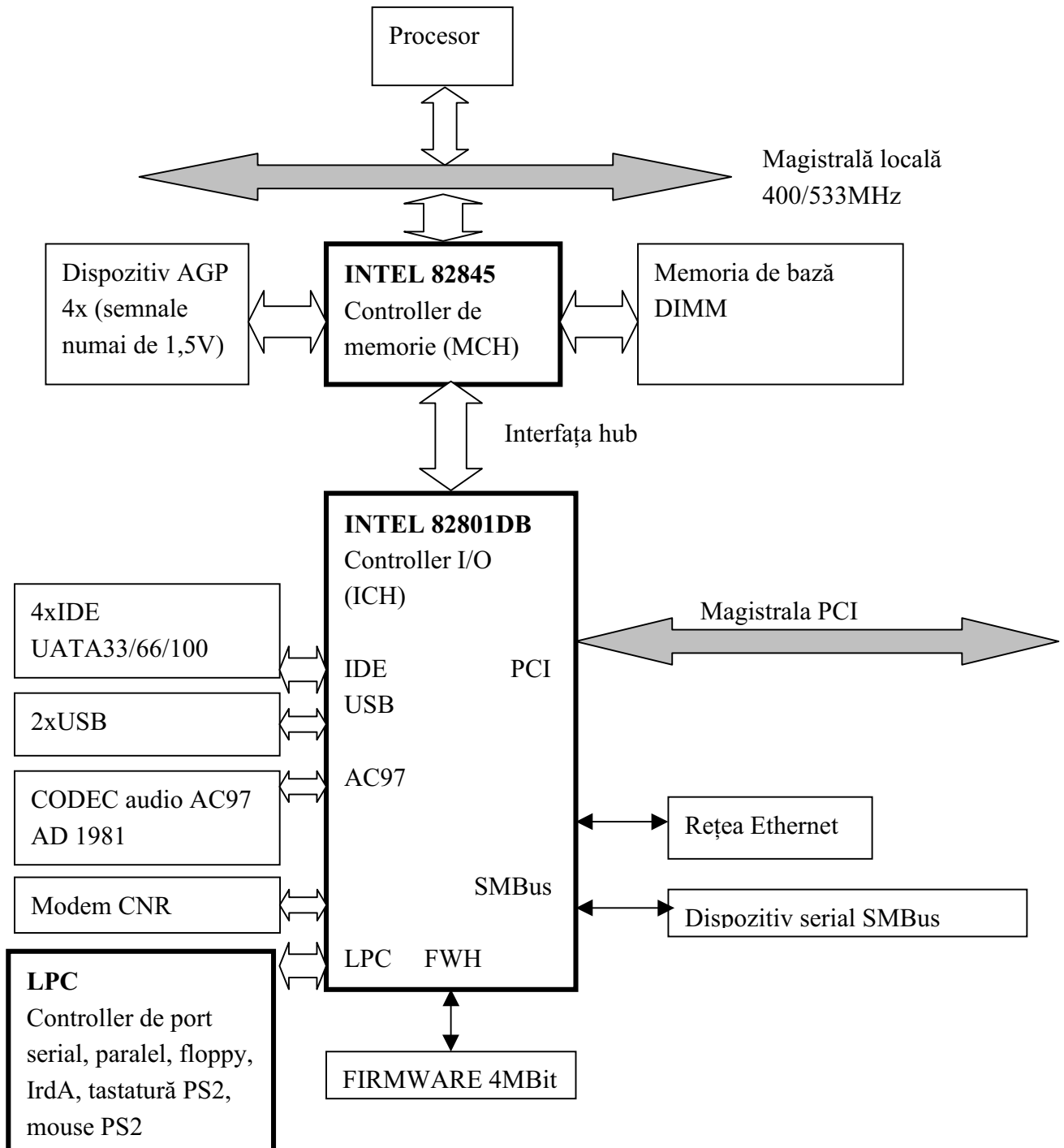


Fig. 1.19.: Setul de circuite INTEL 845

Se poate constata că setul de circuite INTEL 845 este foarte asemănător cu INTEL 820. Magistrala ISA pierde din importanță și nu mai apare nici ca opțională la acest set de circuite. Apare în schimb suport pentru rețea Ethernet. Interfața LPC apare și la acest set de circuite. La acest set de circuite INTEL a renunțat la memoriile RDRAM, echipând cu memorii normale SDRAM (DIMM). Conectorul AGP permite cuplarea doar la nivele de tensiune de 1,5V (AGP 4x). Conectarea vechilor plăci video poate duce la distrugerea interfeței.

Concluzii:

Setul de circuite KT 133 realizează cu un grad de integrare mai mare toate funcțiile necesare unei plăci de bază cu magistrală PCI și ISA, reducând numărul de circuite de la 4 (la INTEL820) la numai 2. De altfel, VIA a construit și un set de circuite pentru procesoarele PENTIUM II și III, numit VIA APOLLO 133, set de circuite reușit care la un preț inferior setului furnizat de INTEL a avut succes pe piață. Pentru PENTIUM 4 INTEL a conceput seturile de circuite INTEL 845 și INTEL 850, dar și VIA a scos pe piață cu o mică întârziere setul de circuite VIA P4, ceea ce constituie o bună ilustrare a concurenței pe piața de seturi de circuite. Această luptă este o reflexie a luptei de pe piața procesoarelor între P4 și K7 ATHLON. Procesorul K7, la performanțe egale cu P4 dar prețuri mai mici a ocupat un segment de piață important, mai ales la utilizatorii casnici. Proiectanții de seturi de circuite au trebuit să construiască circuite care să susțină performanțele procesorului. Astfel, după apariția memoriilor DDRAM, VIA a lansat setul de circuite VIA KT 266 care admite DDRAM pentru a concura seturile de circuite de la INTEL care lucrează cu RAMBUS. Aceste date, la nivelul anului 2002 vor fi repede modificate pentru că viitorul este imprevizibil.

Bibliografie:

1. Stallings, W., Computer Organization and Architecture. Designing for Performance. Prentice Hall International, 1996
2. Gerigan C., Ogruțan P., Tehnici de interfațare, Ed. Universității Transilvania Brașov, 2000, ISBN 973-9474-94-2
3. Ogruțan P., Interfețe și Periferice, Curs, Reprografia Universității Transilvania Brașov, 1995
4. Ogruțan P., Sandu F., Compatibilitate Electromagnetică, Ed. Universității Transilvania Brașov, 1999, ISBN 973-98796-9-1
5. *** Intel, Peripheral Components, Catalog Farnell 1995

Link-uri utile:

1. <http://developer.intel.com/design/pcisets/lpc/> Specificații LPC
2. <http://developer.intel.com/pc-supp/platform/ac97/> Specificațiile AC97
3. <http://www.sbs-forum.org/specs.htm> Specificațiile SMBus
4. <http://www.teleport.com/~usb/docs.htm> Specificațiile USB
5. <http://pcisig.com/specs.htm> Specificațiile PCI
6. <http://www.teleport.com/~acpi/> Specificațiile ACPI
7. www.rambus.com Prezentare RAMBUS
8. www.kingston.com Prezentare RAMBUS
9. www.intel.com Nota de aplicații AP-906 AGTL + Routing
10. www.intel.com PIII Processors, Foi de catalog în format .pdf
11. www.xilinx.com/products/virtex/techtopic/hstl.pdf prezentare HSTL
12. www.via.com Setul de circuite KT133
13. www.questlink.com Foi de catalog diverse